

UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA

DIVISIÓN DE ESTUDIOS DE POSGRADO

**DISEÑO Y CONSTRUCCIÓN DE UN
RECTIFICADOR ACTIVO TRIFÁSICO PWM
PARA APLICACIONES EN ENERGÍA EÓLICA**

**TESIS PARA OBTENER EL GRADO DE:
MAESTRO EN ELECTRÓNICA,
OPCIÓN: SISTEMAS INTELIGENTES APLICADOS**

PRESENTA:

ING. IMER FRANCISCO CASTILLO AGUILAR

DIRECTOR DE TESIS:

DR. JOSÉ ANTONIO JUÁREZ ABAD

CO-DIRECTOR DE TESIS:

DR. JESÚS LINARES FLORES

H. CD. DE HUAJUAPAN DE LEÓN, OAXACA, MÉXICO. OCTUBRE DE 2022

Dedicatoria

A mis padres por su apoyo, amor y sacrificio en todos estos años.

A mis hermanos por su apoyo incondicional y amor.

A mis familiares por cada uno de sus consejos.

Agradecimientos

Gracias a Dios, porque todas las cosas proceden de él, y existen por él y para él.

Al Dr. José Antonio Juárez Abad y Dr. Jesús Linares Flores, por sus consejos, su acertada orientación y la ayuda brindada. Pero sobre todo por su amistad y confianza que me otorgaron.

A los doctores Jorge Luis Barahona Avalos, Carlos García Rodríguez, Marco Antonio Contreras Ordaz y Miguel Ángel Hernández López, por la revisión de este trabajo, sus recomendaciones y sugerencias realizadas para la mejora del mismo.

A mis padres, hermanos y familiares por el apoyo recibido. Y cada uno de sus consejos que me han sido de ayuda para poder seguir adelante.

A mis compañeros de generación, por sus grata compañía y su apoyo brindado, pero especialmente por su amistad.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por la beca otorgada durante la maestría.

A cada una de las personas que directa o indirectamente formaron parte para que este trabajo fuera posible.

Resumen

En este trabajo se presenta el diseño y construcción de un rectificador activo trifásico PWM para aplicaciones en energía eólica, igualmente se diseña e implementa un controlador para la salida de voltaje del rectificador activo trifásico PWM haciendo uso de un FPGA. Se propone un control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés), con la finalidad de poder regular el voltaje de salida del rectificador activo trifásico ante variaciones de carga, para garantizar un factor de potencia cercano a la unidad y de esta forma asegurar la calidad de la energía en la fuente de alimentación.

La sincronía con la fuente de alimentación y el rectificador activo trifásico PWM se realizó mediante el algoritmo SRF-PLL, lo que proporciona una estimación rápida y precisa del ángulo de fase. El procesamiento para las operaciones aritméticas del algoritmo de sincronía, modulador y controlador fueron implementados en una tarjeta de desarrollo basada en un FPGA. Con el fin de minimizar el uso de los recursos lógicos del dispositivo reconfigurable, se realizó un proceso de optimización del flujo de datos para cada uno de los algoritmos mencionados anteriormente.

Los resultados obtenidos en las pruebas experimentales se realizaron en lazo abierto y en lazo cerrado. En las pruebas de lazo cerrado, ante un voltaje de referencia deseado se aplicaron cambios de carga para verificar que el controlador sea lo suficientemente robusto. Así mismo, se llevaron a cabo pruebas de calidad de la energía en la fuente que alimenta al rectificador activo trifásico PWM, obteniendo valores del factor de potencia cercanos a la unidad.

Índice general

Dedicatoria	III
Agradecimientos	V
Resumen	VII
Índice general	XI
Índice de figuras	XV
Índice de tablas	XVII
1. Introducción	1
1.1. Estado del Arte	5
1.2. Planteamiento del problema	7
1.3. Justificación	8
1.4. Hipótesis	8
1.5. Objetivos	8
1.5.1. Objetivo general	8
1.5.2. Objetivos específicos	9
1.6. Metas	9
1.7. Limitaciones	9
1.8. Metodología	10
2. Marco teórico	11
2.1. Tipos de aerogeneradores	11
2.1.1. Aerogeneradores de eje horizontal	11
2.1.2. Aerogeneradores de eje vertical	12
2.2. Generador síncrono	13
2.2.1. Circuito equivalente de un generador síncrono	14
2.2.2. Generador síncrono de imanes permanentes	15
2.3. Rectificadores	16
2.3.1. Rectificadores pasivos o no controlados	16

2.3.2.	Rectificadores activos o controlados	16
2.4.	Rectificador activo trifásicos PWM	16
2.5.	Métodos de sincronía para el rectificador activo trifásico	17
2.5.1.	PLLs para sistemas trifásicos	18
2.6.	Algoritmo de enganche de fase SRF (SRF-PLL)	19
2.6.1.	Estructura del SRF-PLL	19
2.6.2.	Modelo lineal del método de sincronía SRF-PLL	20
2.6.3.	Representación alternativa del SRF-PLL	20
2.7.	Funcionamiento del SRF-PLL en estado estacionario	21
2.8.	Control basado en pasividad	21
2.8.1.	Control por retroalimentación de la salida pasiva de la dinámica del error estático exacto	22
2.9.	Aplicación de los FPGAs en la industria	25
3.	Metodología: Fase 1	27
3.1.	Modelado	27
3.1.1.	Modelo promedio del rectificador activo trifásico PWM	27
3.2.	Análisis del rectificador activo trifásico PWM visto como un sistema pasivo	33
3.2.1.	Diseño de controlador multivariable ESEDPOF	35
3.2.2.	Cálculo de las señales de referencia deseadas	38
3.3.	Simulación del controlador para el RAT-PWM	39
4.	Metodología: Fase 2	47
4.1.	Partición modular	48
4.2.	Simulación funcional	49
4.3.	Rediseño Digital	50
4.3.1.	Administrador de reloj (DCM)	50
4.3.2.	Módulo decodificador para sensores de corriente y voltaje	51
4.3.3.	Módulo SRF-PLL	53
4.3.4.	Controlador del RAT-PWM	56
4.3.5.	Modulador PWM	57
4.4.	Optimización gráfica del flujo de datos	59
4.5.	Codificación HDL	67
4.6.	Implementación y validación experimental en FPGA	67
4.6.1.	Uso de recursos lógicos de la tarjeta Nexys 2	73
4.6.2.	Uso de puertos de entradas y salidas de la tarjeta Nexys 2	73
5.	Resultados experimentales	77
5.1.	Plataforma de pruebas	78
5.1.1.	Resultados del rectificador activo trifásico PWM en estado estacionario	80
5.1.2.	Resultados del rectificador activo trifásico PWM ante cambios de carga en su salida	81

5.1.3. Resultados de calidad de energía en la fuente trifásica de CA al conectar el RAT-PWM	86
6. Conclusiones y trabajos futuros	89
6.1. Conclusiones	89
6.2. Trabajos futuros	90
A. Fase concurrente	91
A.1. Acondicionamiento de señales de voltaje y corriente	94
B. Interfaz gráfica de usuario	97
C. Artículo	99
Bibliografía	110

Índice de figuras

1.1. Proyección de generación de energías renovables de 2000-2030 [1].	2
1.2. Topología general de un rectificador activo.	3
1.3. Esquema general del sistema propuesto.	7
1.4. Metodología propuesta.	10
2.1. Aerogenerador de eje horizontal.	12
2.2. Aerogenerador de eje vertical.	13
2.3. Generador síncrono monofásico simple.	14
2.4. Circuito equivalente de un generador síncrono trifásico.	14
2.5. Representación esquemática de un generador síncrono de imanes permanentes trifásico de dos polos.	15
2.6. Rectificador activo trifásico.	17
2.7. SRF-PLL trifásico.	19
2.8. Representación alternativa del SRF-PLL trifásico.	20
2.9. SRF-PLL trifásico en estado estacionario.	21
3.1. Fase 1 de la metodología.	27
3.2. Rectificador Activo Trifásico PWM.	28
3.3. Esquema electrónico del rectificador activo trifásico PWM.	40
3.4. Módulos de control para el rectificador activo trifásico PWM.	41
3.5. Simulación del SRF-PLL.	42
3.6. Simulación de ángulo de fase del SRF-PLL.	42
3.7. Simulación de corrientes i_d e i_q	43
3.8. Simulación de i_d e i_d de referencia.	43
3.9. Simulación de i_q e i_q de referencia.	44
3.10. Simulación de U_d y U_d de referencia.	44
3.11. Simulación de U_q y U_q de referencia.	45
3.12. Simulación de voltaje de salida y voltaje deseado del RAT-PWM.	45
3.13. Prueba del controlador, exigiendo mínimo y máximo voltaje en el RAT-PWM.	46
4.1. Fase 2 de la metodología.	47
4.2. Partición modular propuesto para su implementación en el FPGA.	48
4.3. Módulo SRF-PLL (ver ecuaciones (2.7.1, 2.7.2)).	49

4.4. Módulo de las señales de referencia (ver ecuaciones (3.2.27, 3.2.28, 3.2.31 y 3.2.32)).	49
4.5. Módulo del controlador ESEDPOF (ver ecuación (3.2.23)).	50
4.6. Módulo de administración de reloj.	51
4.7. Diagrama de tiempo del ADS7041.	52
4.8. Estructura del SRF-PLL.	53
4.9. Aproximación discreta del SRF-PLL mediante el método de Euler.	54
4.10. Estructura de control para el RAT-PWM.	56
4.11. Módulo PWM.	58
4.12. Arquitectura diseñada.	60
4.13. Estructura para la transformada de Clarke.	61
4.14. Diagrama de flujo de datos y máquina de estados para el control de la transformada de Clarke.	61
4.15. Estructura para la transformada de Park.	62
4.16. Diagrama de flujo de datos y máquina de estados para el control de la transformada de Park.	62
4.17. Estructura del controlador ESEDPOF.	63
4.18. Diagrama de flujo de datos y máquina de estados para el control del controlador ESEDPOF.	64
4.19. Estructura de la transformada DQ a ABC.	65
4.20. Diagrama de flujo de datos y máquina de estados para el control de la transformada DQ a ABC.	66
4.21. Módulo de decodificación de señales de voltaje.	68
4.22. Módulo de decodificación de señales de corriente.	69
4.23. Módulo SRF-PLL y ABC-a-DQ.	70
4.24. Módulo controlador (ESEDPOF) y DQ-a-ABC.	71
4.25. Módulo de comunicación UART.	72
4.26. Periféricos de entrada y salida utilizados en la tarjeta Nexys 2.	74
5.1. Plataforma de experimentación (ver Tabla 5.1).	78
5.2. Respuesta de salida del bus de CD del rectificador activo trifásico PWM frente a los voltajes deseados.	80
5.3. Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a 120 Volts.	82
5.4. Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a 160 Volts.	83
5.5. Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a 200 Volts.	84
5.6. Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a diferentes voltajes deseados.	85
5.7. Voltajes y corrientes medidos con el HIOKI 3197-01 en la interfaz de la fuente trifásica de CA y el RAT-PWM.	88
A.1. Metodología completa.	91
A.2. Plataforma experimental.	92

A.3. Fuente de alimentación de los impulsores de compuerta.	93
A.4. Circuito diseñado para realizar el cambio de carga en el RAT-PWM.	94
A.5. Transformador acorazado construido.	94
A.6. Etapa de alimentación de CD para sensores de voltaje.	95
A.7. Sensores de voltaje.	95
A.8. Acondicionamiento de señal de voltaje para procesarlo en el FPGA.	96
A.9. Acondicionamiento de señal de corriente para procesarlo en el FPGA.	96
B.1. Acerca de la interfaz diseñada en LabVIEW.	97
B.2. Módulo de lectura de la interfaz.	98

Índice de tablas

3.1. Parámetros eléctricos empleados en el RAT-PWM.	39
4.1. Datos de las memorias de seno y coseno.	55
4.2. Datos de la memoria TSW.	58
4.3. Consumo de hardware en la tarjeta Nexys 2.	73
5.1. Módulos y equipos del RAT-PWM.	79
5.2. Componentes del rectificador activo trifásico PWM.	79
5.3. Distorsión armónica permisible en voltaje por la norma IEEE-519.	86
5.4. Distorsión armónica permisible en voltaje por la especificación CFE L0000-45.	87
5.5. Resultados de calidad de energía de la fuente trifásica de CA al acoplar el RAT-PWM	87
A.1. Componentes del RAT-PWM.	93

Capítulo 1

Introducción

La generación de energía actual es por medio de la quema de combustibles fósiles, principalmente petróleo, por tanto, la gran demanda de este combustible, provocará su escasez, ya que las reservas del mismo son finitas. Los informes proporcionados por la Agencia Internacional de Energía (IEA, por sus siglas en inglés), describen que es posible que persista la escasez de petróleo debido a las tasas desiguales de crecimiento de la demanda y los límites en el sistema de refinación. Los suministros de diésel y queroseno siguen siendo motivo de especial preocupación, según la Organización para la Cooperación y el Desarrollo Económicos (OCDE) estos han caído un 25 % desde enero de 2021, a sus niveles más bajos desde 2004 [2].

Un tema de estudio muy importante en la actualidad es solucionar dicha problemática en términos de la generación de energía, actualmente se está combatiendo mediante el empleo de fuentes de energías limpias o también llamadas energías renovables, entre ellas se pueden mencionar las más relevantes: solar fotovoltaica, solar térmica, mareomotriz y eólica. Todas ellas reducen la emisión de dióxido de carbono (CO_2) a la atmósfera, trayendo consigo beneficios ambientales, por el hecho de que estas fuentes de energías no generan esta emisión.

En 2020, la participación de las energías renovables en la generación de electricidad mundial aumentó un 7 %, donde las tecnologías eólica y solar fotovoltaica representaron el 60 % de este aumento, alcanzando así el 29 % de generación de electricidad a nivel mundial, esto trajo consigo un aumento anual récord de dos puntos porcentuales, las razones claves de este récord fue gracias a la caída de la demanda eléctrica provocada por la ralentización de la actividad económica y la movilidad ocasionada por el Covid-19. El despliegue de energía renovable en su conjunto todavía necesita expandirse significativamente para cumplir con el escenario de emisiones cero para 2050 [1].

En la Figura 1.1 se muestra las proyecciones en producción de energías limpias para poder alcanzar Emisiones Netas Cero (NZE) de dióxido de carbono para el 2030, la contribución del 29 % de energías limpias en 2020, en la generación mundial de energía corresponde a 134 GW como se muestra en la Figura 1.1, por lo que si se desea alcanzar NZE en 2030, es necesario aumentar durante estos 10 años la producción de energía renovable a 630 GW, con el fin de producir 764 GW para el año 2030 y así cumplir con el objetivo de NZE ese año.

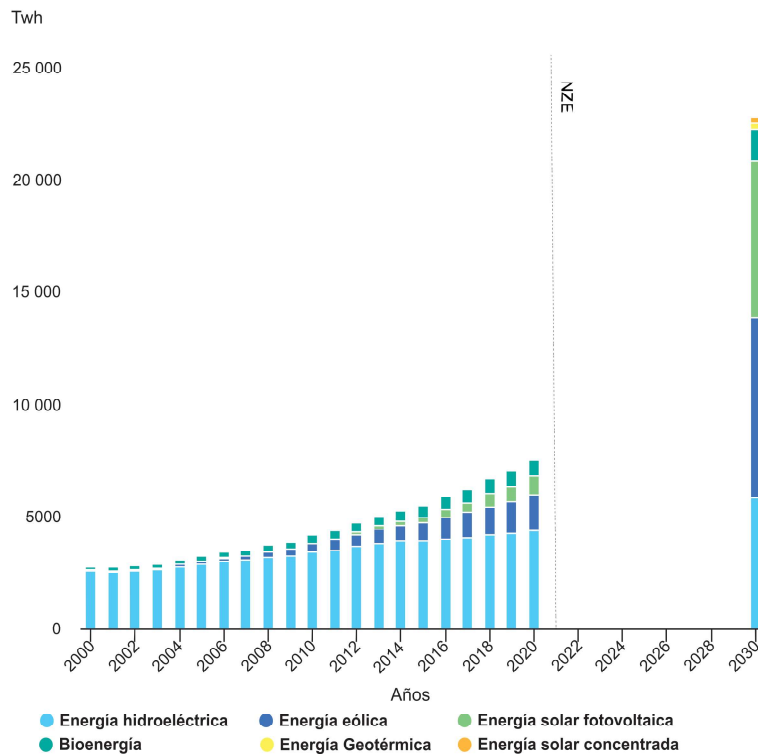


Figura 1.1: Proyección de generación de energías renovables de 2000-2030 [1].

Como se puede apreciar en la Figura 1.1, las fuentes de energía limpias más usadas en la actualidad son: hidroeléctrica, la eólica y solar fotovoltaica, principalmente por los costos de estos sistemas, los cuales son amortizables a largo o mediano plazo, además que están promovidas por la Secretaría de Energía en México por la Ley de Transición Energética, dicha ley garantiza el acceso de todos a una energía asequible, segura, sostenible y moderna, adoptando al mismo tiempo medidas urgentes para combatir el cambio climático y sus efectos [3].

Hasta hace unos años, los sistemas de generación de energía por medio del viento o también llamados generadores eólicos han causado mucha atención en el área de generación de energía y se realizan estudios con el fin de determinar las características que deben de poseer estos sistemas para obtener una mayor producción y transferencia de energía aprovechando mejor el viento [4]. Dentro de los sistemas eólicos existen dos clasificaciones en relación al tipo de generador que emplean estos sistemas: generador de inducción y generador síncrono, cada uno de estos cuenta con diferentes ventajas y desventajas, así como diferentes configuraciones [5].

La diferencia entre los generadores que emplean los sistemas eólicos radica principalmente en la configuración que se utiliza, esta puede ser: con cajas de engranes y sin caja de engranes. Dentro de esta última configuración se encuentra el generador síncrono de imanes permanentes, el cual tiene como entrada mecánica el eje donde van montadas las palas o hélices del

sistema, por lo que no cuenta con una caja de engranes. Estos generadores van desde el orden de kW hasta MW [6]; los generadores de este tipo, pero de baja potencia, se emplean en aplicaciones aisladas, por ejemplo, los que se emplean para fines educativos sobre energía eólica [7].

Existen varias formas de aprovechar la energía producida por los sistemas eólicos, la primera de ellas es almacenar la energía en bancos de baterías, para posteriormente realizar la conversión CD/CA y de esta manera poder usarla como fuente de alimentación para un sistema monofásico o trifásico [8]; por otra parte, otro enfoque consiste en interconectar el generador eólico con la red eléctrica, debido a esto, los aerogeneradores deben estar dotados de un sistema de sincronía para que la frecuencia y voltaje generado, se mantenga en fase con la frecuencia del voltaje de la red de suministro [4].

Para el tratamiento de la energía generada en los sistemas eólicos se utiliza un rectificador, el cual se encarga de alimentar el banco de baterías o el convertidor para interconectar con la red eléctrica. En ese sentido, los rectificadores empleados son del tipo activo y pasivo. En el caso de los rectificadores pasivos existen dos configuraciones de acuerdo al número de fases que emplean: monofásico y trifásico. Los rectificadores pasivos o no controlados se basan en puentes de diodos, y generan corrientes armónicas en la red de suministro eléctrico, incrementando el componente reactivo donde se conectan [9]. Por otro lado, los rectificadores activos tienen varias ventajas sobre los rectificadores pasivos: factor de potencia cercano a la unidad, estabilidad en el bus de CD, facilidad de control, entre otras, las cuales se encuentran descritas ampliamente en [10, 11]. El rectificador activo al trabajar como interfaz entre el generador y la carga, permite poner en fase el voltaje del generador con la red de suministro, causando que la potencia reactiva se minimice [12]; en la Figura 1.2 se muestra la topología general de un rectificador del tipo activo utilizando MOSFETs.

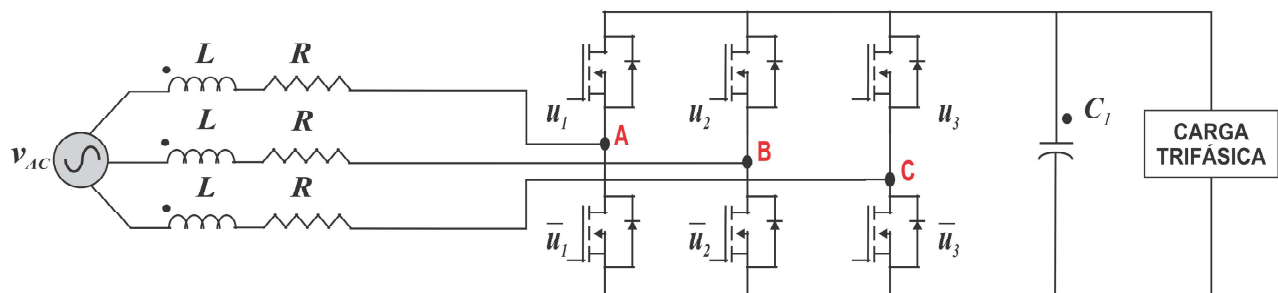


Figura 1.2: Topología general de un rectificador activo.

Por otra parte, los sistemas eólicos son propensos a generar distorsión armónica a la salida de la etapa de CD-CA, esta distorsión depende principalmente de dos cosas: del tipo de inversor y del control empleado. La distorsión armónica está integrada por frecuencias múltiplos de la fundamental, de manera que pueden provocar casos de resonancia en el generador, lo cual origina en la parte mecánica, vibraciones que pueden provocar daños en los rodamientos del

sistema [13]. Hoy en día, muchas líneas de investigación se encuentran enfocadas en la eliminación de los armónicos usando funciones de conmutación pre-calculadas, nuevas topologías y estrategias de control [14–16].

El convertidor de potencia más utilizado en los sistemas eólicos, es el convertidor Back-to-Back (BTB), el cual consta de dos convertidores tipo fuente de tensión (rectificador e inversor). Las aplicaciones de este tipo de convertidor se emplean en control de motores, generadores eólicos, balance de carga entre alimentadores, entre otros [17].

Los algoritmos de control para sistemas reales pueden implementarse digitalmente de dos maneras: con un enfoque paralelo en su ejecución, principalmente usados para la solución de algoritmos que demanda un alto costo computacional, donde se emplean FPGAs; por otra parte, existen aquellos que cuentan con un enfoque secuencial de ejecución, representados por microcontroladores y DSPs. La elección de uno u otro depende principalmente de las propiedades del algoritmo a procesar y de la velocidad de ejecución requerida [18].

Un enfoque de implementación muy empleado actualmente es hacer uso de los dispositivos de lógica reconfigurable, principalmente de FPGAs, debido a que es una plataforma versátil para implementar diseños digitales en diferentes áreas tales como: la industria e ingeniería. En [19] se comenta ampliamente, sobre dichas aplicaciones entre las que se pueden destacar la implementación de controladores avanzados, simulación de circuitos electrónicos específicos en tiempo real, diseño y pruebas de procesadores, entre otras.

El objetivo principal de este trabajo es realizar el diseño y la construcción de un rectificador activo trifásico PWM. Se propone un control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés), con la finalidad de poder regular el voltaje a la salida del rectificador activo trifásico PWM ante variaciones de carga, para garantizar un factor de potencia cercano a la unidad en la fuente de alimentación. Para ello se elige un dispositivo de lógica reconfigurable, donde se diseñará una arquitectura de procesamiento para los algoritmos involucrados. Cabe mencionar que se empleó la representación simple IEEE-754 de 32 bits.

1.1. Estado del Arte

De acuerdo a la revisión de fundamentos teóricos relacionada al desarrollo de este trabajo de tesis, existen estudios acerca del procesamiento de energía con rectificadores trifásicos modulados por ancho de pulso (PWM, por sus siglas en inglés), como lo es el caso de Alonso Alberto Rivera Rodríguez y colaboradores, quienes aplican diversas técnicas de control sobre el rectificador trifásico PWM [20], ellos llegan a la conclusión que el controlador más rápido y eficiente es el control orientado a voltaje.

Héctor Bonilla Barranco y colaboradores afrontan la problemática del incremento de cargas no lineales conectadas a los sistemas eléctricos debido al uso de convertidores poco robustos, una solución a lo antes mencionado, es el uso de los convertidores activos, estos son robustos y aseguran la estabilidad del sistema, sobre todo cuando las condiciones de trabajo no son ideales [21]. Investigadores como Saijun Mao y colaboradores realizaron pruebas con semiconductores de potencia de carburo de silicio con el fin de mejorar la eficiencia de conversión de potencia del rectificador activo trifásico PWM [22], al igual que en el trabajo anterior Nuilers de Surasak y colaboradores aborda la misma problemática del sistema eléctrico al momento de conectar el rectificador, por lo que proponen diferentes filtros L y LCL con el fin de reducir la distorsión armónica en el sistema [23]. En [24] analizaron la viabilidad del uso de un rectificador activo trifásico multinivel de bajo costo, para desempeñar el papel de filtro activo, para la reducción de armónicos y verificaron que la compensación armónica de los efectos producidos por cargas del tipo no lineal afecta el funcionamiento del rectificador de tres niveles y provocan una oscilación de voltaje en el bus de CD en estado estable. Ruben Heredia y colaboradores en [25] llevaron a cabo el control pasivo de velocidad angular para un motor síncrono de imanes permanentes impulsado por un rectificador activo monofásico, concluyen acerca de la importancia de implementar un algoritmo de sincronía en un convertidor.

Aleksandr V. Lillo y Anastasiia D. Skakun realizaron el diseño de un controlador vectorial para un rectificador activo trifásico, la implementación se llevó a cabo en Matlab utilizando el entorno Simulink con el fin de realizar la detección de armónicos parásito para poder suprimirlos [26]. Por otra parte Zhenyu Wu y colaboradores presentan el modelado, diseño del controlador y la evaluación del desempeño del convertidor multinivel modular trifásico (MMC, por sus siglas en inglés) para aplicaciones del rectificador activo, el modelo MMC trifásico se deriva utilizando representaciones de marco de referencia síncrono (SRF), en dicho trabajo validan la eficacia del esquema de control mediante simulación [27].

Para asegurarse que el rectificador activo PWM sea robusto, se requiere obtener información de la frecuencia del voltaje de la red de manera precisa y rápida, por tal motivo se utiliza un algoritmo de enganche de fase [28, 29]. Yan-shu Jiangy y colaboradores abordaron en 2015 un nuevo método para controlar a los rectificadores trifásicos PWM, el cual consiste en un Control Directo de Potencia (DPC, por sus siglas en inglés) que se basa en el Control Predictivo, con la finalidad de resolver la problemática de frecuencia de conmutación incierta e histéresis del control. Dicho método puede predecir la potencia activa y la potencia reactiva a través del modelo en cada ciclo de conmutación, los resultados obtenidos en simulación

muestran que el rendimiento del sistema es bueno, y que el rizo del voltaje de salida en CD del rectificador trifásicos PWM es muy bajo [30]. En los trabajos [31–34], se realiza el análisis del comportamiento de los PLLs en diferentes aplicaciones.

Los FPGAs son empleados en muchas áreas de la ingeniería, tales como: mecatrónica, robótica, electrónica digital, electrónica de potencia, entre otras. En ese sentido, dada su alta capacidad de procesamiento, los FPGAs tienen un papel importante para poder lograr la conversión de la energía de manera eficiente. En el año 2019 Cecilia Sandoval Ruiz desarrolló una red neuronal utilizando el lenguaje VHDL sobre un FPGA para aplicaciones en energías renovables [35]. En el año 2020, nuevamente Cecilia Sandoval Ruiz publicó su investigación acerca del control de microrredes de energía renovable a través de una estructura concurrente de retroalimentación lineal reconfigurable en VHDL (LFCS, por sus siglas en inglés) [36].

El trabajo desarrollado por Rodríguez Andina, menciona ampliamente el uso de los FPGAs, debido a que posee características relevantes, por mencionar algunas: flexibilidad, bajo costo, alta velocidad de procesamiento, alto rendimiento, capacidad de ejecución paralela, bajo tiempo de implementación; estas propiedades lo ponen en ventaja ante otros dispositivos tales como los microcontroladores y los DSPs. Dichas características lo convierten en el dispositivo idóneo para aplicaciones industriales tales como: implementación de controladores avanzados, simulación de circuitos electrónicos específicos en tiempo real, diseño y pruebas de procesadores, entre otras [19, 37]. Lo anterior reafirma la importancia de estos dispositivos reconfigurables en aplicaciones de convertidores de electrónica de potencia para el procesamiento de energías limpias.

1.2. Planteamiento del problema

La quema de petróleo ha llevado a la humanidad a enfrentar la problemática de la contaminación ambiental, cuya acción daña de manera progresiva la capa de ozono, ya que la quema de éste y de sus derivados, producen emisión de dióxido de carbono (CO_2) a la atmósfera. Actualmente se está trabajando en diferentes áreas para minimizar los efectos de dichas emisiones mediante el uso de fuentes de energías limpias o también llamadas energías renovables. La cadena de conversión empleada en los sistemas de energía renovable presenta problemas tales como fallas mecánicas y eléctricas en la parte correspondiente, muchas veces son producidas por la distorsión armónica generada en la parte eléctrica relacionada con la etapa de rectificación e inversión de voltaje de los convertidores empleados en el proceso, tal distorsión se traduce en vibraciones mecánicas, afectando la vida útil de los equipos y dispositivos involucrados.

En este trabajo se realiza el diseño y la construcción de un rectificador activo trifásico PWM, haciendo énfasis en mejorar aspectos de calidad de la energía presentes en la etapa de rectificación de voltaje, la cual forma parte en los sistema de generación de energía eólica de baja potencia. Para la etapa de rectificación se emplea un algoritmo de enganche de fase SRF-PLL para obtener la información del ángulo de fase de la fuente de alimentación de CA, para el control se propone el método de retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés), se emplea la tarjeta de desarrollo Nexys 2 basada en un FPGA Xilinx Spartan 3 con el fin de implementar los módulos del sincronizador, transmisión de información, modulador y controlador, la idea conceptual se muestra en la Figura 1.3.

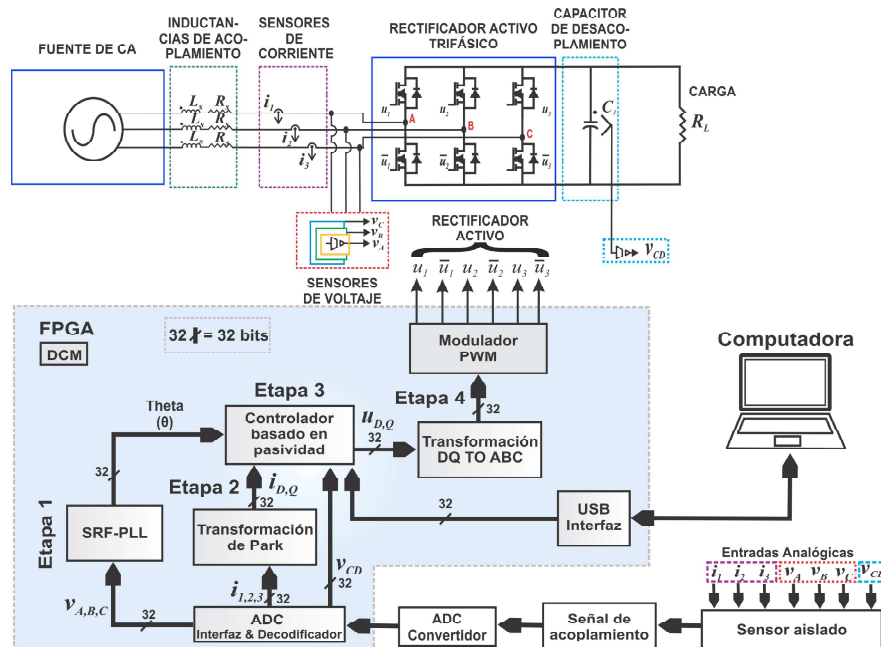


Figura 1.3: Esquema general del sistema propuesto.

1.3. Justificación

El uso del rectificador pasivo mediante diodos, generan corrientes armónicas en la red de suministro eléctrico [38], por otro lado, los rectificadores activos mejoran este aspecto, debido a que tienen un comportamiento como si se tratará de una carga resistiva [12]. Si el rectificador actúa como interfaz entre la fuente de alimentación de CA y una carga se minimizan tales efectos. Por ello se propone la implementación del control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés), a fin de poder controlar el voltaje a la salida de un rectificador activo trifásico PWM ante variaciones de carga. Al realizar lo anterior se garantiza el máximo aprovechamiento de la potencia absorbida de la red eléctrica, en otras palabras, el rectificador activo trifásico PWM tendrá un comportamiento similar al que provoca una resistencia, es decir el factor de potencia (FP) es unitario o muy cercano a la unidad.

En cuestión a la elección del dispositivo programable para el procesamiento de las señales, donde la precisión y la capacidad computacional del dispositivo donde se implementarán los algoritmos del SRF-PLL, controlador ESEDPOF y modulador, es de suma importancia y repercute de manera directa en el rendimiento del rectificador activo trifásico PWM. Debido a lo antes mencionado se optó por emplear una tarjeta de desarrollo basada en FPGA, con el fin de cumplir con las capacidades en hardware y software para esta aplicación. Con el propósito de monitorear el comportamiento del sistema se planificó un intercambio de paquetes de información para lograr la comunicación vía USB entre el dispositivo reconfigurable y una computadora.

1.4. Hipótesis

Al implementar un controlador ESEDPOF y el método de sincronía SRF-PLL en un FPGA, para controlar los dispositivos de conmutación de un rectificador activo trifásico PWM, es posible reducir la distorsión armónica a un porcentaje menor al 5% en cada una de las fases de la fuente de CA y obtener un factor de potencia cercano a la unidad.

1.5. Objetivos

1.5.1. Objetivo general

Diseñar un controlador para la salida de voltaje de un rectificador activo trifásico PWM con un factor de potencia cercano a la unidad haciendo uso de un FPGA.

1.5.2. Objetivos específicos

1. Determinar el modelo del rectificador activo trifásico PWM.
2. Seleccionar un algoritmo de enganche de fase para lograr la sincronía.
3. Realizar todos los módulos de software para el funcionamiento adecuado del rectificador activo trifásico PWM en VHDL e implementarlos en un FPGA.
4. Diseño de una interfaz gráfica de usuario.
5. Construcción de la instrumentación para los sensores de corriente y voltaje.
6. Construcción de fuentes aisladas para alimentación de la etapa de sensores e impulsores de compuerta.
7. Construcción de la estructura de potencia para el rectificador activo trifásico PWM.

1.6. Metas

Las metas del trabajo de tesis son:

1. Realizar el diseño y construcción de un rectificador activo trifásico PWM de 2 kW de potencia.
2. Emplear una sola tarjeta de desarrollo basada en FPGA para la implementación de los algoritmos.
3. Obtener un Factor de Potencia cercano a la unidad.

1.7. Limitaciones

1. El rectificador activo será del tipo clásico.
2. Se optimizarán los recursos del FPGA, debido a que el dispositivo no posee capacidad ilimitada.
3. La fuente de alimentación del rectificador se considera balanceada.
4. Para la fuente de alimentación se emplea un autotransformador tipo VARIAC.

1.8. Metodología

La metodología a emplearse en este trabajo se divide en dos fases secuenciales y una concurrente como se muestra en la Figura 1.4, esta es una adaptación a la metodología presentada por Eric Monmasson [39]. En capítulos posteriores se detalla cada una de las fases de la metodología propuesta.

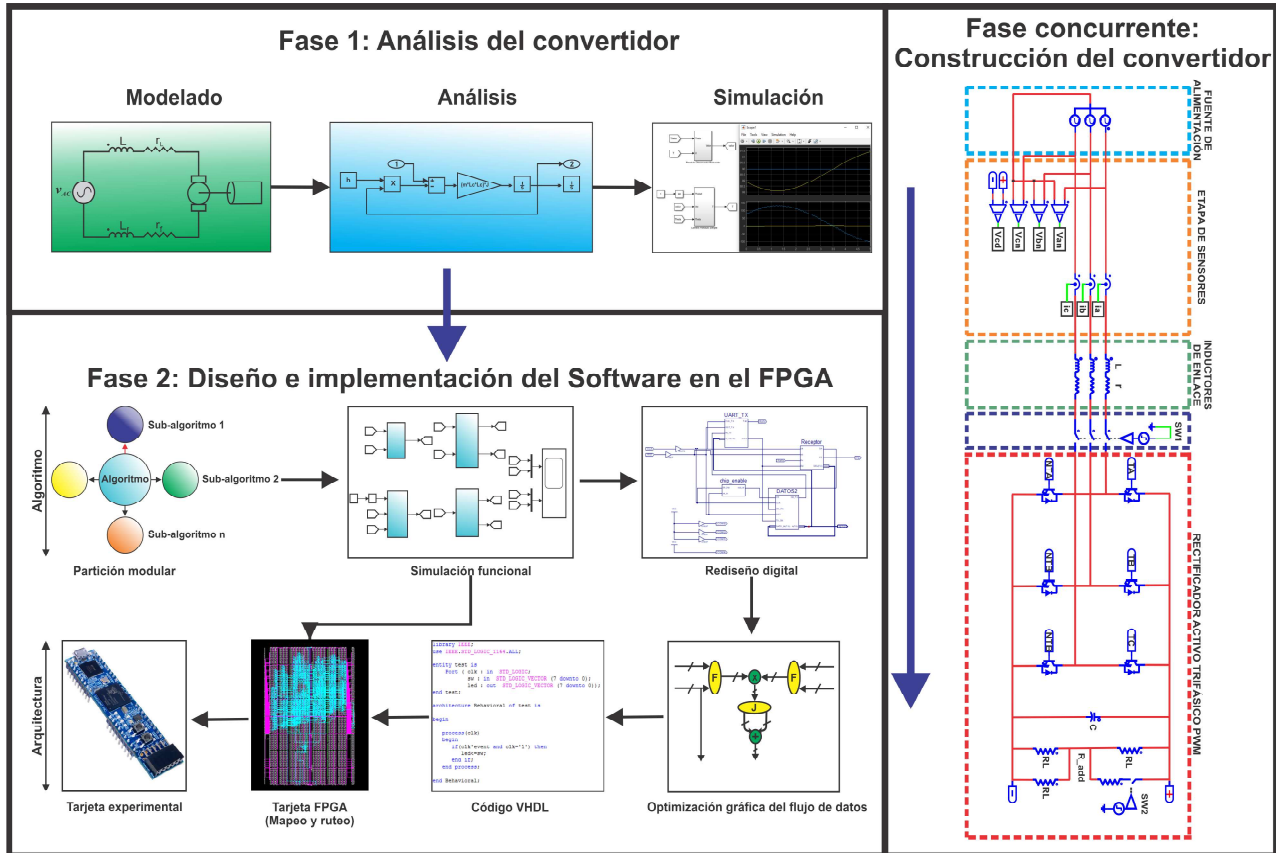


Figura 1.4: Metodología propuesta.

Capítulo 2

Marco teórico

En este capítulo se dará sustento teórico de las decisiones tomadas en el presente trabajo, por lo que es de suma importancia hacer mención de algunos conceptos relacionados al trabajo.

2.1. Tipos de aerogeneradores

Los aerogeneradores se clasifican de acuerdo a su eje de rotación, en la actualidad podemos encontrar aerogeneradores de eje horizontal (HAWT, por sus siglas en inglés) y de eje vertical (VAWT, por sus siglas en inglés). A continuación, se abordará cada uno de ellos, con la finalidad de conocer sus ventajas y desventajas.

2.1.1. Aerogeneradores de eje horizontal

Se les llama así debido a que el eje principal que poseen se encuentra ubicado paralelo al suelo. Este tipo de aerogenerador necesita un control de orientación hacia el viento. Los elementos para realizar el tratamiento de la energía tales como: la conexión, multiplicador y el generador se encuentran a la altura del rotor encapsulados en la góndola ubicada en la parte superior de la torre, como se muestra en la Figura 2.1. De este tipo de generador existe una subclasificación en función del número de hélices o palas, aerogenerador monopala, aerogenerador de dos palas, aerogenerador de tres palas y aerogenerador multipalas [40].

Las ventajas de estos aerogeneradores es que gracias a la torre con la que cuenta, pueden alcanzar grandes alturas, lo que les permite acceder a corrientes de viento fuerte; otra de sus ventajas es que las palas con las que cuentan reciben individualmente la potencia del viento en cualquier posición de rotación, todas las características ya mencionadas, hacen que este tipo de aerogenerador sea de alta eficiencia [40]. Dentro de sus desventajas se puede mencionar que se requiere de un mayor costo de instalación, debido a la construcción de la torre, está debe ser sólida para soportar todo el peso de la góndola, otra desventaja es que la góndola y todos los componentes para realizar la conversión de la energía deben ser elevados a la parte superior de la torre para ser instalados o para darle mantenimiento. Finalmente, este tipo de aerogenerador necesita de un sistema adicional que es el control del sistema de guiñada o Yaw

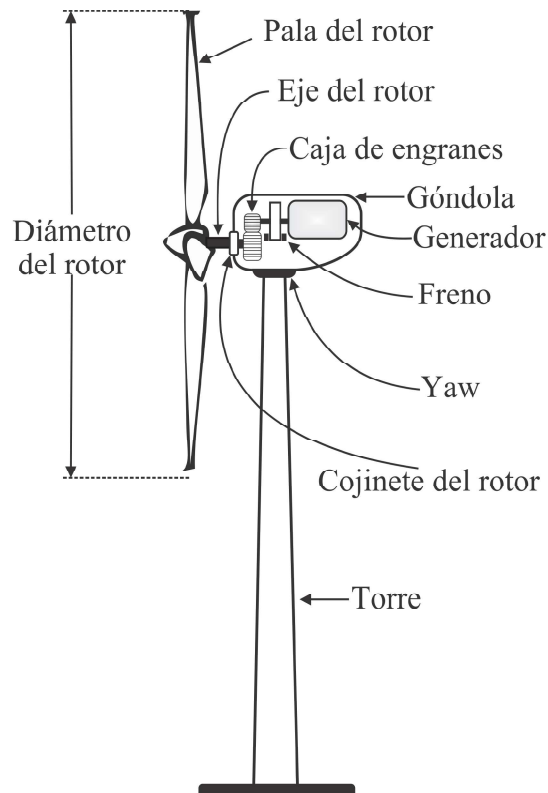


Figura 2.1: Aerogenerador de eje horizontal.

el cual es un conjunto de engranajes, actuadores eléctricos y motorreductores que permiten rotar la góndola completa y asegura que las palas estén orientadas continuamente hacia el viento [40].

2.1.2. Aerogeneradores de eje vertical

Estos aerogeneradores tienen su eje principal perpendicular al suelo. El rotor de la turbina utiliza perfiles curvados de montaje vertical. Los elementos para realizar el tratamiento de la energía tales como la conexión, caja de engranes, multiplicador y el generador habitualmente se encapsula en la base del aerogenerador a nivel del suelo, esto se muestra en la Figura 2.2. Normalmente necesita cables guía para mantener el eje del rotor en una posición fija y minimizar las vibraciones mecánicas [40].

Estos aerogeneradores se pueden subclasificar en dos tipos: Darrieus y Savonius. Los aerogeneradores Darrieus cuentan con varios álabes rectos o curvos instalados en una estructura vertical, por otra parte, los aerogeneradores Savonius se basan en el arrastre y se conforman por dos o tres álabes [41].

Las ventajas de estos aerogeneradores son las siguientes: no requieren de mecanismos adi-

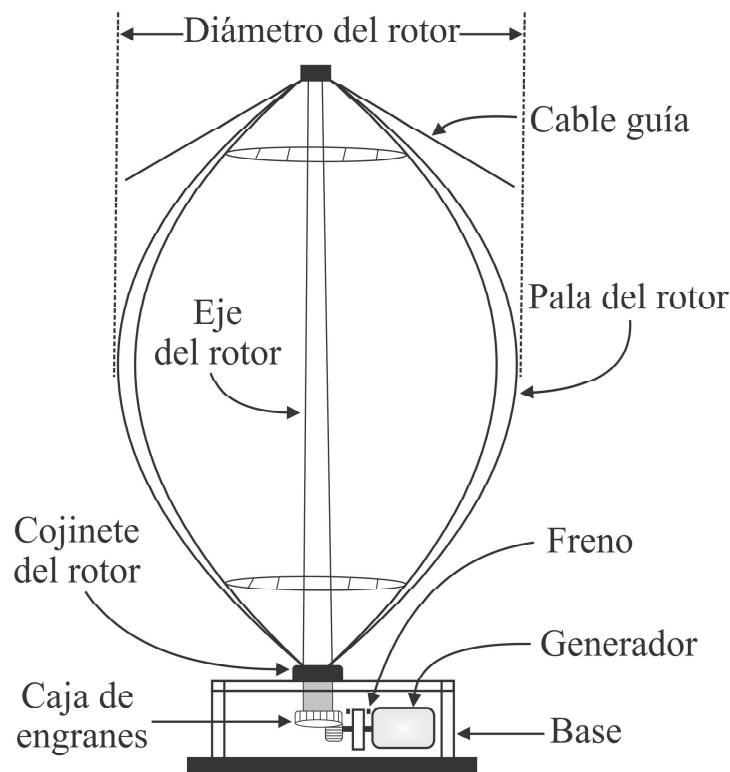


Figura 2.2: Aerogenerador de eje vertical.

cionales Yaw para orientar las palas contra el viento (no necesita un control de orientación), debido a que captan el viento en cualquier dirección, otra de sus ventajas es que la conexión con los multiplicadores y generadores se realiza en el suelo, lo que implica un menor costo de instalación y de fácil montaje. Las desventajas de estos aerogeneradores es que poseen una eficiencia menor que los aerogeneradores de eje horizontal, debido a su baja altura en donde la velocidad del viento es baja, además de esto por la cercanía que tienen al suelo existen mayores fluctuaciones, por lo cual están propensos a vibraciones mecánicas, las cuales causan desperfectos en los componentes del aerogenerador [41].

2.2. Generador síncrono

Un generador síncrono es una máquina rotatoria capaz de convertir la energía mecánica en energía eléctrica. Está se compone de dos partes: un rotor (electroimán) y el estátor, en donde se colocan bobinas a su alrededor, en las cuales por efecto de la rotación del rotor se va a inducir tensión monofásico o trifásica en el estátor, dependiendo del tipo de generador que se esté trabajando [42], tal como se muestra en la Figura 2.3; el rotor gira de acuerdo a la energía mecánica que se suministra, la cual procede de un impulsor primario, que es el mecanismo que gira por la fuerza mecánica. Por dar ejemplos, un propulsor en un molino de viento; o una turbina en una planta hidroeléctrica.

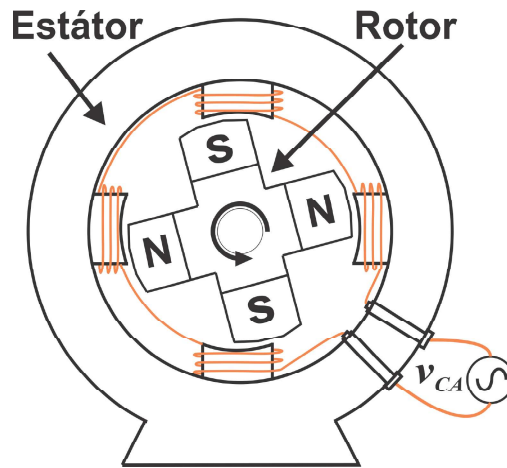


Figura 2.3: Generador síncrono monofásico simple.

2.2.1. Circuito equivalente de un generador síncrono

El circuito equivalente del generador síncrono trifásico se muestra en la Figura 2.4. Aplicando las leyes de Voltaje de Kirchhoff para el circuito equivalente, la ley de Voltaje de Kirchhoff es la mostrada en la ecuación (2.2.1) o también se puede representar como se muestra en la ecuación (2.2.2).

$$V_\phi = E_A - jX_s I_A - R_A I_A \quad (2.2.1)$$

$$E_A = V_\phi + jX_s I_A + R_A I_A \quad (2.2.2)$$

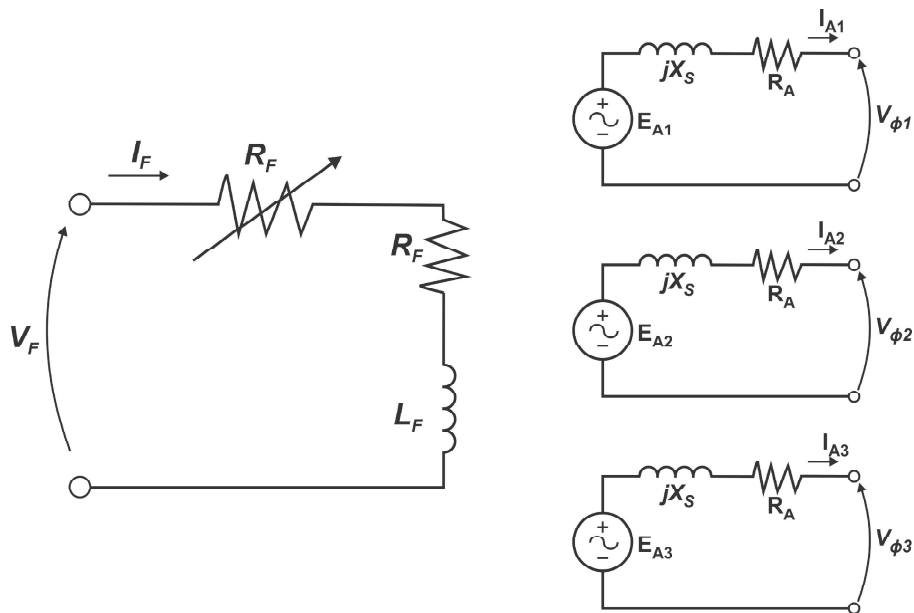


Figura 2.4: Circuito equivalente de un generador síncrono trifásico.

2.2.2. Generador síncrono de imanes permanentes

El generador síncrono de imanes permanentes (GSIP) está compuesto por una parte móvil (rotor) y de una parte fija (estátor) [42], donde el rotor gira a la misma velocidad que el campo magnético, el cual se genera mediante imanes muy potentes, debido a esto se eliminan las bobinados del rotor y por consiguiente las pérdidas que se dan en estos en forma de calor, además se eliminan las escobillas y el mantenimiento que estas implican. En la Figura 2.5 se muestra el corte transversal de un generador síncrono de imanes permanentes de dos polos.

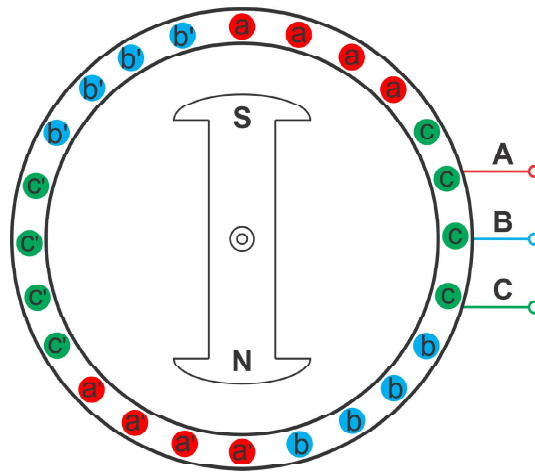


Figura 2.5: Representación esquemática de un generador síncrono de imanes permanentes trifásico de dos polos.

Las aplicaciones donde comúnmente se emplean los GSIP es en energía eólica, debido a que giran en sincronismo con el rotor eólico y no con la frecuencia de la red eléctrica a la cual se engancha el aerogenerador, puesto que la frecuencia del generador no está en sincronía con la red eléctrica se utilizan convertidores de frecuencia. Las ventajas del GSIP son las siguientes:

- Alta relación potencia/peso.
- Baja inercia del rotor para una alta aceleración.
- Alta eficiencia.
- Velocidad de rotación estable y precisa.
- No necesitan de un impulsor para su arranque.
- Alta densidad de potencia, debido a que no incorporan bobinas en el rotor.

2.3. Rectificadores

Un rectificador es un convertidor de corriente alterna a corriente continua, estos convertidores se clasifican de acuerdo a su forma de activación en dos tipos: los rectificadores pasivos y los activos, los cuales se mencionan a continuación.

2.3.1. Rectificadores pasivos o no controlados

En el caso de los rectificadores pasivos o no controlados existen dos configuraciones ampliamente usadas y se define por el número de fases que emplean en monofásico y trifásico. Los rectificadores pasivos o no controlados se basan en puentes de diodos, se comportan como cargas no lineales y por este motivo se presentan corrientes armónicas en la red de suministro eléctrico e incrementan el componente reactivo en la misma [9]. Las ventajas de este tipo de convertidores radican en su reducido costo y en su fácil operación. Dentro de sus desventajas se encuentran, la aparición de armónicos en la corriente de entrada y que no se puede controlar el factor de potencia en estos.

2.3.2. Rectificadores activos o controlados

Los rectificadores controlados permiten un flujo bidireccional de la potencia, al aplicarle una técnica de control conveniente. Este tipo de convertidores se emplean por ejemplo, para alimentar un banco de baterías o como fuente de corriente directa. Los rectificadores activos tienen varias ventajas sobre los pasivos [11], esto se debe a que trabaja como interfaz entre la red eléctrica y la carga conectada al rectificador activo, garantizando el máximo aprovechamiento de la potencia absorbida de la red eléctrica, por lo que su comportamiento es similar al que provoca una resistencia, es decir el factor de potencia (FP) es unitario, o muy cercano a la unidad [12].

2.4. Rectificador activo trifásicos PWM

El Rectificador Activo Trifásico PWM, es un convertidor tipo fuente de tensión (VSC, por sus siglas en inglés), el cual puede comportarse como rectificador (VSR, por sus siglas en inglés) o como inversor (VSI, por sus siglas en inglés), dependiendo del sentido que tenga el flujo de potencia. Su estructura es completamente bidireccional, en el caso que la transferencia de energía se presente de la red eléctrica al bus de CD, reciben el nombre de rectificadores PWM (Pulse Width Modulation) o Pre-compensadores de factor de potencia [10]. El rectificador activo trifásico PWM se compone de seis dispositivos de conmutación (IGBT o MOSFET), tal como se muestra en la Figura 2.6, con la finalidad de poder controlar la rectificación de la energía y conseguir un voltaje deseado a su salida.

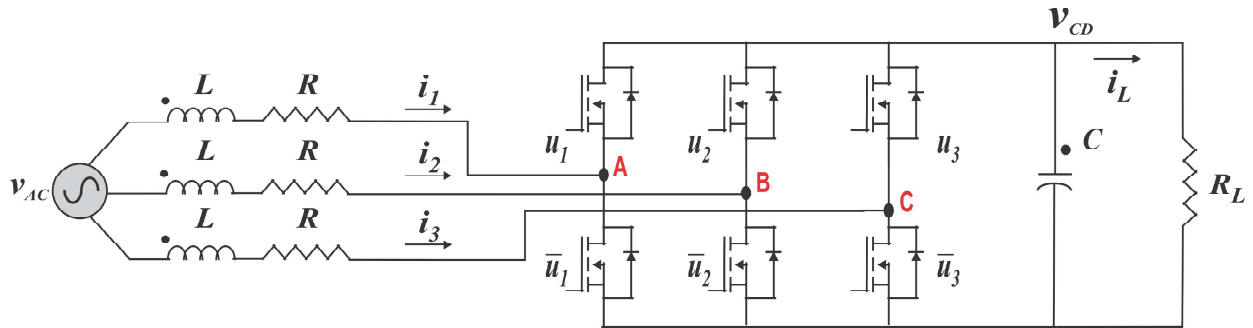


Figura 2.6: Rectificador activo trifásico.

Este convertidor tiene ciertas características, que le otorgan ventajas frente a los rectificadores no controlados basados en diodos, por mencionar algunas:

1. Disminuye el rizo de voltaje.
2. Capacidad de control del voltaje del bus de CD.
3. Compensación de la potencia reactiva.
4. Control del flujo de potencias activa y reactiva entre la red de alimentación y el convertidor.
5. Reducción de la distorsión armónica en la corriente de la red de alimentación.

2.5. Métodos de sincronía para el rectificador activo trifásico

El rectificador activo trifásico debe contar con un método de sincronía para los casos de control en lazo cerrado. Existen diversos métodos de sincronía, cada uno tiene diversas características que los hacen tener mejor desempeño que otros, dependiendo de las propiedades eléctricas del sistema donde se emplean, por mencionar algunos: Marco de Referencia Síncrono (SRF-PLL, por sus siglas en inglés) es cual reduce la sensibilidad ante armónicos, previniendo lecturas erróneas de la frecuencia [43], Integrador Generalizado de Segundo Orden PLL (SOGI-PLL, por sus siglas en inglés) [44] son ampliamente usados para la sincronización de convertidores de potencia monofásico conectados a la red tal como lo aborda Furong Xiao y sus colaboradores [45], Doble Integrador Generalizado de Segundo Orden PLL (DSOGI-PLL, por sus siglas en inglés) en este caso se aprovecha la característica de filtrado, lo cual proporciona una excelente inmunidad ante desequilibrios de voltaje en la red, además de tener una respuesta rápida, precisa y de frecuencia adaptable ante condiciones de fallos en la red [34, 46], por último se hace mención del Filtro de Media Móvil PLL (MAF-PLL, por sus siglas en inglés) el cual responde de manera adecuada con una red en estado estable, pero su respuesta transitoria es muy lenta, lo cual no es deseable en la mayoría de las aplicaciones,

este problema se puede mitigar agregando un compensador de adelanto de fase en el lazo de control del MAF-PLL, tal como lo demuestra Saeed Golestán y colaboradores [47]. En este trabajo se eligió usar el algoritmo de sincronía SRF-PLL.

2.5.1. PLLs para sistemas trifásicos

SRF-PLL

Es uno de los más estudiados y utilizado en electrónica de potencia, también es conocido como dqz-PLL o dq0-PLL. Este tipo de enganche de fase evita el problema de error de doble frecuencia del PLL, debido a la simetría de las señales trifásicas. Además, su estructura es relativamente simple, la cual ofrece facilidad de ajuste de parámetros y características robustas para implementación digital [48].

3EPLL-I

Este algoritmo de enganche de fase trifásico resulta ser equivalente al SRF-PLL, es susceptible a los desbalances. Sin embargo, gracias a que tiene una estructura externa de retroalimentación de lazo cerrado. Puede abordar el componente de corriente directa (CD) y los armónicos dentro de su estructura en el lazo; algo que no es posible con el SRF-PLL [49].

3EPLL-II

Este algoritmo de enganche de fase trifásico, es una extensión directa del 3EPLL-I con ciertas mejoras, con el fin de corregir ciertas deficiencias importantes presentes al aplicarlos en sistemas desbalanceados. El 3EPLL-II hereda todas las propiedades del 3EPLL-I, y además de eso, evita el error de doble frecuencia causado por el componente de secuencia negativa [50].

Extensiones para 3EPLL-I y 3EPLL-II

En este caso se manejan las mismas estructuras de los enganches de fase tanto para 3EPLL-I y 3EPLL-II, pero se incluye la estimación de la componente homopolar, estimación y rechazo de corriente directa (CD), estimación y rechazo de armónicos [51].

3EPLL-III

Esta estructura es diferente de 3EPLL-I y 3EPLL-II, debido a que se basa en el procesamiento individual de las señales ABC de las fases. Este enfoque tiene la ventaja de hacer variables (tales como amplitudes y ángulos de fase) las fases individuales que estén disponibles. Las variables de los componentes simétricos deben calcularse posteriormente. Por lo que este algoritmo estima directamente las amplitudes, los ángulos de fase de las señales ABC y también la frecuencia del sistema [50].

Tras la revisión de estado del arte, el métodos de sincronía elegido para este trabajo es el SRF-PLL, por lo tanto se hablará más a detalle de este en la siguiente sección.

2.6. Algoritmo de enganche de fase SRF (SRF-PLL)

La importancia de este algoritmo está en el hecho de que evita el problema de error de doble frecuencia del PLL, tiene una estructura simple que ofrece facilidad de ajuste de parámetros y características robustas para implementación digital. Para obtener el máximo provecho del SRF-PLL el sistema donde se implemente tiene que estar balanceado, con la finalidad de no producir fallas al momento de obtener las lecturas de fase del sistema.

2.6.1. Estructura del SRF-PLL

El diagrama de bloques estructural del SRF-PLL se muestra en la Figura 2.7 , la transformada de Park está definida por $u_{dq0} = Pu_{abc}$, a continuación se define cada uno de los términos involucrados en la transformada de Park.

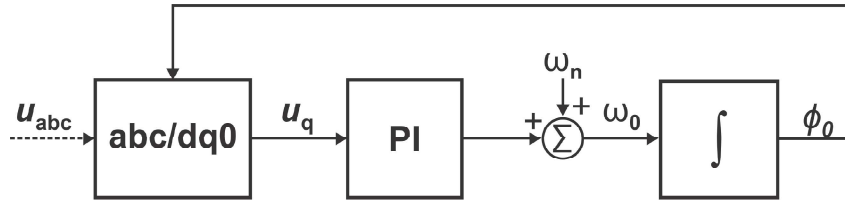


Figura 2.7: SRF-PLL trifásico.

$$P = \frac{2}{3} \begin{pmatrix} \sin \phi_0 & \sin(\phi_0 - \frac{2\pi}{3}) & \sin(\phi_0 + \frac{2\pi}{3}) \\ \cos \phi_0 & \cos(\phi_0 - \frac{2\pi}{3}) & \cos(\phi_0 + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{pmatrix} \quad (2.6.1)$$

Para un sistema trifásico balanceado, tenemos las siguientes relaciones de transformación para cambiar el dominio del sistema de ABC a dq0:

$$u_{abc}^T = (U \sin \phi_i, U \sin(\phi_i - \frac{2\pi}{3}), U \sin(\phi_i + \frac{2\pi}{3})) \quad (2.6.2)$$

Las señales transformadas quedan en el dominio rotatorio ortogonal:

$$u_{dq0}^T = (U \cos(\phi_i - \phi_0), U \sin(\phi_i - \phi_0), 0) \quad (2.6.3)$$

Suponiendo que la frecuencia de salida es igual a la frecuencia de entrada, u_{dq0} es constante sin oscilaciones de doble frecuencia. Al hacer $u_q=0$, el SRF-PLL regula ϕ_0 a ϕ_i y no existirá rizos en el lazo. Al usar $u_q=0$, u_d se regula a U [51].

2.6.2. Modelo lineal del método de sincronía SRF-PLL

La característica del enganche de fase linealizado está dado por la ecuación (2.6.4):

$$1 + U \frac{H(S)}{S} = 0 \implies s^2 + h_0 U s + h_1 U = 0 \quad (2.6.4)$$

Donde $H(s) = h_0 + \frac{h_1}{s}$ la cual es la función de transferencia de PI. Las siguientes observaciones se puede hacer a partir del análisis lineal anterior [51]:

1. El modelo lineal SRF-PLL nos permite el seguimiento de funciones de rampa (en el ángulo de fase) con error cero en estado estable. Por lo que los cambios escalonados (o lentos) de la frecuencia son rastreados por el enganche con mínimo error de estado estacionario.
2. Los valores de h_0 y h_1 de la ecuación (2.6.4) se pueden obtener con base en una ubicación deseada de polos en lazo cerrado. El sistema real puede no comportarse exactamente igual a un sistema lineal estándar de segundo orden debido a las no linealidades y al cero del controlador PI. Por lo que la compensación básica del diseño se va a hacer entre la velocidad de las respuestas y la precisión de las respuestas en la situación de estado estacionario. Para las señales de entrada distorsionadas o ruidosas, las ganancias deben reducirse para que las respuestas sean más suaves a expensas de una respuesta transitoria más lenta.

2.6.3. Representación alternativa del SRF-PLL

Una representación alternativa del SRF-PLL mostrado en la Figura 2.7 se presenta en la Figura 2.8, esta representación se asemejan a la estructura estándar del PLL (Ver [51]), se realiza como si se tratara de un sistema monofásico, para posteriormente sustituirse por un producto escalar trifásico como se puede apreciar en la Figura 2.8, el detector de fase (PD), que es una multiplicación en PLL estándar, se extiende al producto punto de dos vectores definidos como $v_1.v_2 = v_{1a}v_{2a} + v_{1b}v_{2b} + v_{1c}v_{2c}$. Por lo que la señal de salida se mejora en comparación con la versión PLL estándar, debido a que se generan tres sinusoides a una sola frecuencia y con un desfase de 120° entre ellas.

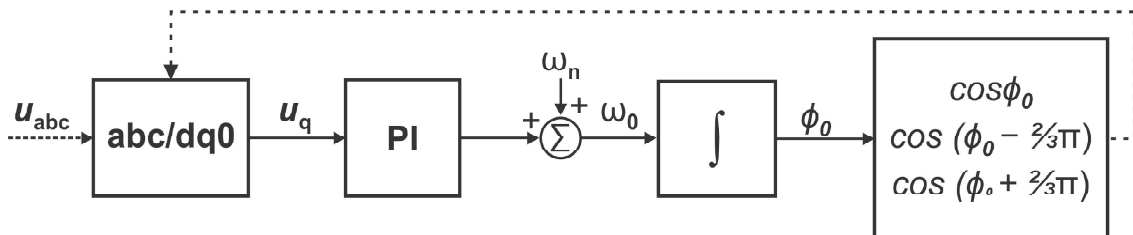


Figura 2.8: Representación alternativa del SRF-PLL trifásico.

2.7. Funcionamiento del SRF-PLL en estado estacionario

En estado estacionario se realizan dos transformaciones, llamadas de Clarke y Park. La transformada de Clarke, convierte las componentes del dominio del tiempo de un sistema de tres fases (de un marco ABC) en dos componentes de un marco estacionario ortogonal ($\alpha\beta$). La transformada de Park convierte las dos componentes del marco $\alpha\beta$ a un marco de referencia rotatorio ortogonal (dq). Si se implementan de manera consecutiva, se simplifican los cálculos, al convertir la forma de onda de la corriente y voltaje de CA en señales de CD. La transformada de Clarke en este caso se define como $u_{\alpha\beta}$, lo cual se muestra en la ecuación (2.7.1).

$$u_{\alpha\beta} = \frac{2}{3} \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{pmatrix} u_{abc} \quad (2.7.1)$$

En este caso se observa un factor diferente en entre la estructura SRF-PLL y su versión alternativa, esto se aprecia con claridad entre las Figuras 2.7 y 2.8, dicha diferencia es un factor de $\frac{2}{3}$ en la ganancia del controlador PI. Si las señales de entrada son balanceadas y sin distorsión tendremos que: $u_{abc}^T = (U \sin \phi_i, U \sin(\phi_i - \frac{2\pi}{3}), U \sin(\phi_i + \frac{2\pi}{3}))$ y que $u_{\alpha\beta}^T = (U \sin \phi_i - U \cos \phi_i)$. En otras palabras la componente de la señal α está en sincronía con la fase A y la componente β tiene un desfase de 90° respecto a la fase A del sistema. Por lo tanto, se tiene que $u_{dq}^T = (U \cos(\phi_i - \phi_0), U \sin(\phi_i - \phi_0))$, de esta forma se puede calcular el marco de referencia rotatorio ortogonal, con la matriz de rotación o que es lo mismo, aplicar la transformada de Park, la cual se presenta en la ecuación (2.7.2).

$$u_{dq} = \begin{pmatrix} \sin \phi_0 & -\cos \phi_0 \\ \cos \phi_0 & \sin \phi_0 \end{pmatrix} u_{\alpha\beta} \quad (2.7.2)$$

En la Figura 2.9 se muestra la estructura del SRF-PLL en estado estacionario.

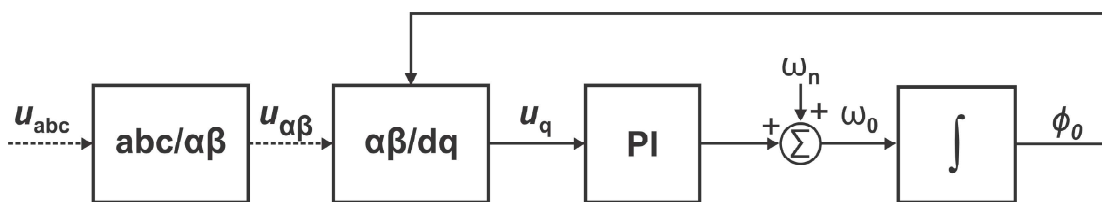


Figura 2.9: SRF-PLL trifásico en estado estacionario.

2.8. Control basado en pasividad

La mayoría de los sistemas utilizan alguna ley de control, la cual debe ser capaz de manejar las no linealidades producidas por el sistema. En [52] abordan las leyes de control basado en pasividad, los cuales se clasifican de la siguiente manera: Control por inyección de amortiguación de modelado de energía (ESDI, por sus siglas en inglés), Control por retroalimentación

de salida pasiva de dinámica de error de seguimiento exacto (ETEDPOF, por sus siglas en inglés), Control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés) y el Control Basado en Pasividad de asignación de interconexión y amortiguación (IDA-PBC, por sus siglas en inglés). En la siguiente sección se hablará a detalle acerca de la ley de control ESEDPOF con ayuda de un ejemplo práctico donde se ha empleado la metodología.

2.8.1. Control por retroalimentación de la salida pasiva de la dinámica del error estático exacto

El método ESEDPOF es un controlador que se basa en generar primero un modelo dinámico exacto del error del sistema analizado, con la finalidad de aprovechar su gestión de la energía. Dicho modelo se puede representar en la forma Hamiltoniana generalizada e identificando la salida pasiva asociada con la dinámica del error de estabilización, se puede obtener un controlador de retroalimentación lineal simple, el cual es invariante en el tiempo, pudiendo este sintonizarse, lo que convierte el punto de equilibrio deseado en un punto de equilibrio asintóticamente estable semi-globalmente para el sistema en lazo cerrado, siempre y cuando se satisfaga la condición de disipación [53].

Para poder aplicar este método de control, el sistema tiene que poder representarse en su forma Hamiltoniana generalizada; los inversores y rectificadores ya se han trabajado mediante este método de control, Jesus Linares Flores y colaboradores en [54] implementan control basado en pasividad para un convertidor CA/CD. A forma de ejemplo, se considera el modelo general de un convertidor CD/CD normalizado en la forma canónica General Hamiltoniana (ver [55]), con la finalidad de comprender la metodología para poder obtener la ley de control ESEDPOF.

La forma Hamiltoniana generalizada para el modelo del convertidor de CD/CD, se muestra en la ecuación (2.8.1).

$$\dot{x} = J(u_{av}) \frac{\partial H}{\partial x} - R \frac{\partial H}{\partial x} + bu_{av} + \varepsilon \quad (2.8.1)$$

Donde $H(x)$ es la energía total almacenada dada por la forma cuadrática $H(x) = \frac{1}{2}x^T x$, por la relación anterior se puede notar que el término $\frac{\partial H}{\partial x} = x$, la matriz $J(u_{av})$ es antisimétrica, la matriz R es simétrica y semidefinida positiva, b es un vector de constante, de los voltajes de entradas al convertidor.

Las propiedades que debe cumplir el modelo matemático no lineales para poder aplicar la ley de control ESEDPOF, son las siguientes:

- La matriz $J(u_{av})$ debe ser antisimétrica, en el caso analizado si satisface esta propiedad para cualquier entrada de control \bar{u} , por lo tanto tenemos que:

$$J(u_{av}) = J(\bar{u}) + \left. \frac{\partial J(u_{av})}{\partial(u_{av})} \right|_{u_{av}=\bar{u}} (u_{av} - \bar{u}) \quad (2.8.2)$$

En la ecuación (2.8.2) se observa que la matriz $J(u_{av})$ depende de u_{av} , por lo que la matriz $\partial J(u_{av})/\partial(u_{av})$ es antisimétrica constante, cumpliendo con la primera condición.

• En condiciones de equilibrio, la dinámica del sistema tienden a cero, por lo que el sistema de ecuaciones se puede expresar de la siguiente manera:

$$\begin{aligned} 0 &= J(\bar{u}) \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} - R \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} + b\bar{u} + \varepsilon \\ 0 &= J(\bar{u})\bar{x} - R\bar{x} + b\bar{u} + \varepsilon \end{aligned} \quad (2.8.3)$$

En la ecuación (2.8.3) se tiene que \bar{x} es el estado de equilibrio promedio constante, correspondiente a la entrada de control promedio constante \bar{u} , donde $\bar{u} \in [0, 1]$.

Posteriormente se define el error de estabilización del sistema como: $e = x - \bar{x}$, $e = u_{av} - \bar{u}$. Por lo tanto tenemos las siguientes correspondencias:

$$e = x - \bar{x} = \frac{\partial H(x)}{\partial x} - \frac{\partial H(\bar{x})}{\partial \bar{x}} = \frac{\partial H(e)}{\partial e} \quad (2.8.4)$$

De la ecuación (2.8.4) podemos concluir que $\dot{e} = \dot{x}$. Por lo que se tiene la siguiente proposición.

Proposición 1 *La dinámica de error de estabilización satisface, sin aproximaciones, la siguiente dinámica:*

$$\dot{e} = J(u_{av})e - Re + \left[b + \frac{\partial J(u_{av})}{\partial(u_{av})} \bar{x} \right] e_u \quad (2.8.5)$$

La ecuación (2.8.5) es simplificada (ver [53]), a continuación se realiza la demostración relacionado con el punto de equilibrio, realizando todas las operaciones necesarias, se obtiene lo siguiente:

$$\dot{e} = J(u_{av}) \frac{\partial H(e)}{\partial e} - R \frac{\partial H(e)}{\partial e} + be_u + \varepsilon + J(u_{av}) \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} - R \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} + b\bar{u} \quad (2.8.6)$$

Usando la relación de los puntos de equilibrio de la ecuación (2.8.3), se obtiene que la dinámica del error satisface:

$$\dot{e} = J(u_{av}) \frac{\partial H(e)}{\partial e} - R \frac{\partial H(e)}{\partial e} + be_u + [J(u_{av}) - J(\bar{u})] \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} \quad (2.8.7)$$

Sustituyendo la ecuación (2.8.2) en la ecuación (2.8.7), obtenemos la siguiente ecuación simplificada:

$$\dot{e} = J(u_{av})e - Re + \left[b + \frac{\partial J(u_{av})}{\partial(u_{av})}\bar{x} \right] e_u \quad (2.8.8)$$

Observaciones relevantes obtenidas del análisis de la dinámica del error (ver [53]).

Teorema 1 *Un controlador de retroalimentación incremental lineal, deducido sobre la base de la estabilización a cero del modelo promedio de linealización tangente del convertidor alrededor de un punto de equilibrio deseado, también estabiliza el sistema no lineal al equilibrio deseado a partir de cualquier condición inicial permisible. En otras palabras, la ley de control de retroalimentación linealizada, obtenida del modelo linealizado tangente, hace que el punto de equilibrio del convertidor no lineal sea semi-globalmente asintóticamente estable [53].*

La prueba de esta, se basa en el desarrollo previo. A continuación se propone la ley de control incremental lineal promedio:

$$\dot{e}_u = u_\delta = -k^T e = -k^T x_\delta \quad (2.8.9)$$

El sistema no-lineal se estabiliza localmente, debido a la ubicación de polos de la linealización aproximada del modelo promedio. Donde k^T es un vector fila de ganancias que retroalimenta los errores de estabilización del estado. La dinámica del sistema en lazo cerrado es dada por la ecuación simplificada (2.8.10):

$$\dot{e} = J(u_{av})e - \left[R + \left(b + \frac{\partial J(u_{av})}{\partial(u_{av})}\bar{x} \right) - k^T \right] e \quad (2.8.10)$$

Por simplicidad, se reescribe el siguiente término de la ecuación (2.8.10):

$$M = \left[R + \left(b + \frac{\partial J(u_{av})}{\partial(u_{av})}\bar{x} \right) - k^T \right] \quad (2.8.11)$$

La matriz M tiene todos sus valores propios en la parte derecha del plano complejo. Por lo que M no es simétrica ni antisimétrica, no obstante, puede ser escrita como:

$$M = J_M + R_M \quad (2.8.12)$$

En la representación de la matriz M en la ecuación (2.8.12) se tiene que J_M es antisimétrica y R_M es simétrica y definida positiva, por lo que al multiplicar esta última por el signo menos se convierte en definido negativo. El sistema en lazo cerrado es entonces de la forma:

$$\dot{e} = [J(u_{av}) - J_M] e - [R + R_M] e \quad (2.8.13)$$

Debido a la antisimetría de la matriz $J(u_{av}) - J_M$ para toda u_{av} y la naturaleza definida positiva de la matriz $R + R_M$, la estabilidad semi-global del sistema en lazo cerrado es evidente. En este trabajo se presenta el modelo promedio del rectificador activo trifásico PWM y el desarrollo de un controlador (ESEDPOF) para regular el voltaje en el bus de CD del convertidor antes mencionado.

2.9. Aplicación de los FPGAs en la industria

Los arreglos de compuertas programables de campo, en los últimos años se ha consolidado como una de las plataformas digitales preferidas para realizar implementaciones digitales con enfoques industriales, debido a las ventajas que estas ofrecen, además que su relación calidad-precio es muy buena. Cada nueva generación de estos dispositivos ofrece una mayor capacidad de procesamiento digital, lo que trae consigo cambios en los paradigmas y a su vez en las herramientas de software, debido a que requieren mejores soportes, estos cambios pueden ser tanto a nivel software o hardware, tales como: más operadores flotantes, nuevos recursos lógicos, núcleos de propiedad intelectual (IPCOREs), nuevas herramientas de diseño, nuevos controladores, por mencionar algunos [19].

Las características y la constante evolución de estos dispositivos los hace una herramienta de diseño perfecta para realizar simulaciones digitales en tiempo real, implementar técnicas de control avanzadas e instrumentación electrónica, lo cual lo hace atractivo no solo para aplicaciones académicas, sino también para las industriales. Las ventajas evidentes de los FPGAs sobre sus similares que se ofrecen en el mercado como: Microcontroladores y DSPs, radica en sus velocidades altas de procesamiento de información debido a su paralelismo y la gran flexibilidad que ofrece [19]. Actualmente los FPGAs se han vuelto muy llamativos para las industrias debido a que cuentan con características que se requieren para poder implementar técnicas sofisticadas de control avanzado, simular sistemas en tiempo real, siendo estas partes principalmente lo que le interesa al sector industrial. Con el paso de los años los arreglos de compuertas programables de campo han sufrido cambios para lograr un diseño, esto ha beneficiado a los diseñadores, debido a que vienen acompañados de herramientas de desarrollo de software amigables [56]. Los controladores basados en FPGAs para la industria, donde es de suma importancia la seguridad, como es el caso de sistemas embebidos, aplicaciones robóticas, automotriz, entre otros, se hace uso de los módulos IPCOREs basados en FPGAs, lo cual facilita en gran manera un diseño complejo, además que otorga una alta fiabilidad de funcionamiento del sistema [56].

En cuestiones de la industria automotriz y aeronáutica, priorizan la velocidad de procesamiento y transmisión de datos, debido a que implementan sistemas en tiempo real, en los cuales se puedan procesar, recibir y enviar datos a altas velocidades, además de verificar que el protocolo de comunicación que se utilice sea confiable, los FPGAs son una excelente opción, por lo que en estos son implementados en este tipo de aplicaciones, debido al paralelismo con el que cuenta. Los FPGAs también tiene presencia en el área de comunicaciones, donde son utilizados para gestionar aplicaciones de comunicación distribuida mediante protocolos eficientes de Ethernet en tiempo real [56].

En el caso de los controladores basados en FPGAs para aplicaciones en electrónica de potencia, donde controlar el voltaje de un convertidor es de suma importancia, ocasiona que muchos dispositivos de procesamiento de señales no cumplan con las especificaciones necesarias para poder ser utilizadas en este tipo de aplicaciones, una de ellas es la capacidad de frecuencia de muestreo, la cual se convierte en una limitante para muchos dispositivos, debido a la limi-

tación de frecuencia de conmutación. Por lo tanto, la elección del dispositivo a utilizar, para estas aplicaciones se ven condicionadas comúnmente por la frecuencia de conmutación máxima disponible en el dispositivo, dejan a muchos competidores de los FPGAs fuera, debido que no cumplen con las características necesarias para poder implementar algún sistema de estos [56].

Para las aplicaciones muy exigentes en recursos el uso de los controladores basados en FPGA son obligatorios, debido al control estático del convertidor, donde se distribuye la energía para reducir el estrés de los dispositivos de conmutación. En este caso, la concurrencia es alta debido a que hay varios canales de potencia que tienen que ser conducidos en paralelo [56], por mencionar un ejemplo de operaciones paralelas se da el caso donde se implementa un algoritmo multinivel PWM de vector de espacios multifásicos combinado (cinco fases, cinco niveles) [57], la cual se implementó con éxito en un FPGA de bajo costo. Otra aplicación altamente exigente, se refiere a las aplicaciones de Hardware-In-the-Loop (HIL), el cual es un campo desafiante, debido a que el dispositivo a utilizar debe tener buena capacidad para poder realizar el procesamiento de datos, debido a que en estas aplicaciones emulan sistemas reales, dotándolas de todas las características para que el sistema implementado en la tarjeta se asemeje lo más posible al sistema real, lo cual hacen que los FPGAs sea una buena opción, debido a su gran capacidad de procesar los datos de manera rápida, gracias a su paralelismo [56]. En los trabajos [58–60], los autores presentan simuladores digitales en tiempo real (HIL) basado en un FPGA. De modo que nos afirma que los FPGAs son útiles para este tipo de aplicaciones, las cuales demandan un alto rendimiento de los dispositivos de procesamiento de datos.

Capítulo 3

Metodología: Fase 1

En la primera fase de la metodología se realiza la formulación del controlador ESEDPOF, el análisis de sus propiedades matemáticas y su simulación [39], el objetivo principal de control es la regulación del voltaje en el bus de CD del rectificador activo trifásico PWM. En la Figura 3.1 se muestra de forma resumida las etapas de la primera fase de la metodología.

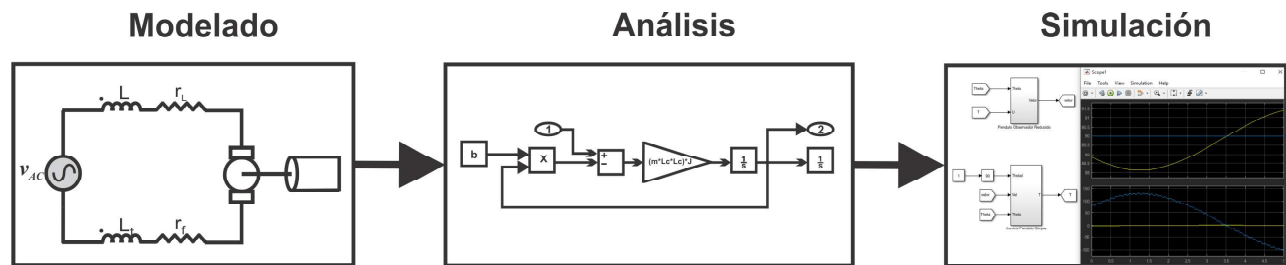


Figura 3.1: Fase 1 de la metodología.

3.1. Modelado

3.1.1. Modelo promedio del rectificador activo trifásico PWM

De acuerdo al circuito eléctrico mostrado en la Figura 3.2 del rectificador activo trifásico PWM, al cual se aplican las leyes de voltaje y corriente de Kirchhoff, se obtiene el siguiente modelo promedio del convertidor mostrado en la ecuación (3.1.1).

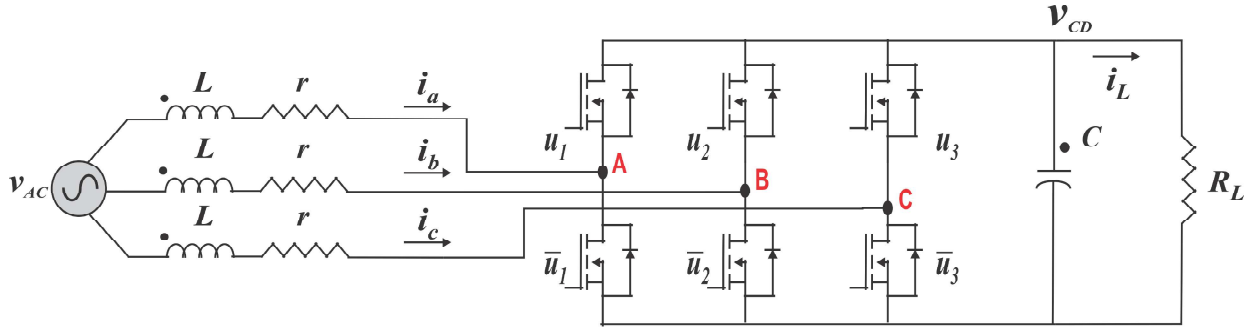


Figura 3.2: Rectificador Activo Trifásico PWM.

$$\begin{aligned}
 L \frac{di_a}{dt} &= -u_1 V_{CD} - r i_a + V_a \\
 L \frac{di_b}{dt} &= -u_2 V_{CD} - r i_b + V_b \\
 L \frac{di_c}{dt} &= -u_3 V_{CD} - r i_c + V_c \\
 C \frac{dV_{CD}}{dt} &= u_1 i_a + u_2 i_b + u_3 i_c - \frac{V_{CD}}{R_L}
 \end{aligned} \tag{3.1.1}$$

Donde $V_1 = V \cos(\omega t)$, $V_2 = V \cos(\omega t - \frac{2\pi}{3})$, $V_3 = V \cos(\omega t + \frac{2\pi}{3})$, representan los voltajes de CA externos balanceados de la fuente trifásica de CA. Las entradas promedio u_{av} que representan el cambio de acción en los IGBTs satisface $u_{av} \in [-1, 1]$, r es la resistencia parásita del inductor L , V_{CD} es el voltaje en el capacitor C , i_a, i_b e i_c son las corrientes de fase respectivamente y R_L es la resistencia de carga del rectificador. En esta investigación se optó por trabajar el sistema en el marco rotatorio. Por lo que se realizaron las transformaciones correspondientes para pasar el sistema trifásico del dominio del tiempo de un marco ABC, en dos componentes (dq) a un marco rotatorio ortogonal.

A continuación se representa el modelo matemático en ABC en su forma matricial, dejando de lado izquierdo de la igualdad la dinámica del sistema:

$$\begin{aligned}
 \frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} &= -\frac{V_{CD}}{L} \begin{bmatrix} u_1 \\ u_2 \\ u_3 \end{bmatrix} - \frac{r}{L} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + \frac{1}{L} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \\
 \frac{dV_{CD}}{dt} &= \frac{1}{C} [u_1 \quad u_2 \quad u_3] \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} - \frac{V_{CD}}{R_L C}
 \end{aligned} \tag{3.1.2}$$

De la ecuación (3.1.2) se definen los siguientes términos como vectores, tal como se muestra en la ecuación (3.1.3):

$$\vec{V}_L = \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix}, \vec{U} = \begin{bmatrix} u_1 \\ u_2 \\ u_3 \end{bmatrix}, \vec{i} = \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (3.1.3)$$

Una vez redefinido los términos anteriores, se reescribe el sistema de ecuaciones con los nuevos términos:

$$\begin{aligned} \frac{d\vec{i}}{dt} &= -\frac{1}{L}\vec{u} \cdot V_{CD} - \frac{r}{L}\vec{i} + \frac{1}{L}\vec{V}_L \\ \frac{dV_{CD}}{dt} &= \frac{1}{C}\vec{u}^T \cdot \vec{i} - \frac{V_{CD}}{R_L C} \end{aligned} \quad (3.1.4)$$

Se realiza lo anterior para poder manipular el sistema de ecuaciones y realizar la transformación de coordenadas de ABC a dq, por lo que se recurre a la transformada de Park, dicha transformación se realiza mediante la matriz mostrada en la ecuación (3.1.5):

$$T = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ -\sin(\omega t) & -\sin(\omega t - \frac{2\pi}{3}) & -\sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (3.1.5)$$

Se tiene la siguiente relación entre la transformada ABC a dq:

$$X_{abc} = T^{-1} X_{dq0} \quad (3.1.6)$$

Aplicando la relación (3.1.6) a las coordenadas a transformar en el sistema de ecuaciones (3.1.4), se obtiene lo siguiente:

$$\begin{aligned} \frac{dT^{-1}\vec{i}_{dq0}}{dt} &= -\frac{1}{L}T^{-1}\vec{u}_{dq0} \cdot V_{CD} - \frac{r}{L}T^{-1}\vec{i}_{dq0} + \frac{1}{L}T^{-1}\vec{V}_{dq0} \\ \frac{dV_{CD}}{dt} &= \frac{1}{C}\vec{u}_{dq0}^T \cdot T^{-1} \cdot T\vec{i}_{dq0} - \frac{V_{CD}}{R_L C} \end{aligned} \quad (3.1.7)$$

Propiedades de la matriz de transformación:

$$T = \sqrt{\frac{2}{3}} \cdot T = K \cdot T \quad (3.1.8)$$

$$(K \cdot T)^{-1} = \frac{1}{K} T^{-1} \text{ si } k \neq 0 \quad (3.1.9)$$

$$T^{-1} T = 1 \quad (3.1.10)$$

Considerando las propiedades (3.1.8), (3.1.9) y (3.1.10), se obtiene lo siguiente:

$$T^{-1} \cdot T = \frac{1}{K} T^{-1} \cdot K \cdot T = \frac{K}{K} \cdot T^{-1} \cdot T = 1$$

Operando y derivando temporalmente al sistema de ecuaciones (3.1.7), y aplicando la propiedad mostrada en (3.1.10), se obtiene:

$$\begin{aligned} \frac{dT^{-1}}{dt} \vec{i}_{dq0} + T^{-1} \frac{d\vec{i}_{dq0}}{dt} &= -\frac{1}{L} T^{-1} \vec{u}_{dq0} \cdot V_{CD} - \frac{r}{L} T^{-1} \vec{i}_{dq0} + \frac{1}{L} T^{-1} \vec{V}_{dq0} \\ \frac{dV_{CD}}{dt} &= \frac{1}{\left(\sqrt{\frac{2}{3}}\right)^2 C} \vec{u}_{dq0}^T \cdot \vec{i}_{dq0} - \frac{V_{CD}}{R_L C} \end{aligned} \quad (3.1.11)$$

Si se multiplica por T a ambos lados de la ecuación (3.1.11) se tiene que:

$$\begin{aligned} T \frac{dT^{-1}}{dt} \vec{i}_{dq0} + \frac{d\vec{i}_{dq0}}{dt} &= -\frac{1}{L} \vec{u}_{dq0} \cdot V_{CD} - \frac{r}{L} \vec{i}_{dq0} + \frac{1}{L} \vec{V}_{dq0} \\ \frac{dV_{CD}}{dt} &= \frac{3}{2C} \vec{u}_{dq0}^T \cdot \vec{i}_{dq0} - \frac{V_{CD}}{R_L C} \end{aligned} \quad (3.1.12)$$

Debido a que la matriz de transformación T es ortogonal cumple la siguiente propiedad:

$$T^{-1} = T^T \quad (3.1.13)$$

Para resolver el sistema de ecuaciones se tendrá que desarrollar el término que contiene la matriz de transformación, por lo que se hará uso de la propiedad (3.1.13), como se muestra a continuación:

$$T \frac{dT^{-1}}{dt} = T \frac{dT^T}{dt} = T \sqrt{\frac{2}{3}} \frac{d}{dt} \begin{bmatrix} \cos(\omega t) & -\sin(\omega t) & \frac{1}{\sqrt{2}} \\ \cos(\omega t - \frac{2\pi}{3}) & -\sin(\omega t - \frac{2\pi}{3}) & \frac{1}{\sqrt{2}} \\ \cos(\omega t + \frac{2\pi}{3}) & -\sin(\omega t + \frac{2\pi}{3}) & \frac{1}{\sqrt{2}} \end{bmatrix}$$

Derivando la matriz, se obtiene lo siguiente:

$$T \frac{dT^{-1}}{dt} = T \sqrt{\frac{2}{3}} \begin{bmatrix} -\omega \sin(\omega t) & -\omega \cos(\omega t) & 0 \\ -\omega \sin(\omega t - \frac{2\pi}{3}) & -\omega \cos(\omega t - \frac{2\pi}{3}) & 0 \\ -\omega \sin(\omega t + \frac{2\pi}{3}) & -\omega \cos(\omega t + \frac{2\pi}{3}) & 0 \end{bmatrix}$$

Se sustituye el valor de la matriz de transformación, como se muestra:

$$T \frac{dT^{-1}}{dt} = \left(\sqrt{\frac{2}{3}} \right)^2 \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ -\sin(\omega t) & -\sin(\omega t - \frac{2\pi}{3}) & -\sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} -\omega \sin(\omega t) & -\omega \cos(\omega t) & 0 \\ -\omega \sin(\omega t - \frac{2\pi}{3}) & -\omega \cos(\omega t - \frac{2\pi}{3}) & 0 \\ -\omega \sin(\omega t + \frac{2\pi}{3}) & -\omega \cos(\omega t + \frac{2\pi}{3}) & 0 \end{bmatrix}$$

Multiplicando las matrices, se obtiene:

$$T \frac{dT^{-1}}{dt} = \frac{2}{3} \begin{bmatrix} 0 & -\frac{3}{2}\omega & 0 \\ \frac{3}{2}\omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} = \begin{bmatrix} 0 & -\omega & 0 \\ \omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Por lo tanto, sustituyendo el resultado en la ecuación (3.1.12), se obtiene:

$$\begin{aligned} \frac{d\vec{i}_{dq0}}{dt} &= - \begin{bmatrix} 0 & -\omega & 0 \\ \omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \vec{i}_{dq0} - \frac{1}{L} \vec{u}_{dq0} V_{CD} - \frac{r}{L} \vec{i}_{dq0} + \frac{1}{L} \vec{V}_{dq0} \\ \frac{dV_{CD}}{dt} &= \frac{3}{2C} \vec{u}_{dq0}^T \vec{i}_{dq0} - \frac{V_{CD}}{R_{LC}} \end{aligned} \quad (3.1.14)$$

Reescribiendo los términos de \vec{i}_{dq0} , \vec{u}_{dq0} y \vec{V}_{dq0} , las ecuaciones en el eje dq0 del rectificador activo trifásico PWM, queda de la siguiente manera:

$$\begin{aligned} \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} &= - \begin{bmatrix} 0 & -\omega & 0 \\ \omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} - \frac{1}{L} \begin{bmatrix} u_d \\ u_q \\ u_0 \end{bmatrix} V_{CD} - \frac{r}{L} \begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} + \frac{1}{L} \begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} \\ \frac{dV_{CD}}{dt} &= \frac{3}{2C} \begin{bmatrix} u_d & u_q & u_0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} - \frac{V_{CD}}{R_{LC}} \end{aligned} \quad (3.1.15)$$

Dado que el sistema es equilibrado, es decir:

$$\begin{aligned} V_a + V_b + V_c &= 0 \\ i_a + i_b + i_c &= 0 \\ u_a + u_b + u_c &= 0 \end{aligned} \quad (3.1.16)$$

el componente $X_0 = 0$, se puede omitir, por lo que el sistema se puede expresar como:

$$\begin{aligned} \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} &= - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} - \frac{1}{L} \begin{bmatrix} u_d \\ u_q \end{bmatrix} V_{CD} - \frac{r}{L} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \frac{1}{L} \begin{bmatrix} v_d \\ v_q \end{bmatrix} \\ \frac{dV_{CD}}{dt} &= \frac{3}{2C} \begin{bmatrix} u_d & u_q \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} - \frac{V_{CD}}{R_{LC}} \end{aligned} \quad (3.1.17)$$

Por lo tanto la representación en el marco dq del rectificador activo trifásico PWM es:

$$\begin{aligned}
\frac{di_d}{dt} &= \omega i_q - \frac{1}{L} u_d V_{CD} - \frac{r}{L} i_d + \frac{1}{L} v_d \\
\frac{di_q}{dt} &= -\omega i_d - \frac{1}{L} u_q V_{CD} - \frac{r}{L} i_q + \frac{1}{L} v_q \\
\frac{dV_{CD}}{dt} &= \frac{3}{2C} (u_d i_d + u_q i_q) - \frac{V_{CD}}{R_L C}
\end{aligned}
\tag{3.1.18}$$

Si multiplicamos la ecuación (3.1.18) por los parámetros L y C, para poder llevar al sistema de ecuaciones a su forma pasiva, se tiene:

$$\begin{aligned}
L \frac{di_d}{dt} &= L\omega i_q - u_d V_{CD} - r i_d + v_d \\
L \frac{di_q}{dt} &= -L\omega i_d - u_q V_{CD} - r i_q + v_q \\
C \frac{2dV_{CD}}{3dt} &= (u_d i_d + u_q i_q) - \frac{2V_{CD}}{3R_L}
\end{aligned}
\tag{3.1.19}$$

Una vez obtenido el modelo del rectificador activo trifásico PWM en el marco rotatorio ortogonal (dq), se procede a realizar el análisis para el cálculo del controlador ESEDPOF.

$$\begin{aligned}
V_a &= V_d \cos(\theta) + V_q \sin(\theta) \\
V_b &= V_d \cos\left(\theta - \frac{2}{3}\pi\right) + V_q \sin\left(\theta - \frac{2}{3}\pi\right) \\
V_c &= V_d \cos\left(\theta + \frac{2}{3}\pi\right) + V_q \sin\left(\theta + \frac{2}{3}\pi\right)
\end{aligned}
\tag{3.1.20}$$

3.2. Análisis del rectificador activo trifásico PWM visto como un sistema pasivo

En este punto se deben verificar las propiedades del modelo dinámico del sistema RAT-PWM, el cual debe ser un sistema pasivo-disipativo para poder proponer una ley de control ESEDPOF. El modelo no lineal del sistema descrito en la ecuación (3.1.19), se representa en su forma pasivo-disipativo de manera matricial:

$$A\dot{x} = j(u_{av})x - \mathfrak{R}x + \eta \tag{3.2.1}$$

Donde la matriz simétrica $A \in \mathbb{R}^{3 \times 3}$ es constante y definida positiva, debido a que la matriz $A = A^T > 0$, $x = (i_d, i_q, V_{CD}) \in X \subset \mathbb{R}^3$ es el vector de estado, $j(u_{av}) \in \mathbb{R}^{3 \times 2}$ es la matriz antisimétrica, donde:

$$j(u_{av}) = J_0 + \sum_{i=0}^m J_i u_{i,av} \quad (3.2.2)$$

La matriz J_i , donde $i = 0, 1, \dots, m$ son matrices antisimétricas constantes, $u_{i,av} \in \mathbb{R}^2$ donde $i = 1, 2$ son las entradas de control promedio, Nótese que para los valores arbitrarios de u_{1av} , u_{2av} para la matriz $j(u_{av})$ es antisimétrica, debido a que $j^T(u_{av}) = -j(u_{av})$, $\mathfrak{R} \in \mathbb{R}^{3 \times 3}$ es la matriz simétrica de disipación de energía, la cual debe cumplir con ser definida positiva es decir $\mathfrak{R} = \mathfrak{R}^T \geq 0$ y $\eta \in \mathbb{R}^3$ es un vector constante que representa a las fuentes de alimentación del rectificador activo trifásico PWM.

La ecuación (3.2.1) del sistema en su forma pasiva posee algunas propiedades, por lo que se hará uso de una de ellas a continuación, con la finalidad de facilitar el diseño de control.

Propiedad 1.1 [53], la matriz conservativa $j(u_{av})$ satisface:

$$e^T j(u_{av}) e = 0, \quad \forall u_{av} \in \mathbb{R}^2, e \in \mathbb{R}^n \quad (3.2.3)$$

La función de energía total almacenada del sistema pasivo (Lyapunov) expresada en el sistema de ecuaciones 3.1.19, se enuncia en la ecuación 3.2.4:

$$\begin{aligned} H(e) &= \frac{1}{2} e^T A e = \frac{1}{2} \begin{pmatrix} e_{id} \\ e_{iq} \\ e_{V_{CD}} \end{pmatrix}^T \begin{pmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{pmatrix} \begin{pmatrix} e_{id} \\ e_{iq} \\ e_{V_{CD}} \end{pmatrix} \\ H(e) &= \frac{1}{2} (e_{id} \quad e_{iq} \quad e_{V_{CD}}) \begin{pmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{pmatrix} \begin{pmatrix} e_{id} \\ e_{iq} \\ e_{V_{CD}} \end{pmatrix} \\ H(e) &= \frac{1}{2} (L e_{id} \quad L e_{iq} \quad \frac{2}{3} C e_{V_{CD}}) \begin{pmatrix} e_{id} \\ e_{iq} \\ e_{V_{CD}} \end{pmatrix} \\ H(e) &= \frac{1}{2} (L e_{id}^2 \quad L e_{iq}^2 \quad \frac{2}{3} C e_{V_{CD}}^2) \end{aligned} \quad (3.2.4)$$

Aplicando la derivada a la ecuación de energía total almacenada, se tiene que:

$$\begin{aligned}
\dot{H}(e) &= \frac{1}{2}(2Le_{id}\dot{e}_{id} + 2Le_{iq}\dot{e}_{iq} + 2\left(\frac{2}{3}\right)Ce_{V_{CD}}\dot{e}_{V_{CD}}) \\
\dot{H}(e) &= Le_{id}\dot{e}_{id} + Le_{iq}\dot{e}_{iq} + \left(\frac{2}{3}\right)Ce_{V_{CD}}\dot{e}_{V_{CD}} \\
\dot{H}(e) &= (e_{id} \ e_{iq} \ e_{V_{CD}}) \begin{pmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{pmatrix} \begin{pmatrix} \dot{e}_{id} \\ \dot{e}_{iq} \\ \dot{e}_{V_{CD}} \end{pmatrix}
\end{aligned} \tag{3.2.5}$$

Después de desarrollar la derivada de la ecuación de energía en la ecuación (3.2.5), se tiene que:

$$\dot{H}(e) = e^T A \dot{e} \tag{3.2.6}$$

Por lo tanto, se concluye que es el sistema del RAT-PWM si es un sistema pasivo-disipativo, por lo que se puede llevar a una representación pasiva y aplicar la técnica de control ESEDPOF.

3.2.1. Diseño de controlador multivariable ESEDPOF

El sistema de ecuaciones (3.1.19) se puede representar en su forma pasiva como se muestra en la ecuación (3.2.7):

$$A\dot{x} = j(u_{av})x - \mathfrak{R}x + \eta \tag{3.2.7}$$

donde

$$A = \begin{bmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{bmatrix} \quad j(u_{av}) = \begin{bmatrix} 0 & \omega L & -u_d \\ -\omega L & 0 & -u_q \\ u_d & u_q & 0 \end{bmatrix} \quad \mathfrak{R} = \begin{bmatrix} r & 0 & 0 \\ 0 & r & 0 \\ 0 & 0 & \frac{2}{3R_L} \end{bmatrix} \quad \eta = \begin{bmatrix} v_d \\ v_q \\ 0 \end{bmatrix}$$

Derivado de lo anterior, la representación pasiva del rectificador activo trifásico PWM (3.2.7), se denota como:

$$\begin{bmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{bmatrix} \begin{pmatrix} \dot{i}_d \\ \dot{i}_q \\ \dot{V}_{CD} \end{pmatrix} = \begin{bmatrix} 0 & \omega L & -u_d \\ -\omega L & 0 & -u_q \\ u_d & u_q & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ V_{CD} \end{bmatrix} - \begin{bmatrix} r & 0 & 0 \\ 0 & r & 0 \\ 0 & 0 & \frac{2}{3R_L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ V_{CD} \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \\ 0 \end{bmatrix} \tag{3.2.8}$$

La dinámica de referencia deseada, a partir de la representación pasiva del sistema es:

$$A\dot{x}^* = j(u_{av}^*)x^* - \mathfrak{R}x^* - \eta \tag{3.2.9}$$

El cálculo de la dinámica del error de estabilización, se realiza a partir de la resta de (3.2.7) con (3.2.9), donde se obtiene que:

$$A(\dot{x} - \dot{x}^*) = j(u_{av})x - j(u_{av}^*)x^* - \mathfrak{R}(x - x^*) + \eta - \eta \quad (3.2.10)$$

La propiedad mostrada en la ecuación (3.2.11), es una aproximación lineal por series de Taylor al término $j(u_{av})x - j(u_{av}^*)x^*$ con respecto a las entradas de control, por lo que se debe sumar un cero en la ecuación (3.2.10), para poder aplicarla.

$$j(u_{av})x - j(u_{av}^*)x^* = \frac{\partial j(u_{av})}{d(u_{av})} e_u \quad (3.2.11)$$

Al aplicar la propiedad (3.2.11) en la ecuación (3.2.10), se obtiene que:

$$A(\dot{x} - \dot{x}^*) = j(u_{av})x - j(u_{av}^*)x^* + j(u_{av})x^* - j(u_{av})x^* - \mathfrak{R}(x - x^*) \quad (3.2.12)$$

Definiendo la dinámica de error de regulación como:

$$\begin{aligned} \dot{e} &= \dot{x} - \dot{x}^* \\ e &= x - x^* \end{aligned}$$

Al reescribir la ecuación (3.2.12) en términos del error, se obtiene lo siguiente:

$$A\dot{e} = j(u_{av})e + (j(u_{av}) - j(u_{av}^*))x^* - \mathfrak{R}e \quad (3.2.13)$$

El error promedio de la entrada de control se define como $e_{u_{av}} = u_{av} - u_{av}^*$, debido a la linealidad de la ecuación (3.2.13), la expresión $j(u_{av})x - j(u_{av}^*)x^*$, se puede escribir como:

$$j(u_{av})x - j(u_{av}^*)x^* = \underbrace{\frac{\partial j(u_{av})}{d(u_{av})} \Big|_{u_{av}=u_{av}^*}}_{=:j} e_{u_{av}} \quad (3.2.14)$$

Por lo anterior, la ecuación (3.2.2) se puede expresar como:

$$\sum_{i=1}^m j_i(u_{i,av} - u_{i,av}^*) = \sum_{i=1}^m j_i e_{i,u_{av}} \quad (3.2.15)$$

Sustituyendo la ecuación (3.2.15) en la ecuación (3.2.13), se obtiene lo siguiente:

$$\begin{aligned} A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \sum_{i=1}^m j_i e_{i,u_{av}} x^* \\ A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \underbrace{[(j_1 x^*, \dots, j_m x^*)]}_{=: \bar{B}} e_{i,u_{av}} \\ A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \bar{B} e_{i,u_{av}} \end{aligned} \quad (3.2.16)$$

Se propone la ley de control por retroalimentación de la salida pasiva de la dinámica del error estático, está inyecta más términos de disipación al sistema a través de una matriz de acoplamiento. Se propone la siguiente función de Lyapunov:

$$H(e) = \frac{1}{2}e^T A e > 0 \quad (3.2.17)$$

En la sección anterior se abordó la misma ecuación de energía mostrada en la ecuación (3.2.4) donde se obtuvo su derivada, la cual se muestra en la ecuación (3.2.6). La simetría de la matriz A y la antisimetría de la matriz $J(u_{av})$, para cualquier u_{av} , implica que:

$$\dot{H}(e) = e^T A \dot{e} = -e^T \mathfrak{R} e + e^T \bar{B} e_{u_{av}} \quad (3.2.18)$$

Sea una matriz γ constante definida positiva, el error de la entrada de control u_{av} en la ecuación (3.2.18) puede ser especificada convenientemente de la siguiente manera:

$$e_{u_{av}} = u_{av} - u_{av}^* = -\gamma \bar{B}^T e \quad (3.2.19)$$

La ecuación (3.2.19) es el controlador de retroalimentación de la salida pasiva de la dinámica del error estático (ESEDPOF, por sus siglas en inglés), con la finalidad de diseñar un controlador que regule el voltaje a la salida del sistema RAT-PWM y logre la estabilidad asintótica en la referencias de corriente y voltaje deseados (i_d , i_q y V_{CD}). Se propone que:

$$\begin{aligned} \dot{H}(e) &= -e^T \mathfrak{R} e - e^T \bar{B} \gamma \bar{B}^T e \\ \dot{H}(e) &= -e^T \underbrace{(\mathfrak{R} - \bar{B} \gamma \bar{B}^T)}_{=:\hat{R}} e \leq 0 \end{aligned} \quad (3.2.20)$$

Donde la matriz γ propuesta es definida positiva y simétrica, por otro lado se tiene que la matriz \hat{R} propuesta en la ecuación (3.2.20) está dada por:

$$\hat{R} = \mathfrak{R} - \bar{B} \gamma \bar{B}^T \quad (3.2.21)$$

A partir del criterio de Sylvester, se verifica que la matriz $\hat{R} \geq 0$, es decir es una matriz semi definida positiva y por lo tanto cumple con la condición de acoplamiento de disipación del sistema de retroalimentación [61], siempre que la única solución sea el origen, es decir, a través del teorema de invarianza de LaSalle. La dinámica del error de (3.2.13) en lazo cerrado tiene un único punto de equilibrio en el origen y este punto de equilibrio es asintóticamente estable.

A partir de la ecuación (3.2.19), la ley de control de retroalimentación está dada por:

$$\sum_{i=1}^{m=2} e_{u_{i,av}} = - \begin{pmatrix} \gamma_1 & 0 \\ 0 & \gamma_2 \end{pmatrix} \begin{pmatrix} -V_{CD}^* & 0 \\ 0 & -V_{CD}^* \\ i_d^* & i_q^* \end{pmatrix}^T \begin{pmatrix} e_{i_d} \\ e_{i_q} \\ e_{V_{CD}} \end{pmatrix} \quad (3.2.22)$$

Desarrollando las operaciones de la ecuación (3.2.22), se obtiene el siguiente resultado:

$$\begin{aligned} u_d &= u_d^* + \gamma_1 V_{CD}^* (i_d - i_d^*) - \gamma_1 i_d^* (V_{CD} - V_{CD}^*) \\ u_q &= u_q^* + \gamma_2 V_{CD}^* (i_q - i_q^*) - \gamma_2 i_q^* (V_{CD} - V_{CD}^*) \end{aligned} \quad (3.2.23)$$

Los valores u_d^* , u_q^* y V_{CD}^* son valores de referencia o deseados, $\gamma_1 = \gamma_2$ en un intervalo de $[0, 1]$.

3.2.2. Cálculo de las señales de referencia deseadas

El cálculo de las señales de las referencia deseadas u_d^* , u_q^* , i_d^* , i_q^* y V_{CD}^* , las cuales forman parte de la ley de control de retroalimentación, se realiza mediante el cálculo de los puntos de equilibrio de la ecuación (3.1.19), teniendo en cuenta que el sistema es balanceado, se obtiene el siguiente sistema de ecuaciones haciendo las dinámicas cero:

$$0 = \omega L i_q^* - u_d^* V_{CD}^* - r i_d^* + V_d \quad (3.2.24)$$

$$0 = -\omega L i_d^* - u_q^* V_{CD}^* \quad (3.2.25)$$

$$0 = u_d^* i_d^* - \frac{2 V_{CD}^*}{3 R_L} \quad (3.2.26)$$

Debido a cambio de marco de referencia de ABC a dq la corriente $i_q = 0$ y el voltaje $V_q = 0$, por lo que:

$$i_q^* = 0 \quad (3.2.27)$$

De la ecuación (3.2.24) se despeja u_d^* , tomando la siguiente consideración, debido a que r es una resistencia parásita del inductor L , $r = 0$, por lo tanto se obtiene que:

$$u_d^* = \frac{V_d}{V_{CD}^*} \quad (3.2.28)$$

De la ecuación (3.2.25) se despeja u_q^* , donde se obtiene:

$$u_q^* = -\frac{\omega L i_d^*}{V_{CD}^*} \quad (3.2.29)$$

De la ecuación (3.2.26) se despeja i_d^* , por lo que:

$$i_d^* = \frac{2 V_{CD}^*}{3 R_L u_d^*} \quad (3.2.30)$$

Sustituyendo la u_d^* de la ecuación (3.2.28) en la ecuación (3.2.30), se obtiene lo siguiente:

$$i_d^* = \frac{2}{3} \frac{V_{CD}^*}{R_L \left(\frac{V_d}{V_{CD}^*} \right)} = \frac{2 V_{CD}^{*2}}{3 R_L V_d} \quad (3.2.31)$$

Finalmente, si i_d^* de la ecuación (3.2.31) se sustituye en la ecuación (3.2.29), tal que:

$$u_q^* = -\frac{\omega L \left(\frac{2 V_{CD}^{*2}}{3 R_L V_d} \right)}{V_{CD}^*} = -\frac{2 \omega L V_{CD}^*}{3 R_L V_d} \quad (3.2.32)$$

El valor de V_{CD}^* es la salida de regulación deseado del RAT-PWM, por lo que al quedar las demás señales de referencia en términos de está, se concluye con el cálculo de las señales de referencia. Las señales de referencia del RTA-PWM son:

$$\begin{aligned} i_q^* &= 0 \\ u_d^* &= \frac{V_d}{V_{CD}^*} \\ i_d^* &= \frac{2}{3} \frac{V_{CD}^*}{R_L \left(\frac{V_d}{V_{CD}^*} \right)} = \frac{2V_{CD}^{*2}}{3R_L V_d} \\ u_q^* &= -\frac{\omega L \left(\frac{2V_{CD}^{*2}}{3R_L V_d} \right)}{V_{CD}^*} = -\frac{2\omega L V_{CD}^*}{3R_L V_d} \end{aligned}$$

3.3. Simulación del controlador para el RAT-PWM

La simulación es imprescindible para observar el comportamiento del sistema antes de llevarlo a la práctica, proporcionando una aproximación del comportamiento en este caso del RAT-PWM, además de observar los parámetros eléctricos (voltaje y corriente, entre otros.) que cumplan con los valores nominales de los dispositivos electrónicos y estos no sean superados, o en otro caso elegir otros dispositivos que cumplan con estos valores obtenidos para ser utilizados en la plataforma física. En la Tabla 3.1 se muestran los parámetros eléctricos del sistema RAT-PWM.

Tabla 3.1: Parámetros eléctricos empleados en el RAT-PWM.

Parámetros eléctricos	
Voltaje de alimentación línea a línea	67.36 V RMS
Frecuencia del VARIAC	60 Hz
Frecuencia del conmutación	12 KHz
Resistencia del inductor (r)	1 Ω
Inductor (L)	1 mH
Capacitor (C)	4400 μF
Resistencia de carga (RL)	100 Ω
Resistencia agregada (R_{add})	50 Ω

En la Figura 3.3 se muestra un esquema eléctrico donde se incluye: la fuente trifásica, etapa de sensores tanto de corriente como de voltaje, un interruptor para conectar y desconectar el rectificador una vez el algoritmo de sincronía SRF-PLL se haya enganchado con la fuente trifásica de CA, puente rectificador conformado por IGBTs y una carga variable para poner a prueba la robustez del control.

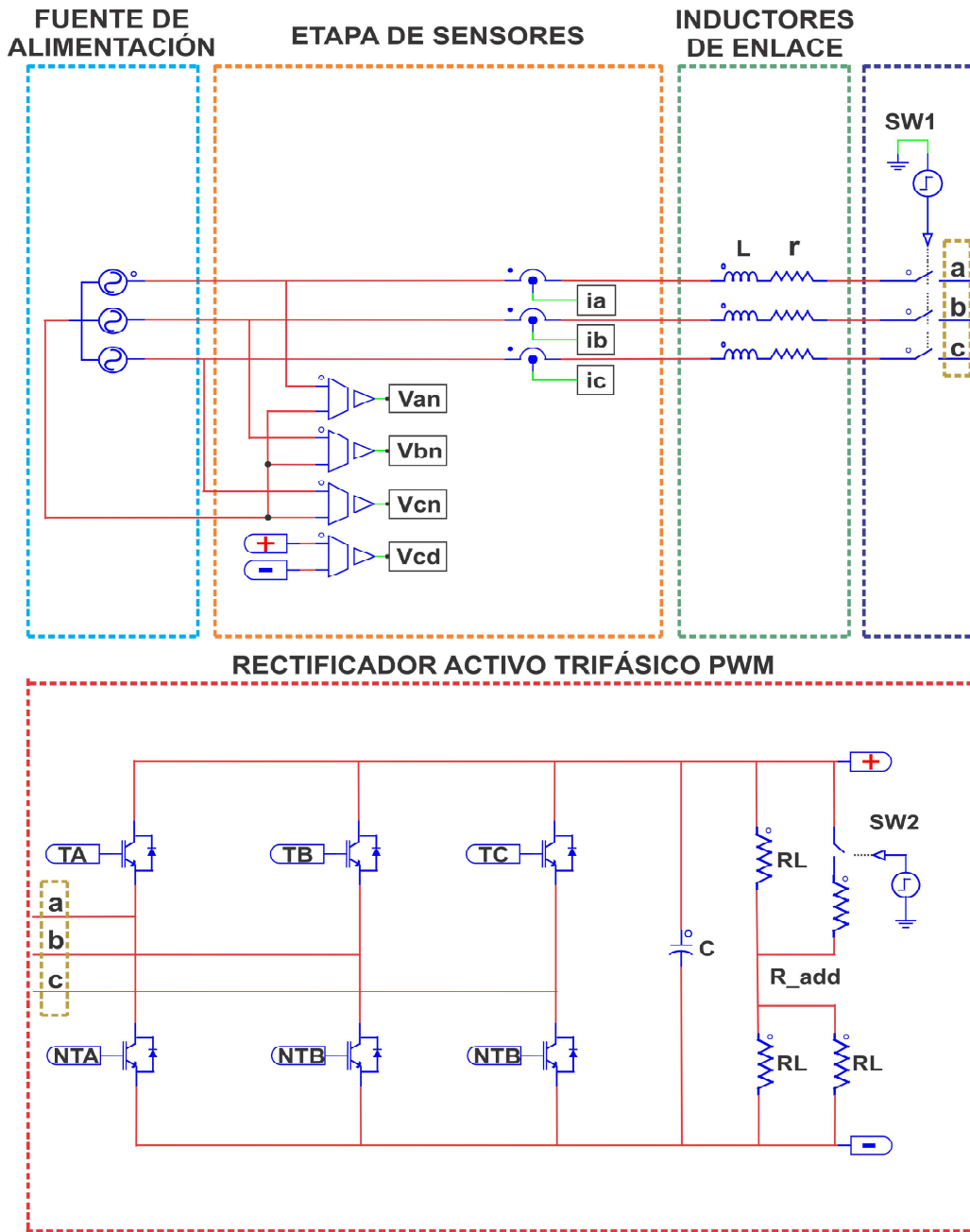


Figura 3.3: Esquema electrónico del rectificador activo trifásico PWM.

En la Figura 3.4 se muestra los módulos de control para el RAT-PWM, a continuación se hace mención de las ecuaciones que son implementadas en dichos módulos: (2.7.1), (2.7.2) en el método de sincronía SRF-PLL, (3.1.5) en la transformada de Park, las ecuaciones (3.2.27), (3.2.28), (3.2.31) y (3.2.32) para las señales de referencia, (3.2.23) en el controlador ESEDPOF y (3.1.20) en la transformada dq a ABC.

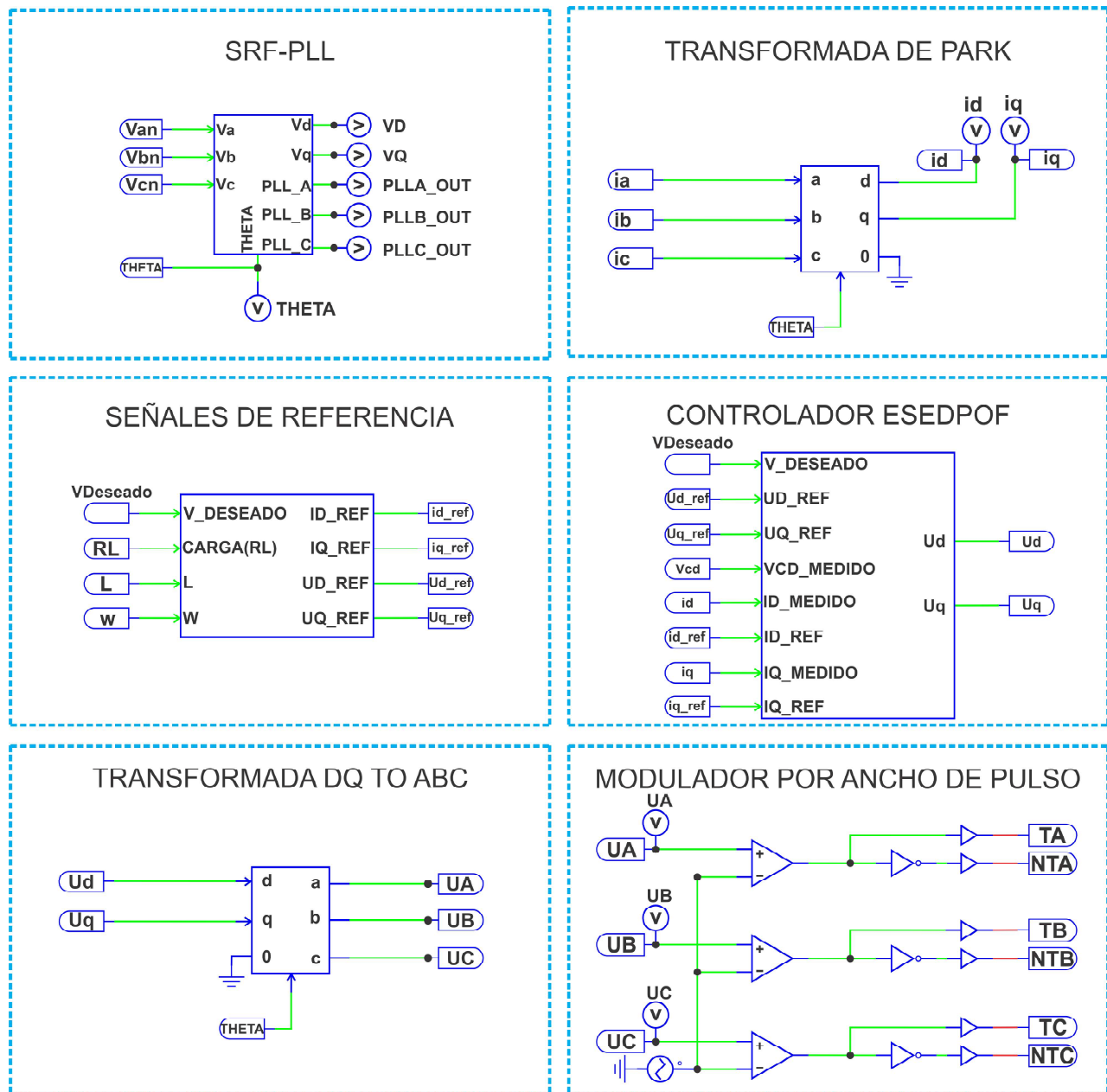


Figura 3.4: Módulos de control para el rectificador activo trifásico PWM.

Como se hizo mención anteriormente el algoritmo de sincronía es de suma importancia al momento de acoplar un convertidor a la red [51], debido a que este nos ofrece información acerca de la fase y la señal a su salida se sincroniza con la misma, en la Figura 3.5 se muestra la señal de salida generada por el SRF-PLL, la cual está en fase con la señal trifásica de la fuente, está se muestra en el último gráfico de la Figura 3.5, por lo que se corrobora, que el diseño de la misma es correcto.

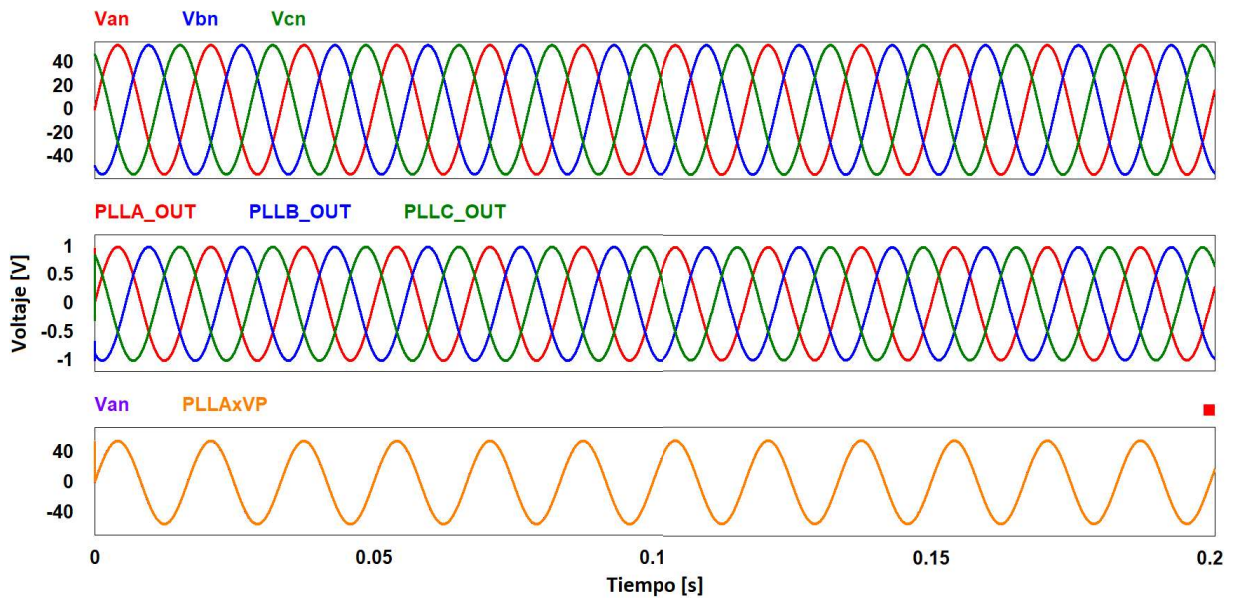


Figura 3.5: Simulación del SRF-PLL.

Una parte importante del algoritmo SRF-PLL es el cálculo del ángulo de fase, dicha información es imprescindible en el control del RAT-PWM, el valor de θ debe variar de $[0-2\pi]$ debido al marco de referencia rotatorio ortogonal, en la Figura 3.6 se muestra el valor de θ obtenido en simulación, lo que pone en evidencia el correcto funcionamiento del SRF-PLL.

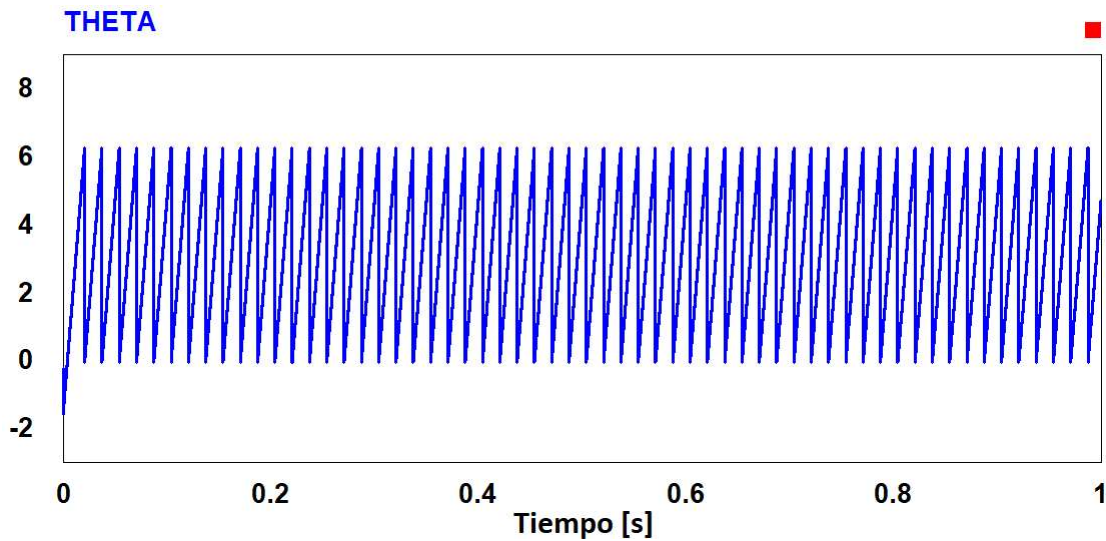


Figura 3.6: Simulación de ángulo de fase del SRF-PLL.

Debido a que se trabaja el sistema en un marco de referencia rotatorio ortogonal (dq), se aplica la transformada de Park a las corrientes de entrada, esto se muestra en la Figura 3.7, las corrientes se muestran como se esperaban, debido a que es un sistema balanceado la corriente $i_q \approx 0$.

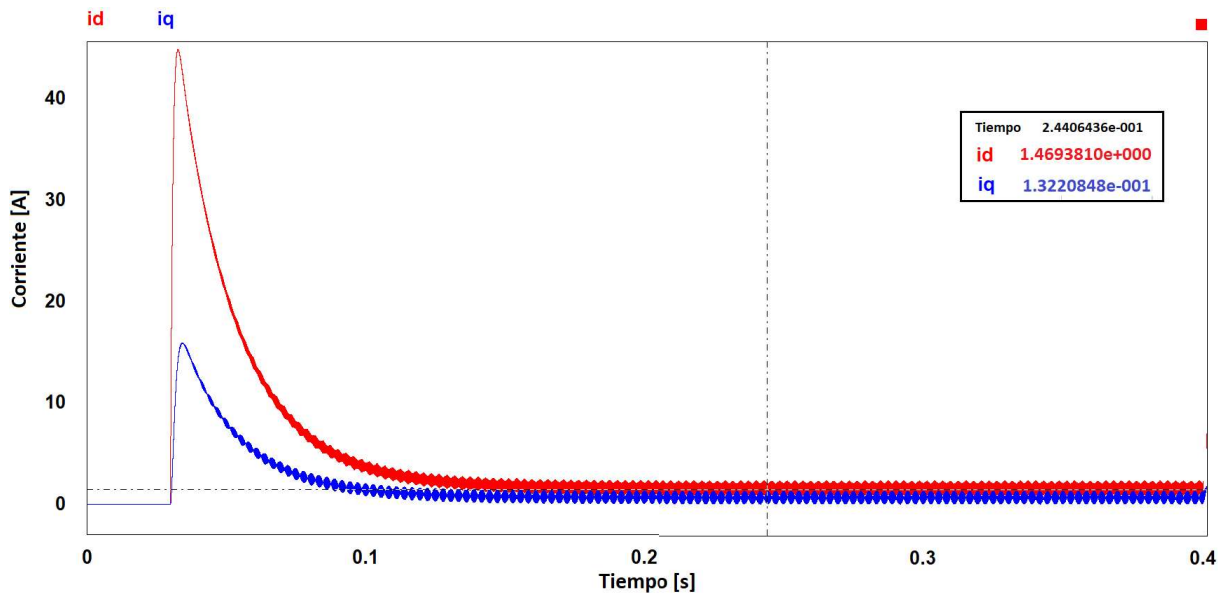


Figura 3.7: Simulación de corrientes i_d e i_q .

En las siguientes simulaciones se acopla el rectificador a la fuente de CA en 0.03 segundos; de 0 a 0.4 segundos el voltaje deseado V_{CD}^* es de 140 Volts y de 0.4 a 1 segundo es de 160 Volts, la carga $R_L = 150 \Omega$ hasta los 0.8 segundos, de 0.8 a 1 segundo R_L cambia a 84Ω .

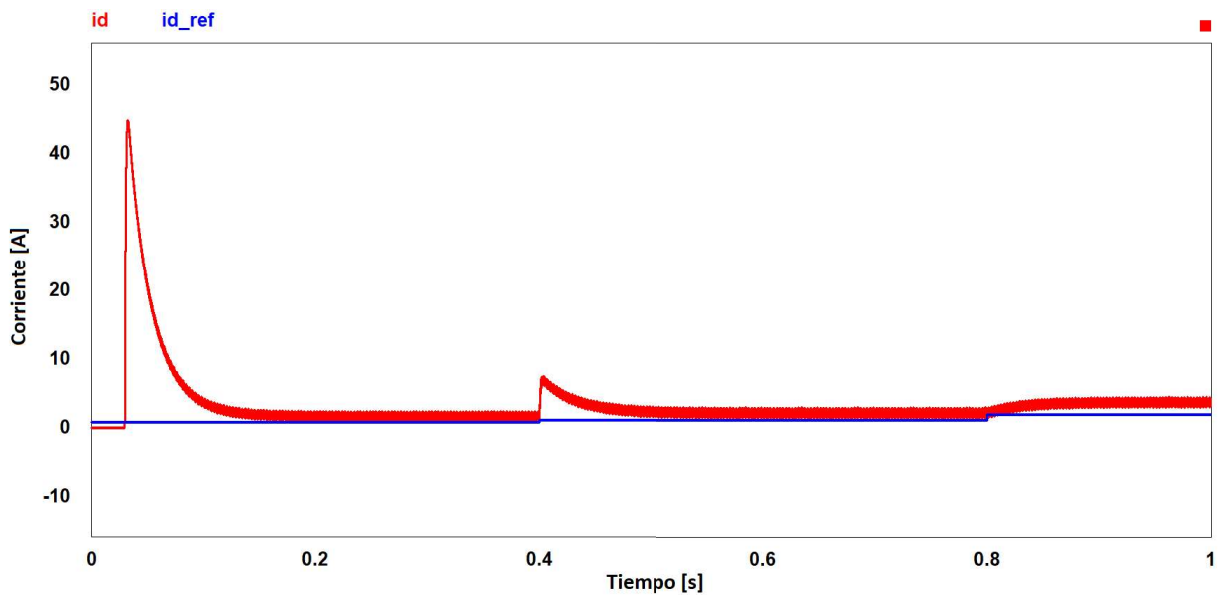


Figura 3.8: Simulación de i_d e i_d de referencia.

En la Figura 3.8 se comparan las corrientes; la señal i_d es la obtenida mediante la transformación de Park y la señal i_{d_ref} mediante los puntos de equilibrio del RAT-PWM (ver ecuación (3.2.31)). La magnitud de la corriente i_{q_ref} es aproximadamente cero por la condición de equilibrio de la fuente de alimentación, en la Figura 3.9 se muestra lo obtenido en simulación.

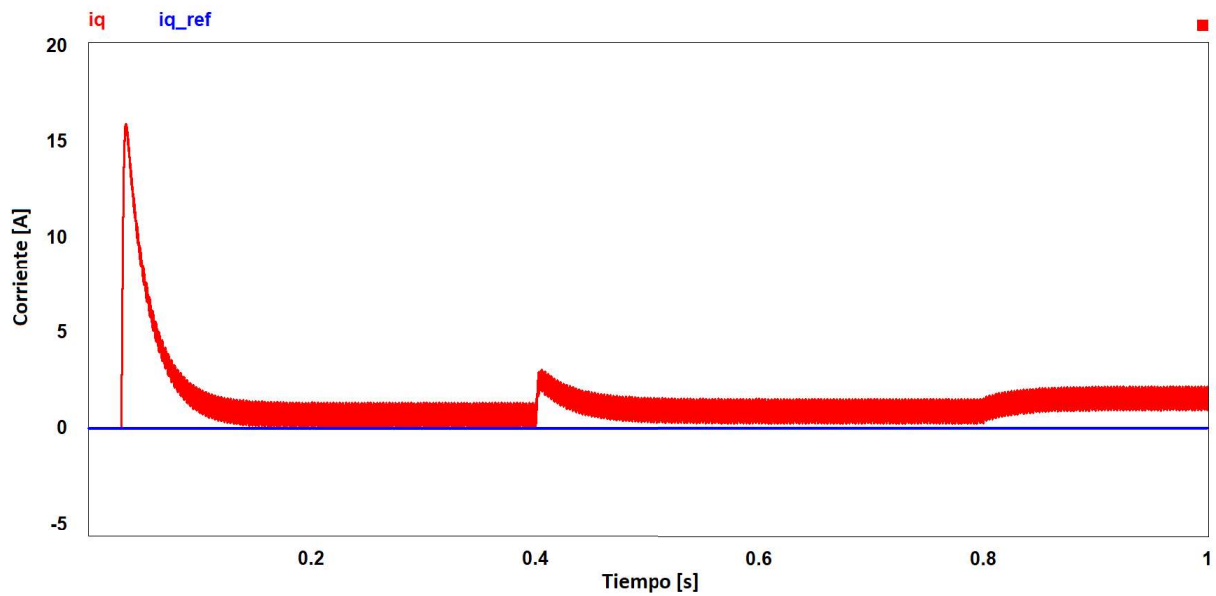


Figura 3.9: Simulación de i_q e i_q de referencia.

En las Figuras 3.10 y 3.11 se muestran las señales de la salida del controlador tanto U_d como U_q con sus respectivas referencias calculadas mediante los puntos de equilibrio del RAT-PWM (ver ecuaciones: (3.2.28) y (3.2.32)). Se aprecia que el controlador responde correctamente mientras no existe un cambio de carga, cuando esto sucede el controlador no es robusto debido a que el valor de la carga no se actualiza, lo que da pie a la aparición de un error en estado estacionario, tal como se puede apreciar en la Figura 3.12.

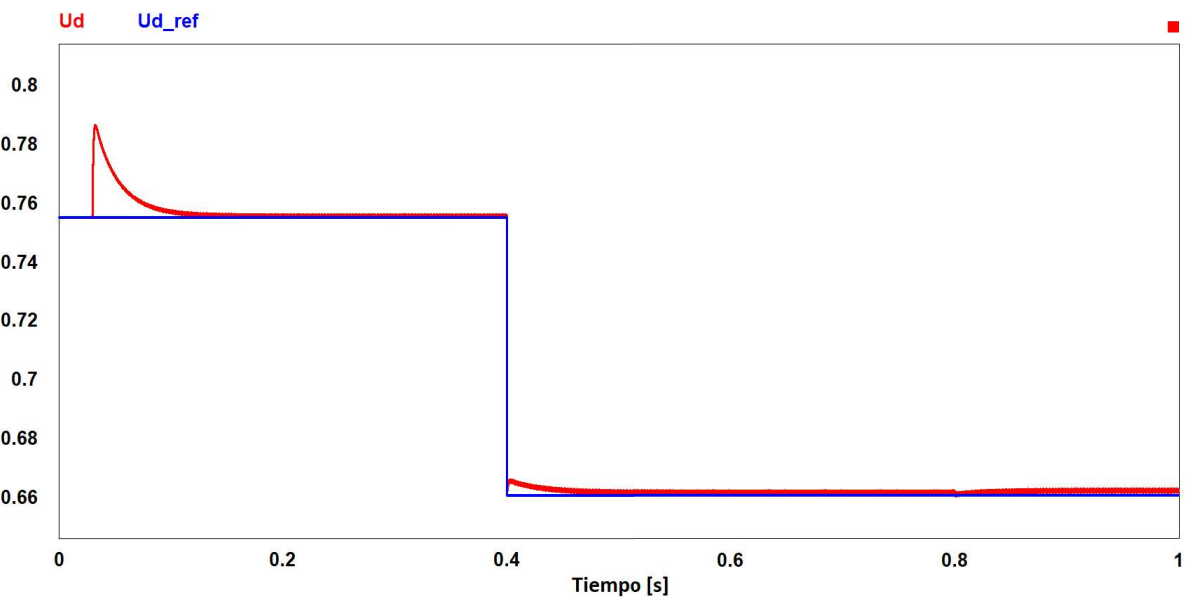


Figura 3.10: Simulación de U_d y U_d de referencia.

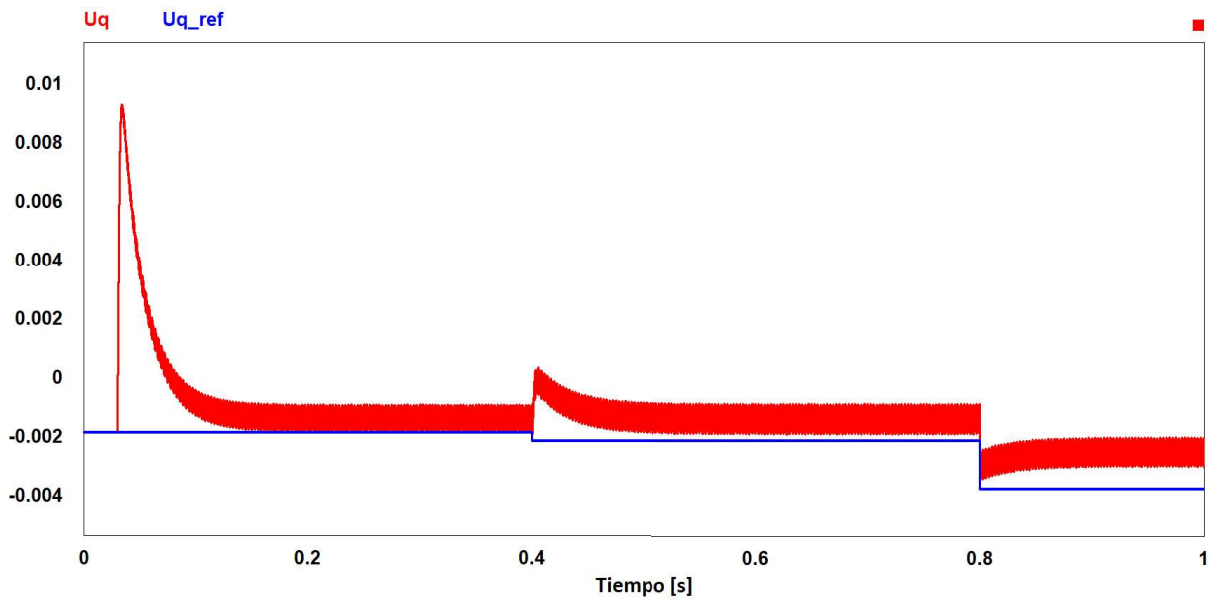


Figura 3.11: Simulación de U_q y U_q de referencia.

En la Figura 3.12 se observa que el controlador se desempeña correctamente mientras no exista un cambio de carga tan grande, para este caso se redujo la carga a un 44% a lo establecido en un principio, como se aprecia en la Figura 3.12 el voltaje medido a la salida del RAT-PWM alcanza los voltajes de referencia o deseados, mientras no exista un cambio de carga.

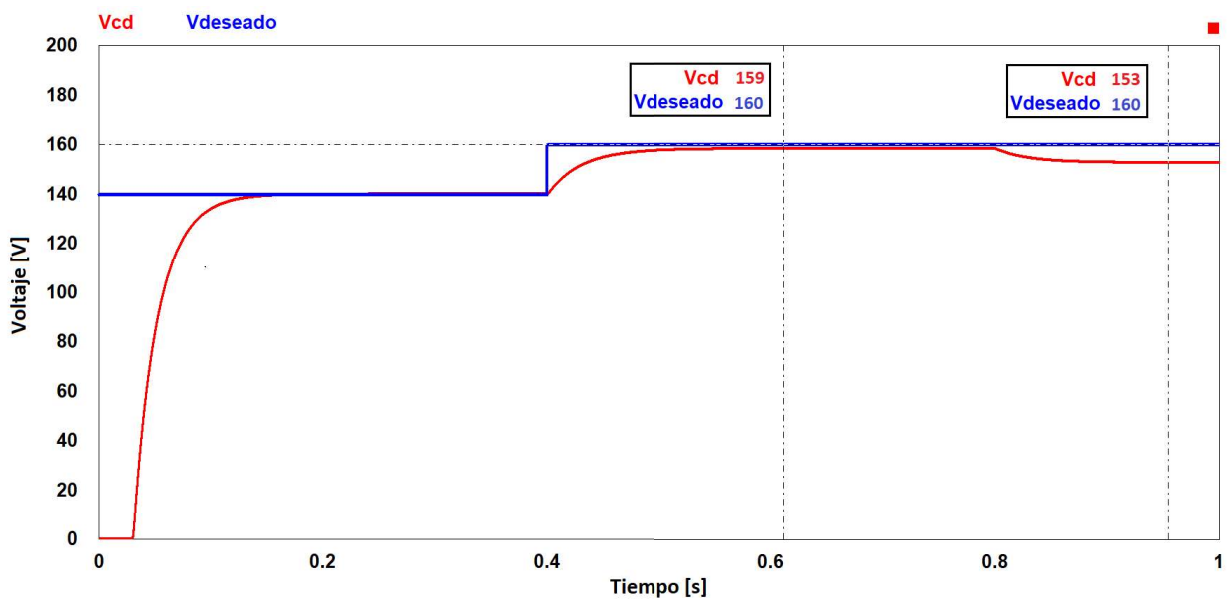


Figura 3.12: Simulación de voltaje de salida y voltaje deseado del RAT-PWM.

Finalmente en la Figura 3.13 se muestra el comportamiento obtenido del controlador ESEDPOF cuando se controla al mínimo y al doble del voltaje de entrada, con la finalidad de probar la robustez del mismo. Lo que se observa es que el controlador presenta un mayor error en estado estacionario a medida que se le exige más voltaje a la salida del RAT-PWM.

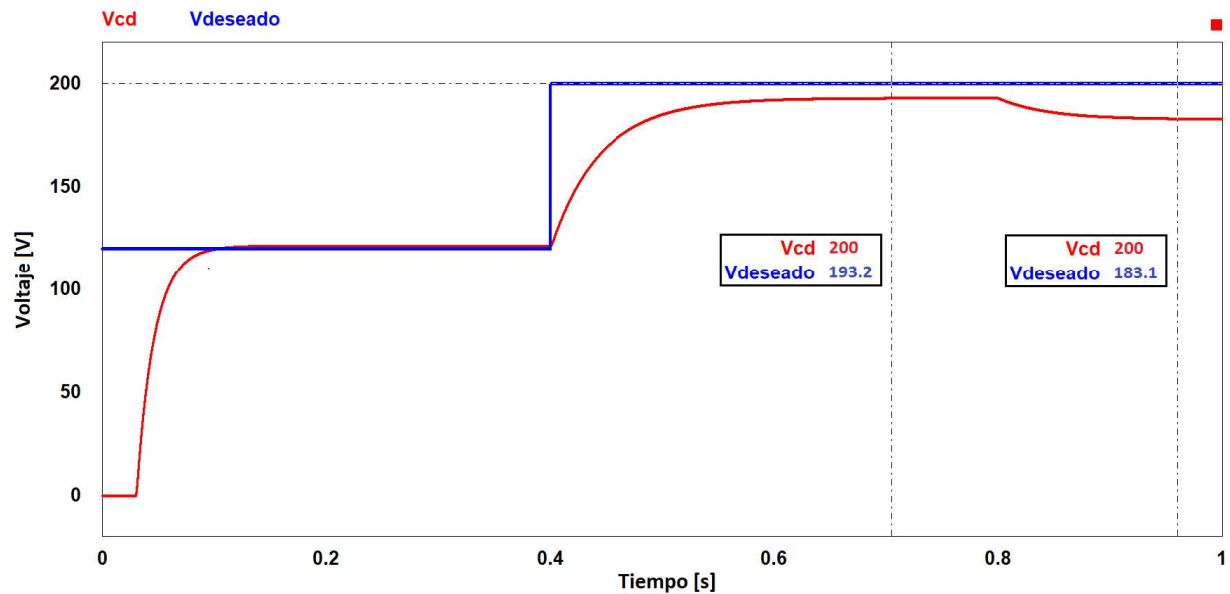


Figura 3.13: Prueba del controlador, exigiendo mínimo y máximo voltaje en el RAT-PWM.

Después de realizar las pruebas anteriores se concluye que el modelo del RAT-PWM propuesto a nivel simulación cumple con los criterios requeridos para poder pasar a la siguiente fase de la metodología.

Capítulo 4

Metodología: Fase 2

En la segunda fase se realiza el rediseño digital de los módulos mencionados en el capítulo anterior, con el objetivo de regular el voltaje en el bus de CD del rectificador activo trifásico PWM. En la Figura 4.1 se muestra de forma resumida las etapas de la segunda fase de la metodología.

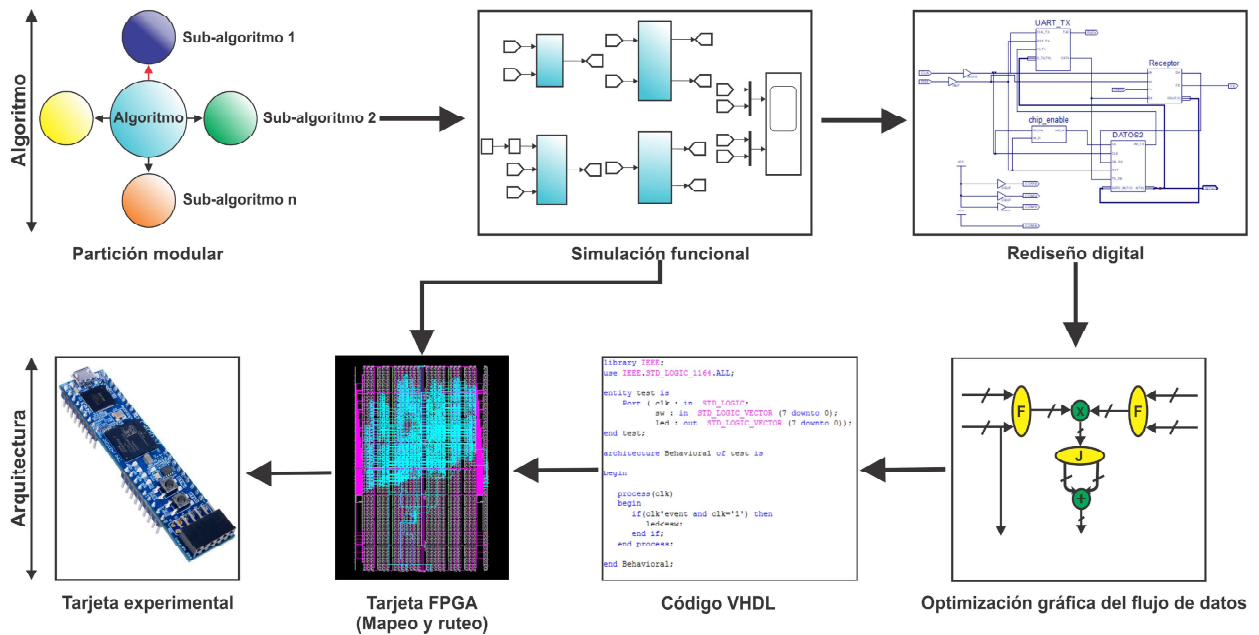


Figura 4.1: Fase 2 de la metodología.

4.1. Partición modular

En esta etapa se realiza la división del algoritmo en bloques reutilizables, tanto del algoritmo de control y el modulador del RAT-PWM. Para cumplir con el objetivo de control, se propuso un esquema modular en el planteamiento del problema, el cual es un sistema jerárquico, este se divide en módulos y se identifican las partes que puedan ser reutilizables como: operaciones, codificadores, tablas de búsqueda, entre otras. Dicho de otra manera, se divide el diseño en partes más pequeñas, las cuales hacen que el diseño sea más flexible y de esta forma se reduce el tiempo de implementación de los mismos. En la Figura 4.2 se muestra la partición modular para conseguir regular el voltaje a la salida del RAT-PWM. Los módulos a implementarse en el FPGA son:

- Interfaz de adquisición de datos y decodificación.
- SRF-PLL.
- Transformación de Park.
- Controlador ESEDPOF y señales de referencia.
- Transformación DQ a ABC.
- Modulador PWM.
- Transmisión de datos vía USB.

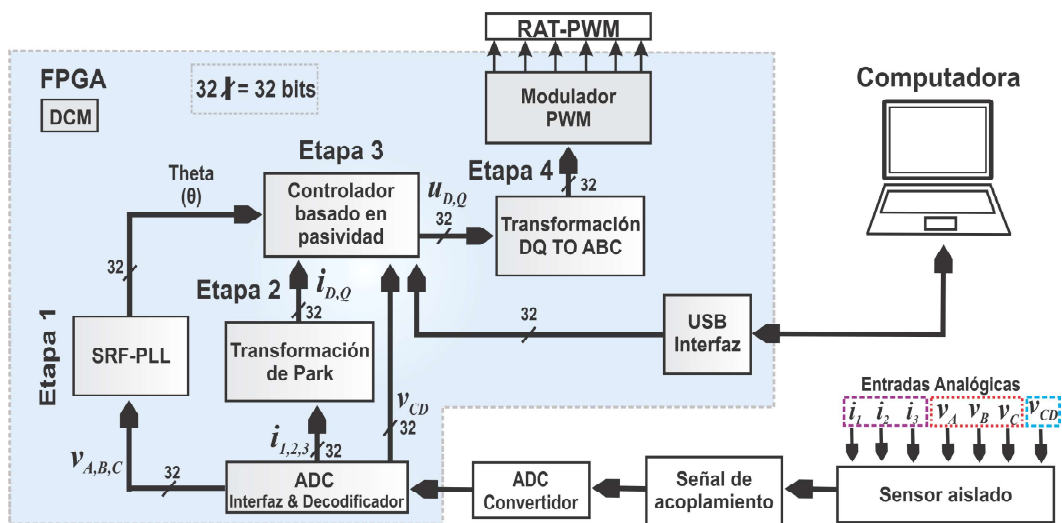


Figura 4.2: Partición modular propuesto para su implementación en el FPGA.

4.2. Simulación funcional

En esta etapa se validan los módulos del controlador ESEDPOF en tiempo continuo empleando el software PSIM, el cual se realizó en el capítulo anterior en el apartado de simulación, como parte complementaria se muestra el contenido de los módulos del método de sincronía SRF-PLL, señales de referencia y controlador (ver Figura 3.4).

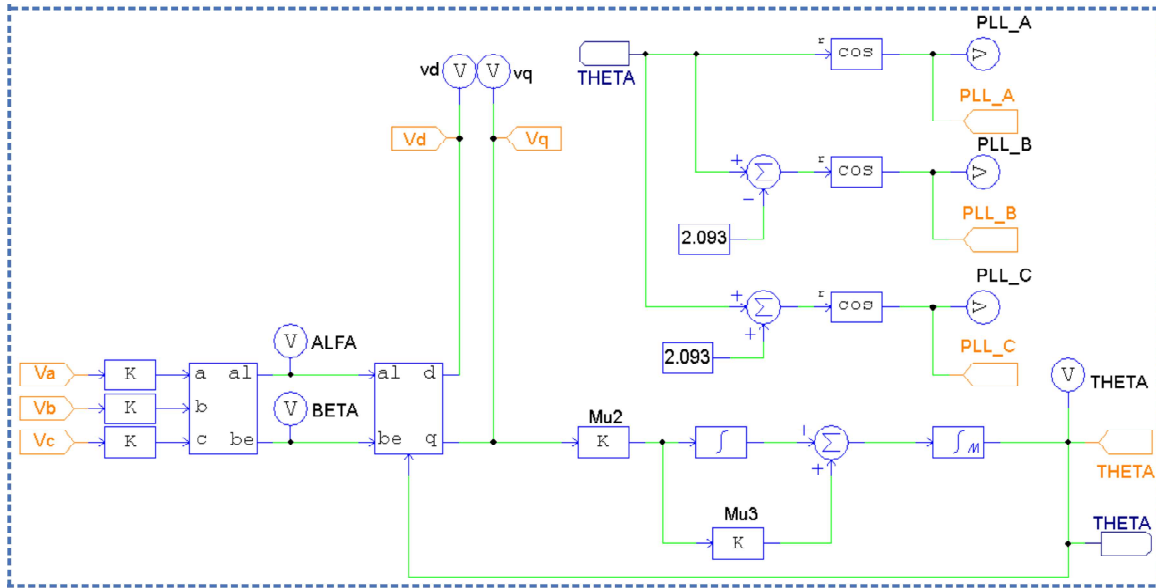


Figura 4.3: Módulo SRF-PLL (ver ecuaciones (2.7.1, 2.7.2)).

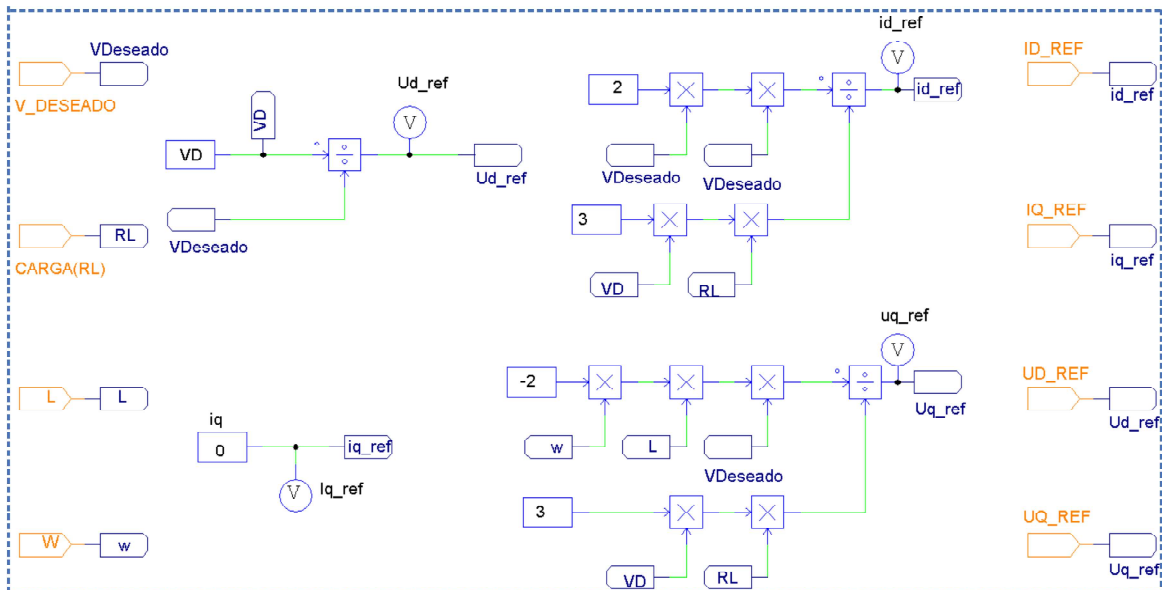


Figura 4.4: Módulo de las señales de referencia (ver ecuaciones (3.2.27, 3.2.28, 3.2.31 y 3.2.32)).

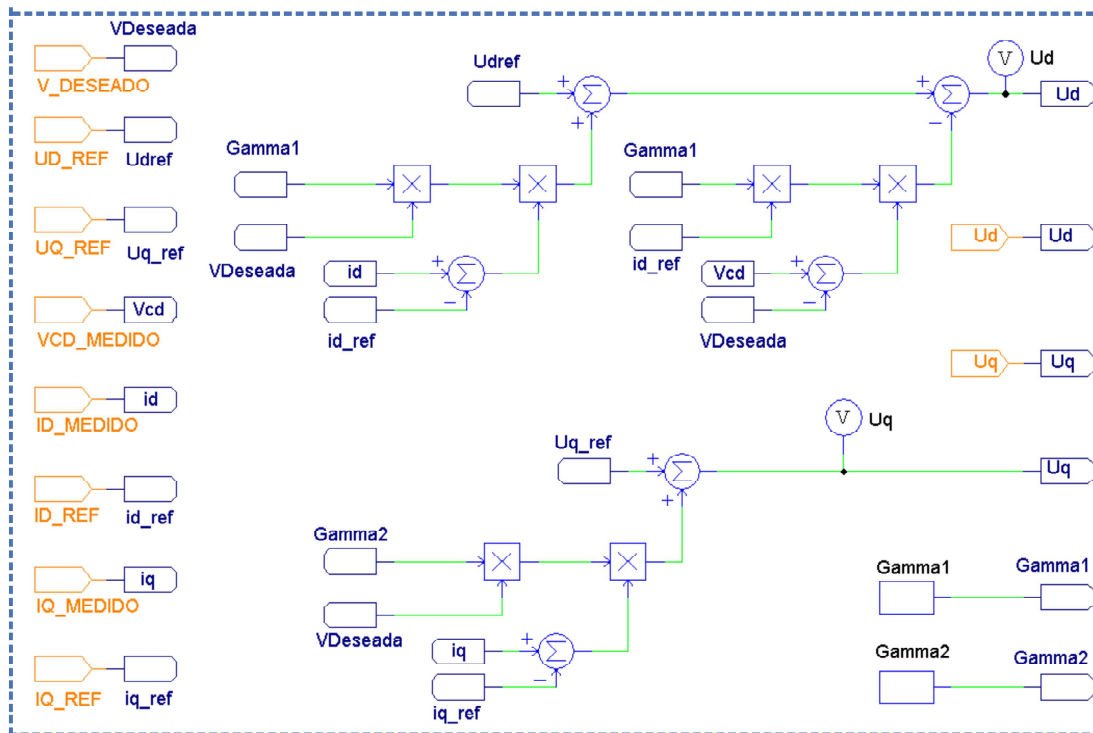


Figura 4.5: Módulo del controlador ESEDPOF (ver ecuación (3.2.23)).

4.3. Rediseño Digital

Esta etapa es significativa, debido a que se incluye la realización de los módulos de control del RAT-PWM, la elección del periodo de muestreo, variables afín a las necesidades y restricciones del control aplicado al RAT-PWM, tales como: tamaño de palabra, el tipo de operaciones, punto fijo o punto flotante, entre otras. Con la finalidad de realizar la implementación de dichos módulos de control en el FPGA, en la Figura 3.4 se muestra cada uno de ellos.

4.3.1. Administrador de reloj (DCM)

El diseño del administrador de reloj (DCM, por sus siglas en inglés) se realiza debido a que este controla diferentes frecuencias de reloj, las cuales mantienen un alto grado de precisión aunque existan variaciones de temperatura o voltaje en el FPGA. En la Figura 4.6 se muestra el módulo de administración de reloj diseñado con los requerimientos necesarios para su aplicación en este proyecto de tesis.

En la Figura 4.6 se observa que la primera salida del módulo DCM se duplica siendo este el reloj principal del sistema para los módulos de control, transformadas y comunicación, el cual tiene una frecuencia de 100 MHz, lo que otorga al sistema un periodo de 10 ns, la segunda salida se utiliza en la etapa de sensores, específicamente en el módulo de interfaz de conversión analógico a digital (ADC), por lo que se selecciona una frecuencia de 8.33 MHz

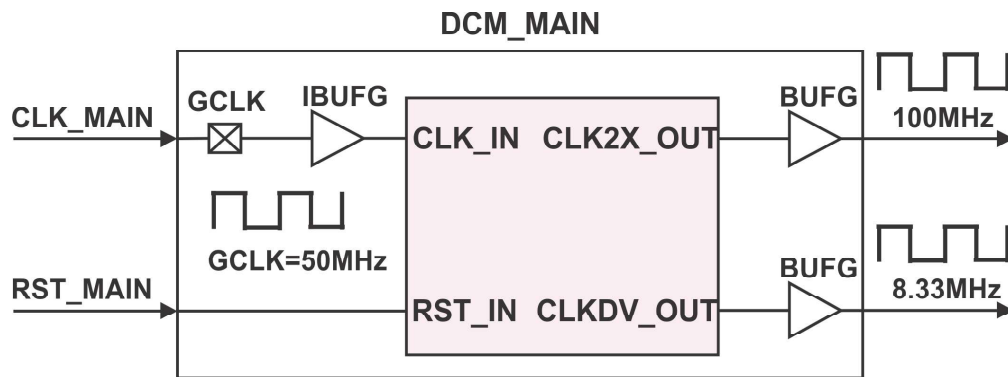


Figura 4.6: Módulo de administración de reloj.

debido al ADC empleado, en ambos casos el ciclo de trabajo es del 50 %.

4.3.2. Módulo decodificador para sensores de corriente y voltaje

El módulo cuenta con convertidores analógico a digital (ADC), parte fundamental para poder tratar las señales analógicas de voltajes y corrientes sensados en el RAT-PWM, por lo que se diseñó una máquina de estados para poder manipular las señales recibidas del módulo de interfaz del ADC y de esta manera obtener un valor digital correspondiente al valor analógico recibido. En los siguientes apartados se abordarán cada uno de los submódulos involucrados en la etapa de decodificación de las señales de entrada.

Módulo de interfaz de conversión analógica a digital

A partir de la decodificación de voltajes y corrientes en el RAT-PWM las cuales se obtienen como señales analógicas, estas deben ser acondicionadas para poder tratarlos en el FPGA, por lo tanto se hace uso de un convertidor analógico digital, en este caso se utiliza el ADS7041 de Texas Instruments, el cual tiene una resolución de 10 bits, su tiempo de conversión es de $119\mu s$ y su voltaje de referencia es de 3.3 Volts, los datos antes mencionados son factores que afectan a la precisión debido a la relación mostrada en la ecuación (4.3.1):

$$Precisión = \frac{V_{ref}}{2^N - 1} = \frac{3,3V}{1023} = 3,225 \text{ mV/fracción} \quad (4.3.1)$$

Se observa que entre mayor sea la resolución del ADC la precisión mejora, en el caso del voltaje de referencia es lo contrario entre menor sea, obtenemos menores fracciones y por ende mejor precisión existe al momento de realizar la conversión, pero esto se limita al voltaje máximo que entrega el sensor, para este trabajo es de 3.3 Volts, por lo tanto obtenemos la precisión mostrada en la ecuación (4.3.1), el análisis previo se realizó de igual forma para la etapa de sensores de corrientes, donde se utilizó el sensor ACS758LCB-050B, el cual le otorga al sistema una corriente de referencia de 50 Amperes. Resuelto lo anterior, se implementó la comunicación SPI (Serial Peripheral Interface) que se utiliza para comunicar al ADC y el dispositivo FPGA, los módulos a diseñar deben realizar los siguientes procesos:

- Control del ADC.
- Interfaz del ADC.
- Conversión de punto fijo a punto flotante de precisión simple (32 bits).
- Multiplicadores de resolución.

Para realizar los procesos en listados anteriormente se desarrollaron dos máquinas de estados nombradas como: ADC_MODULE y SPI_CONTROLLER las cuales se muestran más adelante.

Controlador del ADC

Es un submódulo implementado en la etapa de decodificador para sensores de voltaje y corriente (ver sección 4.6, Figuras 4.21 y 4.22), el cual consiste en una máquina de estados nombrada como ADC_MODULE, la cual se encarga de controlar la interfaz ADC, un convertidor de punto fijo a punto flotante de precisión simple (32 bits) y un operador aritmético de multiplicación de punto flotante (32 bits) para el proceso de multiplicadores de resolución. Los módulos de sensores de corriente y voltaje son habilitados por el módulo CE_MASTER cada $22 \mu s$, esto debido al tiempo requerido para procesar las señales de entrada.

La FSM ADC_MODULE espera a que la interfaz del ADC y la etapa de control de comunicación realice la adquisición de los datos para posteriormente recibir a su entrada la señal de habilitación por parte del submódulo SPI_CONTROLLER, una vez recibido este pulso indicando que el ADC a concluido con la conversión y que el submódulo ADC_MODULE tienen disponible a su entradas los cuatros datos de 10 bits, para el caso del módulo de sensado de voltaje ($SD0_1$, $SD1_1$, $SD0_2$ y $SD1_2$) y tres señales de 10 bits, para el módulo de decodificación de señales de corriente ($SD1_i1$, $SD2_i2$ y $SD3_i3$).

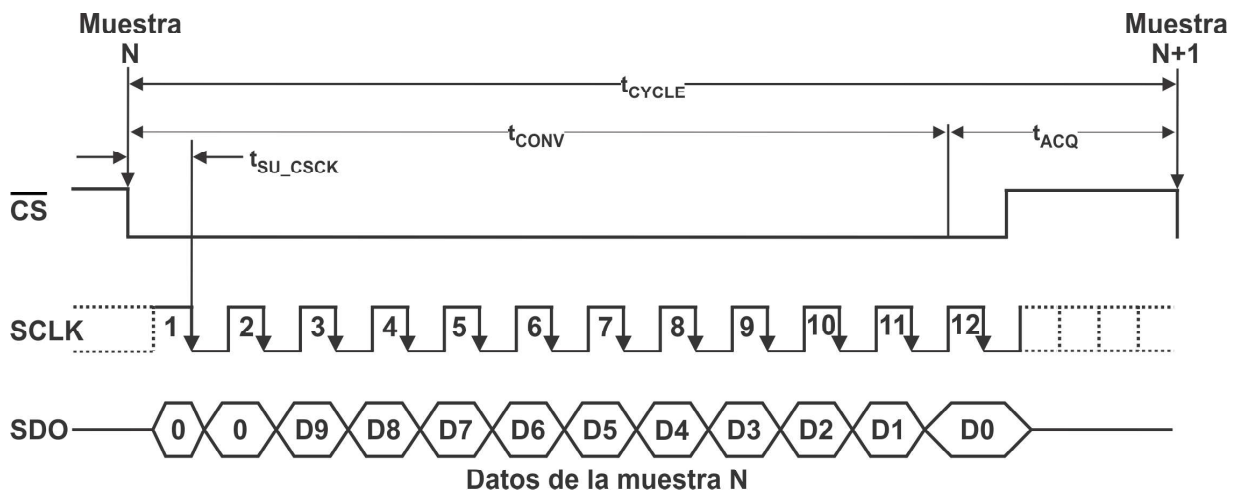


Figura 4.7: Diagrama de tiempo del ADS7041.

En la Figura 4.7 se muestra el diagrama de tiempo del ADS7041 para poder realizar la comunicación SPI y obtener la conversión, se observa que la conversión inicia cuando se detecta el flanco de bajada de \overline{CS} , la señal de reloj de 8.33 MHz es utilizada para generar la señal SCLK para transferir la trama de 12 bits por dato, los 10 bits de la conversión y dos más de configuración, una vez culminado esto, la señal de \overline{CS} se pone en alto, en cuanto se detecta el flanco de subida de la señal \overline{CS} se termina la conversión y finalmente el resultado de la conversión queda disponible en el pin SDO.

4.3.3. Módulo SRF-PLL

En esta sección se integra tanto la transformada de Park como la de Clarke debido a que estas forman parte del método de sincronía SRF-PLL, con el fin de tener una mejor visión del rediseño del módulo SRF-PLL, en la Figura 4.8 se muestra su estructura de alto nivel.

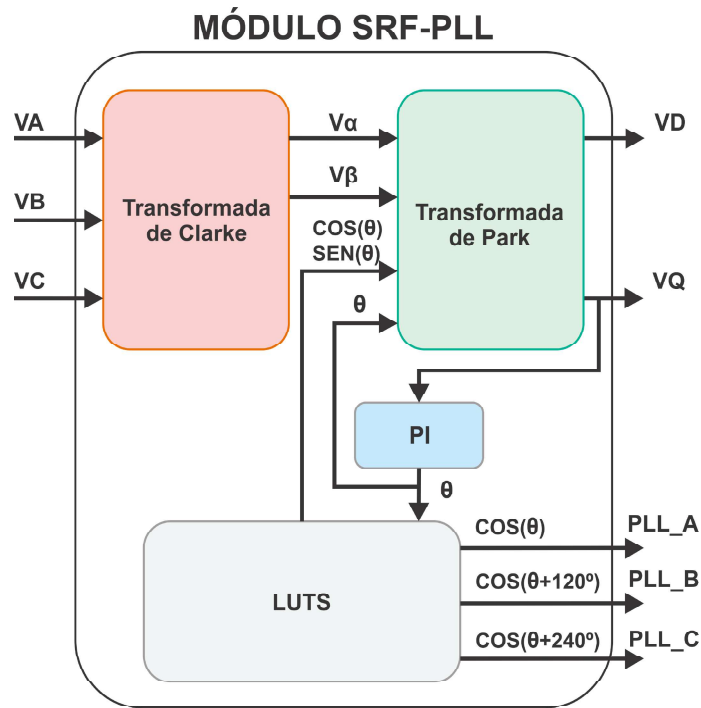


Figura 4.8: Estructura del SRF-PLL.

El control PI que se tiene después de la transformada de Park funciona como un filtro pasa bajas, cuenta con dos integradores por lo que se discretizan, lo cual dan como resultado la ecuación (4.3.2), donde Δt es el paso de integración.

$$I(t) = \int_0^t x(\tau) d\tau \approx I[n] = I[n - 1] + \Delta t(x[n]) \quad (4.3.2)$$

Aplicando el método de integración numérica de Euler al método de sincronía SRF-PLL de la Figura 4.8, se obtiene el modelo equivalente en tiempo discreto tal como se muestra

en la Figura 4.9. Dicho modelo se describe por las siguientes ecuaciones (4.3.3) y (4.3.4), como se puede apreciar, se utilizan algunos registros con el fin de respaldar los resultados de integraciones anteriores, garantizando de esta manera una secuencia correcta a la salida del SRF-PLL.

$$V_{\alpha}[n] = V_{\alpha}[n - 1] + (u_q[n]k_{1SRF-PLL})\omega\Delta t_{PLL} \quad (4.3.3)$$

$$V_{\beta}[n] = V_{\beta}[n - 1] + ([V_{\alpha}[n] + k_{2SRF-PLL}(u_q[n]k_{1SRF-PLL})])\omega\Delta t_{PLL} \quad (4.3.4)$$

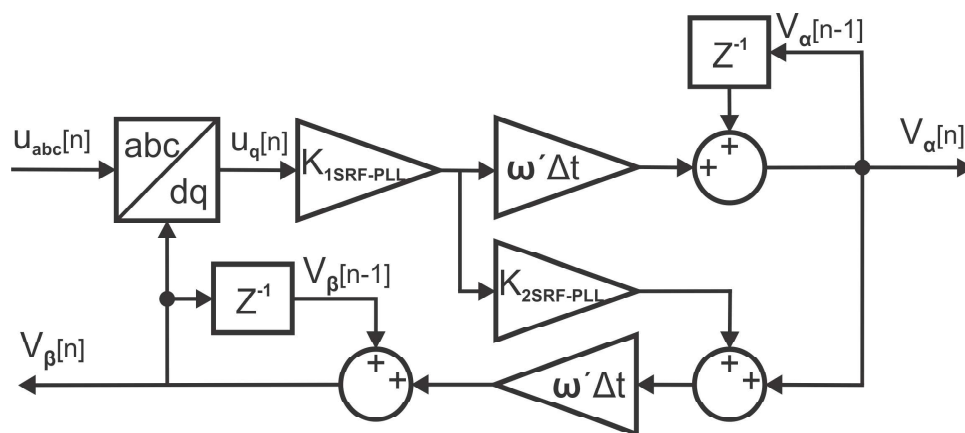


Figura 4.9: Aproximación discreta del SRF-PLL mediante el método de Euler.

Luts de coseno y seno

Para realizar las dos transformaciones involucradas en el módulo del SRF-PLL se discretizan las funciones seno y coseno, las cuales se evalúan con el ángulo de fase (θ), donde el ángulo θ va de $[0, 2\pi]$ o de $[0, 6.28rad]$, por lo que para su implementación en el FPGA se optó por implementar estas funciones precalculadas, esto quiere decir que los valores de las dos funciones evaluadas de $[0, 6.28rad]$ están almacenadas en memorias ROM, en formato de punto flotante de precisión simple, por lo tanto las palabras son de una longitud de 32 bits. En este caso la resolución para el seno y coseno del ángulo θ , se expresa en la ecuación (4.3.5):

$$Res_{\theta} = \frac{\text{ángulo de } \theta}{\text{localidades de memoria}} = \frac{6,28}{1571} = 0,0039975 \approx 0,004 \quad (4.3.5)$$

La profundidad de ambas memorias tanto LUT_COS y LUT_SIN es de 1571 localidades, en ellas están almacenadas los valores de las funciones seno y coseno de $[0, 6.28rad]$, por lo cual sus amplitudes serán de $[-1, 1]$. En la Tabla 4.1 se muestra de forma resumida el contenido de ambas memorias:

Tabla 4.1: Datos de las memorias de seno y coseno.

Datos de memorias (LUTs)			
Muestra	θ	Hex de $\text{sen}(\theta)$	Hex de $\text{cos}(\theta)$
0	0	00000000	3f800000
1	0.004	3a832372	3f7fff8
2	0.008	3b03236d	3f7fffde
...
785	3.140	3f3504f3	3f3504f3
786	3.144	3f35334b	3f34d690
...
1569	6.276	3f7fff8	3a832372
1570	6.280	3f800000	00000000

Transformada de Clarke

Con el fin de convertir e implementar en el FPGA la transformada de un marco ABC a un marco estacionario ortogonal ($\alpha\beta$), se realizó la discretización de las ecuaciones de la transformada de Clarke para poder realizar su rediseño digital, estas se denotan a continuación.

$$V_\alpha[n] = C_1 (V_a[n] - C_2 V_b[n] - C_2 V_c[n]) \quad (4.3.6)$$

$$V_\beta[n] = C_1 (C_B V_b[n] - C_B V_c[n]) \quad (4.3.7)$$

De la ecuaciones (4.3.6) y (4.3.7), donde $C_1 = \sqrt{\frac{2}{3}}$, $C_2 = \frac{1}{2}$ y finalmente $C_B = \frac{\sqrt{3}}{2}$.

Transformada de Park

Con la finalidad de implementar la transformada de Clarke y Park consecutivamente para simplificar los cálculos, al convertir la forma de onda de la corriente y voltaje de CA en señales de CD, se realiza la discretización de la transformada de Park para poder realizar su rediseño digital, la cual convierte las dos componentes del marco ($\alpha\beta$) obtenidas de la transformada de Clarke a un marco de referencia rotatorio ortogonal (dq). A continuación se muestra la aproximación discretizada de la transformada en las ecuaciones (4.3.8) y (4.3.9), complementadas con las memorias ROM, donde se discretizo a las funciones seno y coseno, la cuales se mencionaron en el apartado anterior.

$$V_d[n] = V_\alpha[n] \cos \theta[n] + V_\beta[n] \sin \theta[n] \quad (4.3.8)$$

$$V_q[n] = -V_\alpha[n] \sin \theta[n] + V_\beta[n] \cos \theta[n] \quad (4.3.9)$$

4.3.4. Controlador del RAT-PWM

En esta sección se abordan los diversos módulos que forman parte de la estructura de control del RAT-PWM, en la Figura 4.10 se muestra la estructura de control a implementar en el FPGA.

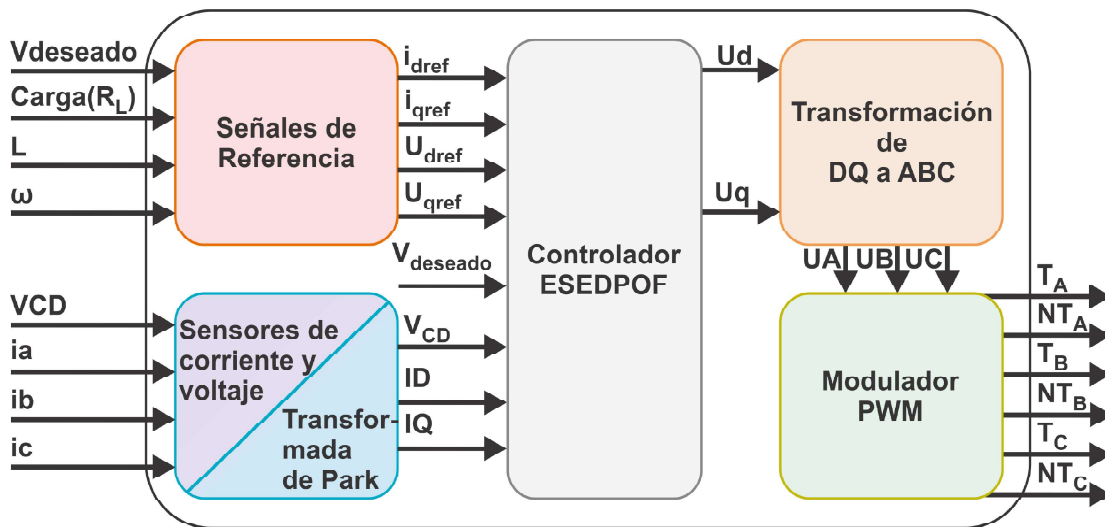


Figura 4.10: Estructura de control para el RAT-PWM.

Señales de referencia

Como se observa en la Figura 4.10 las salidas del módulo de señales de referencia son: i_{dref} , i_{qref} estas dos son las corrientes deseadas, U_{dref} y U_{qref} la prealimentación del controlador ESEDPOF. Por lo tanto estas variables se requiere que estén discretizadas para poder implementarlas en el FPGA. En las ecuaciones (4.3.10), (4.3.11), (4.3.12) y (4.3.13) se muestra su aproximación discreta de cada una de ellas. Donde V_{CD}^* es el voltaje deseado a la salida del RAT-PWM.

$$i_q^*[n] = 0[n] \quad (4.3.10)$$

$$u_d^*[n] = \frac{V_d}{V_{CD}^*[n]} \quad (4.3.11)$$

$$i_d^*[n] = \frac{2}{3} \frac{V_{CD}^*[n]}{R_L \left(\frac{V_d}{V_{CD}^*[n]} \right)} = \frac{2V_{CD}^{*2}[n]}{3R_L V_d} \quad (4.3.12)$$

$$u_q^*[n] = -\frac{\omega L \left(\frac{2V_{CD}^{*2}[n]}{3R_L V_d} \right)}{V_{CD}^*[n]} = -\frac{2\omega L V_{CD}^*[n]}{3R_L V_d} \quad (4.3.13)$$

Controlador ESEDPOF

En el apartado anterior se hizo mención y se desarrolló la discretización de las señales de referencia para el controlador, por lo que en esta sección solo queda involucrar las señales adquiridas en la etapa de medición, las cuales se discretizan en la etapa de sensores, por lo tanto el rediseño digital de la ley de control ESEDPOF queda como se muestra en el sistema de ecuaciones (4.3.14):

$$\begin{aligned} u_d[n] &= u_d^*[n] + \gamma_1 V_{CD}^*[n](i_d[n] - i_d^*[n]) - \gamma_1 i_d^*[n](V_{CD}[n] - V_{CD}^*[n]) \\ u_q[n] &= u_q^*[n] + \gamma_2 V_{CD}^*[n](i_q[n] - i_q^*[n]) - \gamma_2 i_q^*[n](V_{CD}[n] - V_{CD}^*[n]) \end{aligned} \quad (4.3.14)$$

Transformación DQ a ABC

La transformación DQ a ABC es parte fundamental en el control del RAT-PWM, por lo que se requiere que sus ecuaciones sean discretizadas para poder implementarlas de forma digital en el FPGA, con la finalidad de poder entregar las señales generadas por el controlador ESEDPOF al modulador y este a los impulsores de compuerta de los dispositivos de conmutación, que integra en el RAT-PWM. En el sistema de ecuaciones (4.3.15) se muestra la aproximación discretizada de la transformada DQ a ABC. De igual forma que en el rediseño digital de la transformación de Park; esta transformación se complementa con las memorias ROM, donde se discretizan las funciones seno y coseno.

$$\begin{aligned} V_a[n] &= V_d[n] \cos(\theta)[n] + V_q[n] \sin(\theta)[n] \\ V_b[n] &= V_d[n] \cos\left(\theta - \frac{2}{3}\pi\right)[n] + V_q[n] \sin\left(\theta - \frac{2}{3}\pi\right)[n] \\ V_c[n] &= V_d[n] \cos\left(\theta + \frac{2}{3}\pi\right)[n] + V_q[n] \sin\left(\theta + \frac{2}{3}\pi\right)[n] \end{aligned} \quad (4.3.15)$$

En la siguiente sección se abordará el tema del modulador debido a que este cuenta con otros módulos, los cuales son importantes de mencionar.

4.3.5. Modulador PWM

Como se muestra en la Figura 4.10, este módulo recibe las señales producidas por el módulo de transformación, el cual convierte la señal de control del marco de referencia rotatorio ortogonal a un marco de referencia trifásico (ABC), además de estas señales se utilizan otros módulos, los cuales se muestran en la Figura 4.11.

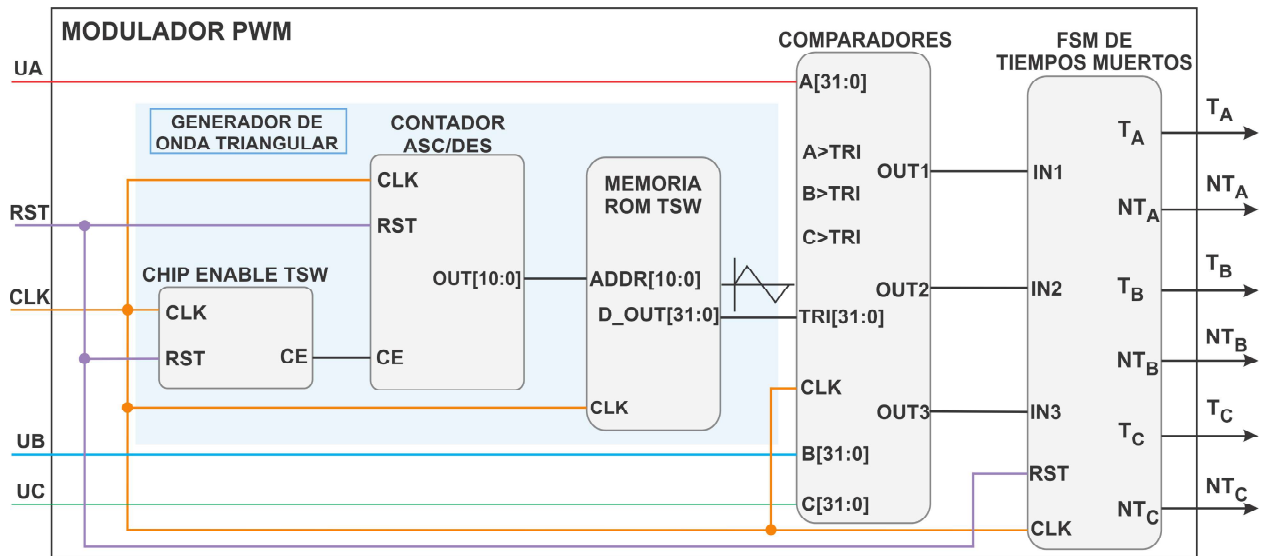


Figura 4.11: Módulo PWM.

Generador de onda triangular

Este módulo se integró por tres submódulos (ver Figura 4.11), los cuales generan una onda triangular de 20 KHz con una amplitud de [-1,1], su periodo de muestreo es de 30 ns; la memoria ROM TSW es de 11 bits, esta aloja la onda triangular, tiene una profundidad de 1668 localidades en la cual se realizó el respaldo de un periodo de la onda triangular, con las características antes mencionadas, en la Tabla 4.2 se muestra de manera resumida el contenido de la memoria TSW.

Tabla 4.2: Datos de la memoria TSW.

Datos de memoria TSW		
Muestra	T. de muestra (s)	Amplitud de TSW en Hex
0	0	00000000
1	30ns	3b1d2924
2	60ns	3b9d2922
...
834	25.02µs	adcc11fb
835	25.05µs	bb1d2924
...
1666	49.98µs	bb9d2922
1667	50µs	00000000

Comparadores

En este módulo se utilizaron tres comparadores generados mediante IPCOREs del software Xilinx ISE Design, cada uno tiene como entrada dos variables en punto flotante de 32 bits, la primera entrada es para la señal de control de cada fase obtenida del módulo de transformada de DQ a ABC en la estructura de control, la segunda entrada es para la señal triangular o la señal TRI como se define en la Figura 4.11, en esta etapa se obtienen tres señales a la salida, en donde se envía un pulso en alto cuando se cumple las siguientes condiciones: $A > TRI$, $B > TRI$ y $C > TRI$, en caso contrario la salida es cero.

FSM de tiempos muertos

Esté módulo se agregó con el fin de evitar cortocircuitos entre los IGBTs que conforman el RAT-PWM, debido al tiempo que existe en estos dispositivos cuando conducen y cuando dejan de hacerlo. En este caso se utilizó el IGBT FGH40N60SFD por lo que para el cálculo de tiempo muerto se requirió ver su hoja de datos, lo datos tomados son cuando el IGBT se encuentra trabajando a $25^{\circ}C$, con la ecuación (4.3.16) se obtuvo el tiempo de retardo requerido para evitar cortocircuitos:

$$t_{DT} = (2) * (t_{IGBT_{TOFF}}) = (2) * (115ns) = 230ns \quad (4.3.16)$$

En cuestiones prácticas el resultado del tiempo muerto obtenido en la ecuación (4.3.16) no fue suficiente, por lo que para evitar problemas en la rectificación se utilizó un tiempo muerto de $850 ns$.

4.4. Optimización gráfica del flujo de datos

En está sección se abordara la optimización del flujo de datos de los diversos módulos utilizados en el RAT-PWM, con la finalidad implementar los módulos de: administrador de reloj, adquisición de datos y decodificación, método de sincronía SRF-PLL, controlador ESEDPOF, modulador, transmisión UART y activación de interruptores, en una sola tarjeta de desarrollo y optimizar al máximo sus recurso lógicos, por lo que se debe obtener una representación gráfica de los módulos.

Las arquitecturas segmentadas surgen por la necesidad de aumentar la velocidad de procesamiento, la segmentación puede mejorar de manera notoria el desempeño de los dispositivos, pero demanda una mayor cantidad de recursos lógicos debido a la restructuración del procesamiento en varios segmentos, lo que orilla a implementar una arquitectura serializada localmente, debido a que permite reutilizar diversos módulos o IPCOREs de operadores aritmético y LUTs o memorias ROM, lo cual impacta de manera directa en la reducción de recursos lógicos a utilizar en la tarjeta de desarrollo, en contraparte el tiempo de obtención del resultado aumenta, pero para está aplicación se logra el procesamiento de los datos y obtención de los mismos de manera adecuada. Se desarrolló una arquitectura empleando la metodología A3 (Algorithm Architecture Adequation, por sus siglas en inglés) empleada en [62], cuyo objetivo es vencer las limitaciones de recursos lógicos de un FPGA de bajo costo. En la Figura

4.12 se muestra la arquitectura propuesta. La sincronía local de los módulos mencionados al principio de esta sección, se logra mediante la implementación de un chip enable en cada uno de ellos, por lo tanto para que un módulo inicie, necesita recibir la señal en alto en su puerto de entrada de habilitación (Chip Enable), por lo consiguiente cada uno de estos cuentan con un chip enable de salida para indicarle al siguiente módulo que su procesamiento a terminado y que puede iniciar su operación.

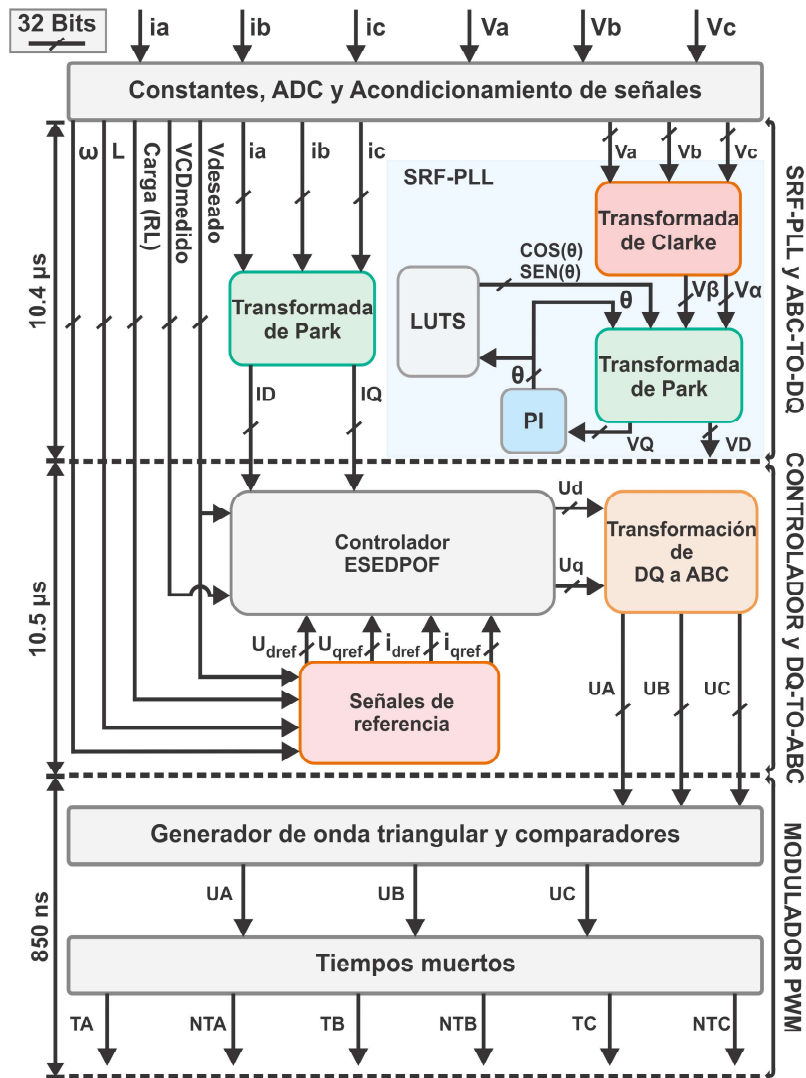


Figura 4.12: Arquitectura diseñada.

Como se mencionó anteriormente la arquitectura diseñada se basa en reutilizar diversos operadores aritméticos los cuales se crearon mediante IPCORES y tablas de búsquedas o LUTs, además de esto se realizó la unión de los módulos de sincronía y transformación de Park, también de los módulos del controlador, señales de referencia y transformación de DQ a ABC tal como se muestra en la Figura 4.12, con la finalidad de poder cumplir con el objetivo de incorporar todo el proyecto en una sola tarjeta de desarrollo. Todos los módulos diseñados siguen el formato de precisión simple de 32 bits (representación IEEE754), la cual es una no-

tación científica utilizada en computó para poder representar números reales extremadamente grandes y pequeños de una manera muy eficiente y compacta. Para cada uno de los módulos rediseñados digitalmente se realizó una estructura acompañado de sus diagramas de flujo de datos y sus respectivas máquinas de estados para su control, con el fin de poder optimizar cada uno de sus procesos. En la Figura 4.13 se muestra el diagrama de secuencia y en la Figura 4.14 se presenta la optimización gráfica del flujo de datos, de la transformada de Clarke.

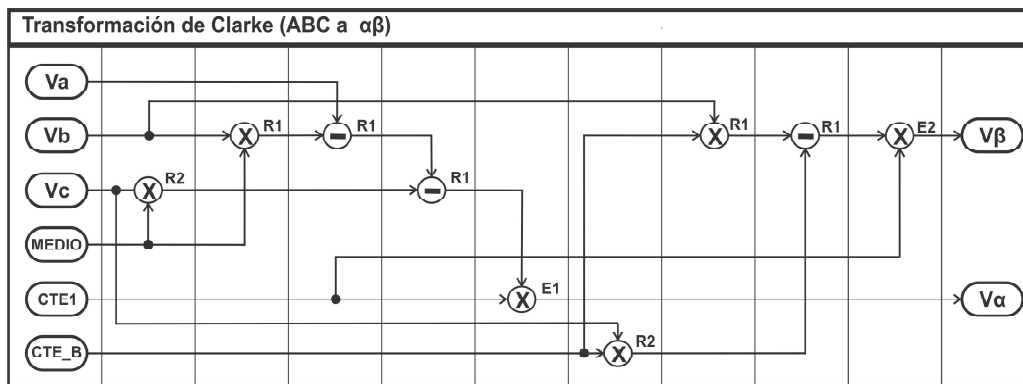


Figura 4.13: Estructura para la transformada de Clarke.

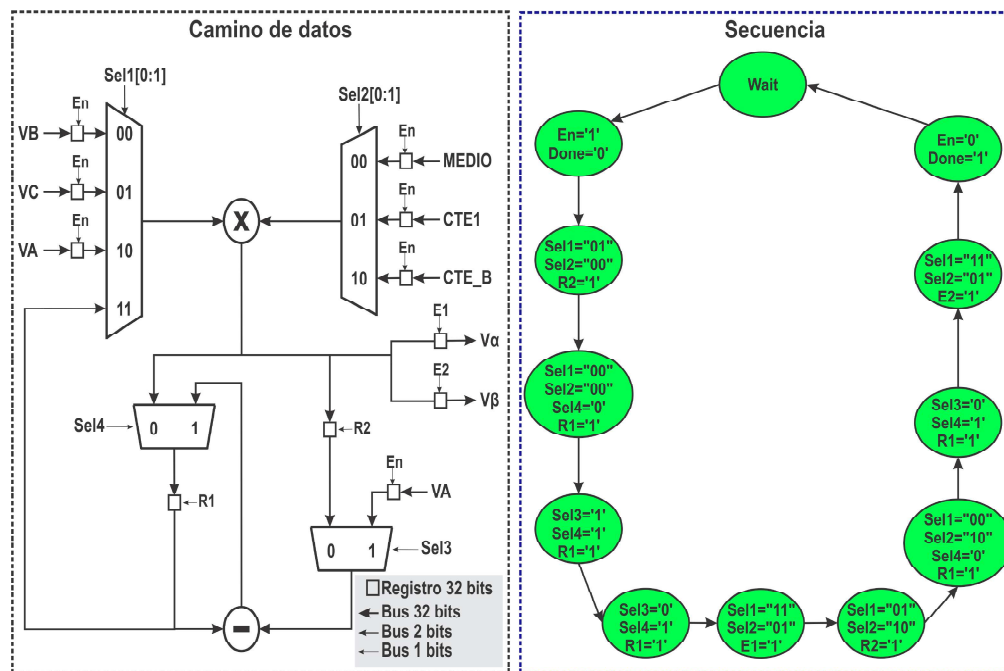


Figura 4.14: Diagrama de flujo de datos y máquina de estados para el control de la transformada de Clarke.

En la Figura 4.15 se muestra el diagrama de secuencia y en la Figura 4.16 la optimización gráfica del flujo de datos de la transformada de Park, en donde se aprecia los operadores aritméticos de: multiplicación, suma y resta, los cuales son reutilizados gracias al uso de registros.

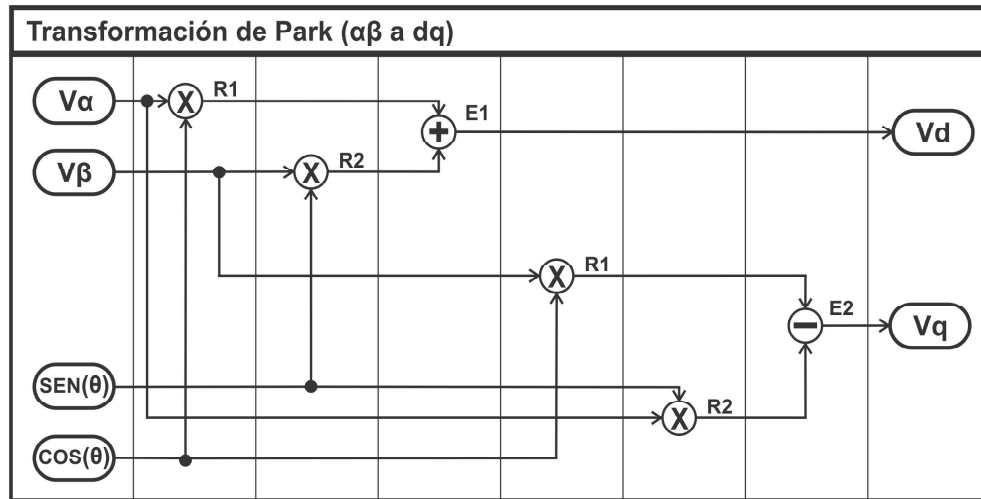


Figura 4.15: Estructura para la transformada de Park.

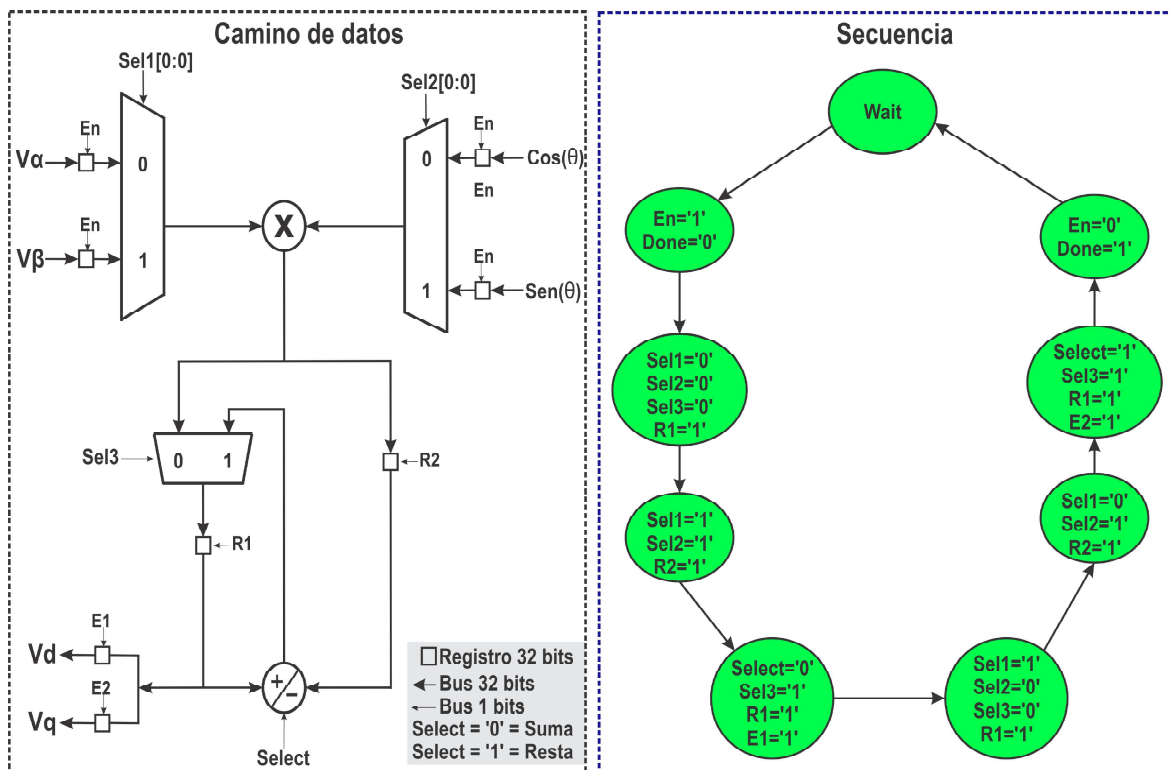


Figura 4.16: Diagrama de flujo de datos y máquina de estados para el control de la transformada de Park.

Antes de abordar el controlador basado en pasividad ESEDPOF, cabe mencionar que para el módulo de generación de referencia se aborda la misma forma de optimización de flujo de datos, conformada por: estructura, diagrama de flujo de datos y máquina de estado. Por lo tanto, el módulo del controlador ESEDPOF obtiene las señales digitalizadas de: U_{dref} , U_{qref} , i_{dref} e i_{qref} ; en la estructura del controlador ESEDPOF la cual se muestra Figura 4.17, donde se puede apreciar con claridad lo antes mencionado.

Los registros utilizados en el controlador ESEDPOF: R1, R2 y R3 se implementan con el fin de reutilizar los operadores aritméticos de: multiplicación, suma y resta en el proceso de obtención de resultados del mismo, gracias a que en dichos registros se realiza el respaldo de los resultados de los operadores aritméticos temporalmente. Los registros E1 y E2 son de uso específico, para respaldar las señales de salida del controlador, por lo cual estos no son reutilizados dentro de las operaciones del módulo.

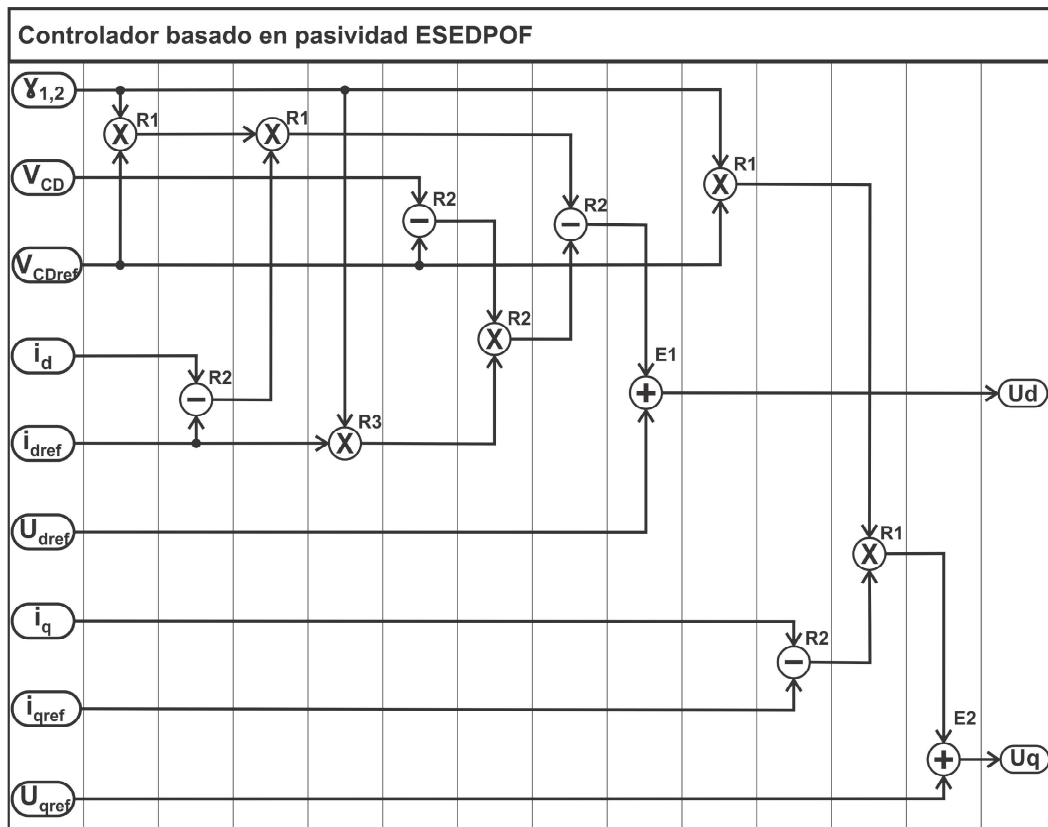


Figura 4.17: Estructura del controlador ESEDPOF.

En la Figura 4.18 se muestra el diagrama de flujo de datos y la máquina de estados implementado en la tarjeta de desarrollo, del lado derecho de la Figura 4.18 se observa la secuencia con la que se ejecutan los operadores aritméticos, los cuales se reutilizan gracias a los multiplexores y registros implementados en el módulo.

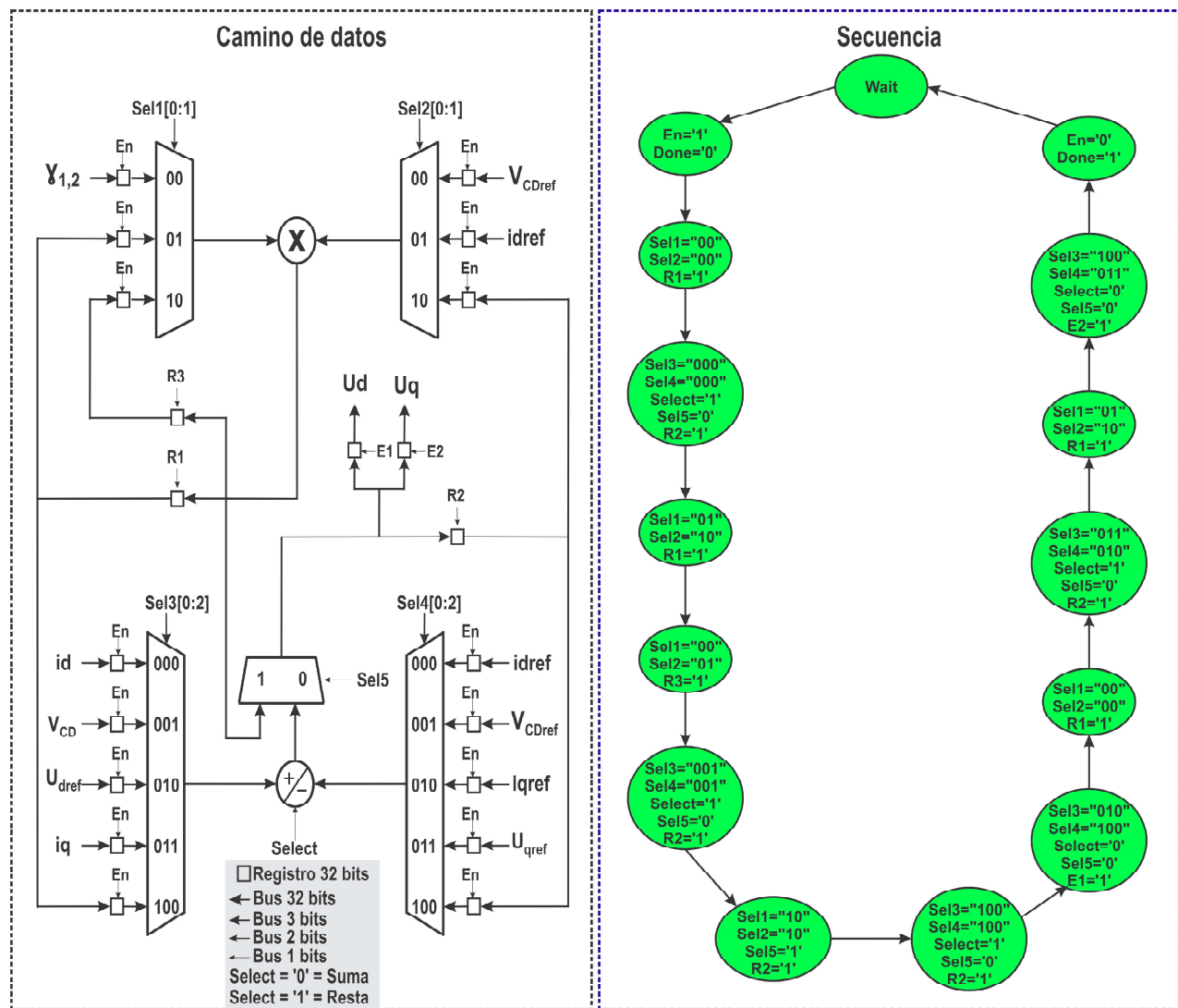


Figura 4.18: Diagrama de flujo de datos y máquina de estados para el control del controlador ESEDPOF.

Con la finalidad de enviarle las señales del control al modulador PWM implementado en el FPGA, se realizó el rediseño digital y optimización de la transformada DQ a ABC, para obtener del modulador los pulsos de conmutación que van a los impulsores de compuerta, como en los casos anteriores se implementó la estructura, diagrama de flujo de datos y máquina de estados para el controlador ESEDPOF.

En la Figura 4.19 se muestra la estructura de la transformada DQ a ABC, para fines de ejemplo se representó de manera gráfica en la Figura 4.19, pero en la práctica la optimización fue mayor, debido a que, para el respaldo de las variables de entra solamente se utilizaron cuatros registros de 32 bits y no ocho, dos de ellos se utilizaron para respaldar la señales de control y los dos restante para respaldar los valores obtenidos de las tablas de búsquedas del seno y coseno (memorias ROM), con sus respectivo desfaseamiento de 120°, los cuales se

utilizaron para realizar las operaciones aritméticas propias del módulo, y en seguida respaldar los resultados en los registros de uso específico E1, E2 y E3, permitiendo poder reutilizar los registros de nueva cuenta en las siguientes operaciones aritméticas.

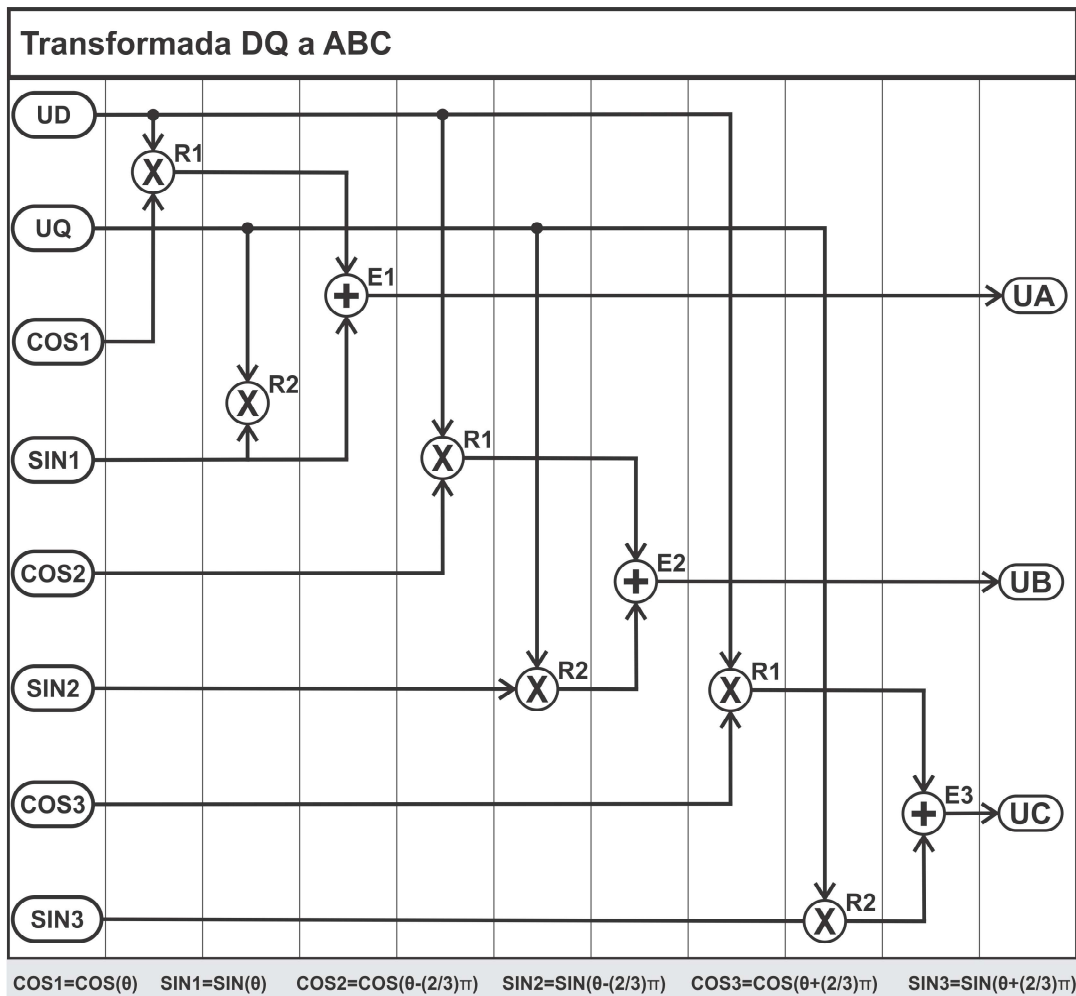


Figura 4.19: Estructura de la transformada DQ a ABC.

Finalmente en la Figura 4.20 se muestra el diagrama flujo de datos y la máquina de estados correspondiente a la transformada de DQ a ABC, esta es de suma importancia, debido a que, la representación del flujo de datos ayuda a observar los procesos que pueden ser optimizados, mediante factorización al reutilizar los operadores aritméticos implementados en dichos módulos, en este caso la transformada de DQ a ABC.

Respecto a los registros del módulo anterior, se utilizaron dos para las operaciones aritméticas los cuales se pueden reescribir (R1 y R2), y tres de salida los cuales son para uso específico, con el fin de respaldar las señales que se envían al modulador PWM (E1, E2y E3).

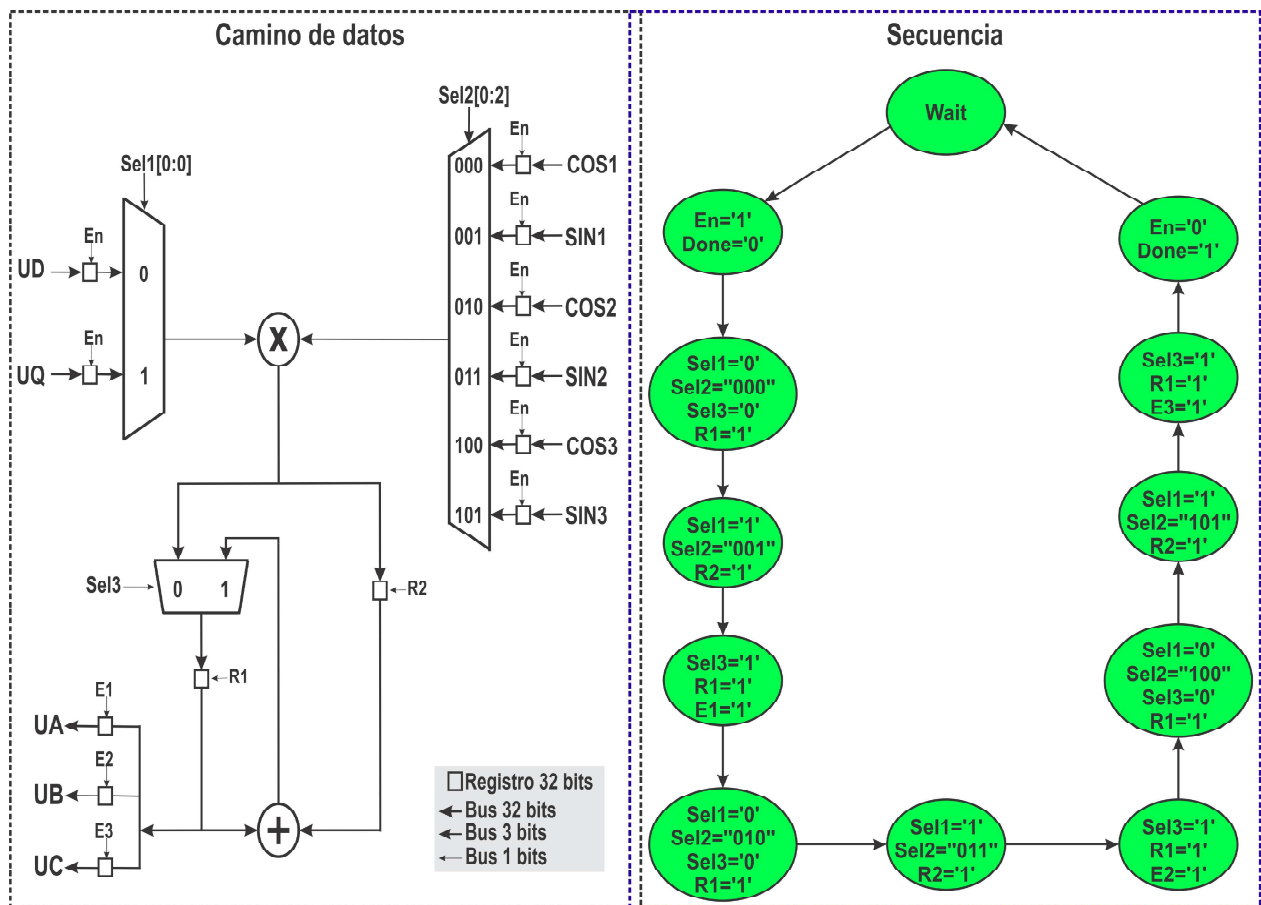


Figura 4.20: Diagrama de flujo de datos y máquina de estados para el control de la transformada DQ a ABC.

Se concluye, acerca de la importancia de realizar los diagramas de flujo de datos, debido a que otorgan otra perspectiva al programador, por lo que en la inspección visual de los diagramas de flujo de datos se encuentran los procesos que pueden ser mejorados y reutilizarlos, impactando directamente en la reducción de recursos lógicos utilizados en un dispositivo reprogramable, en este caso en el FPGA.

4.5. Codificación HDL

Siguiendo con la metodología, los algoritmos se pasan a código en lenguaje VHDL, en donde las transmisiones de los datos son manipuladas por las máquinas de estados mencionadas anteriormente, los cuales son finitos y síncronas a la señal de reloj de la tarjeta.

4.6. Implementación y validación experimental en FPGA

Con la ayuda del software ISE Desing Suite que facilita el fabricante de la tarjeta de desarrollo, se llevó a cabo la implementación de los módulos para cumplir con el objetivo de la investigación, poder regular el voltaje a la salida del RTA-PWM, el mapeo de las funciones resultantes, colocación y ruteo. Se realizó la integración de todo el sistema, se llevaron a cabo pruebas de rendimiento y se ajustaron algunos parámetros, para poder obtener los resultados deseados.

En primera instancia se codificó en lenguaje VHDL el módulo CE_MASTER el cual es un contador que envía un pulso cada $22 \mu s$ a los módulos de decodificación, debido a los tiempos de ejecución de cada módulo. En la etapa de decodificación de voltaje y corriente se realizó la codificación en lenguaje VHDL de las máquinas de estado SPI_CONTROLLER y ADC_MODULE, con la finalidad de procesar la información recibida por parte de la interfaz del ADC. Los módulos de decodificación se muestran en las Figuras 4.21 y 4.22, las cuales dejan disponible a sus salidas las señales previamente procesadas en formato de punto flotante de precisión simple de 32 bits.

Las salidas de la etapa de decodificación se pasan al módulo SRF-PLL & ABC-TO-DQ el cual se muestra en la Figura 4.23, con el fin de que los módulos estén en sincronía, las etapas de decodificación envían un pulso mediante DONE_SI y DONE_SV cuando han terminado de realizar el procesamiento de las señales, indicando al módulo SRF-PLL & ABC-TO-DQ que tienen disponible a sus entradas las señales sensadas, por lo que puede iniciar con la etapa de sincronía de las señales y la aplicación de la transformada de Park a las señales requeridas para la siguiente etapa.

Una vez obtenido los valores de theta (θ), D_{OUT} , Q_{OUT} y de recibir el pulso del DONE del módulo SRF-PLL & ABC-TO-DQ indicando que ha terminado su proceso, inicia el procesamiento de las señales el módulo CONTROLLER & DQ-TO-ABC, el cual se muestra en la Figura 4.24, éste envía todas las señales procesadas del control al módulo de comunicación UART (ver Figura 4.25), para poder graficarlas en la interfaz desarrollada en LABVIEW, y las señales UA, UB y UC al módulo PWM, indicando que este puede iniciar el procesamiento de las señales recibidas cuando reciba el pulso de DONE, de esta manera el modulador envía los seis pulsos de conmutación a los impulsores de compuerta, los cuales activan y desactivan a los IGBTs del RTA-PWM. El ciclo se repite de nueva cuenta cada vez que la etapa de sensores recibe nuevos valores de las señales de la fuente de CA.

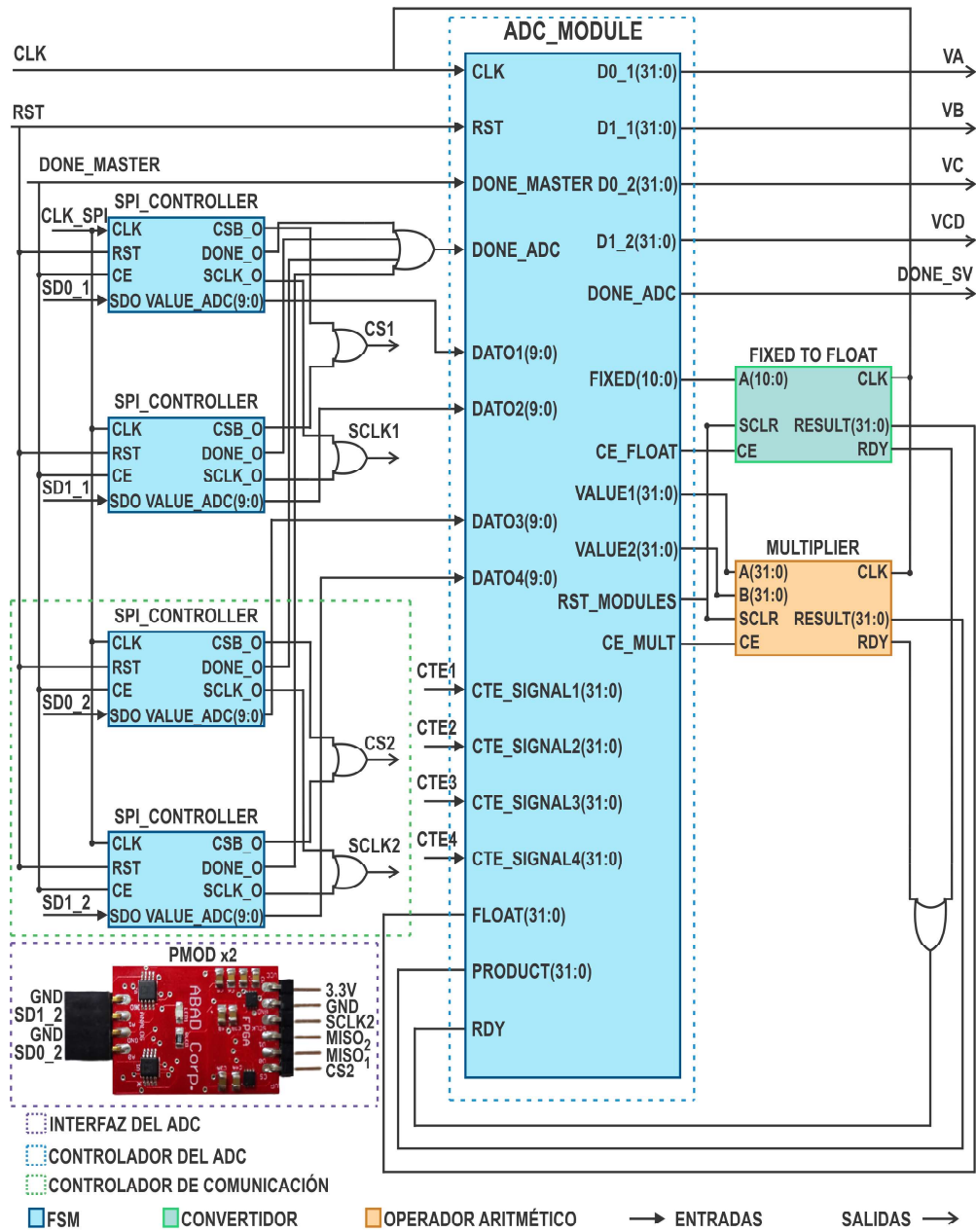


Figura 4.21: Módulo de decodificación de señales de voltaje.

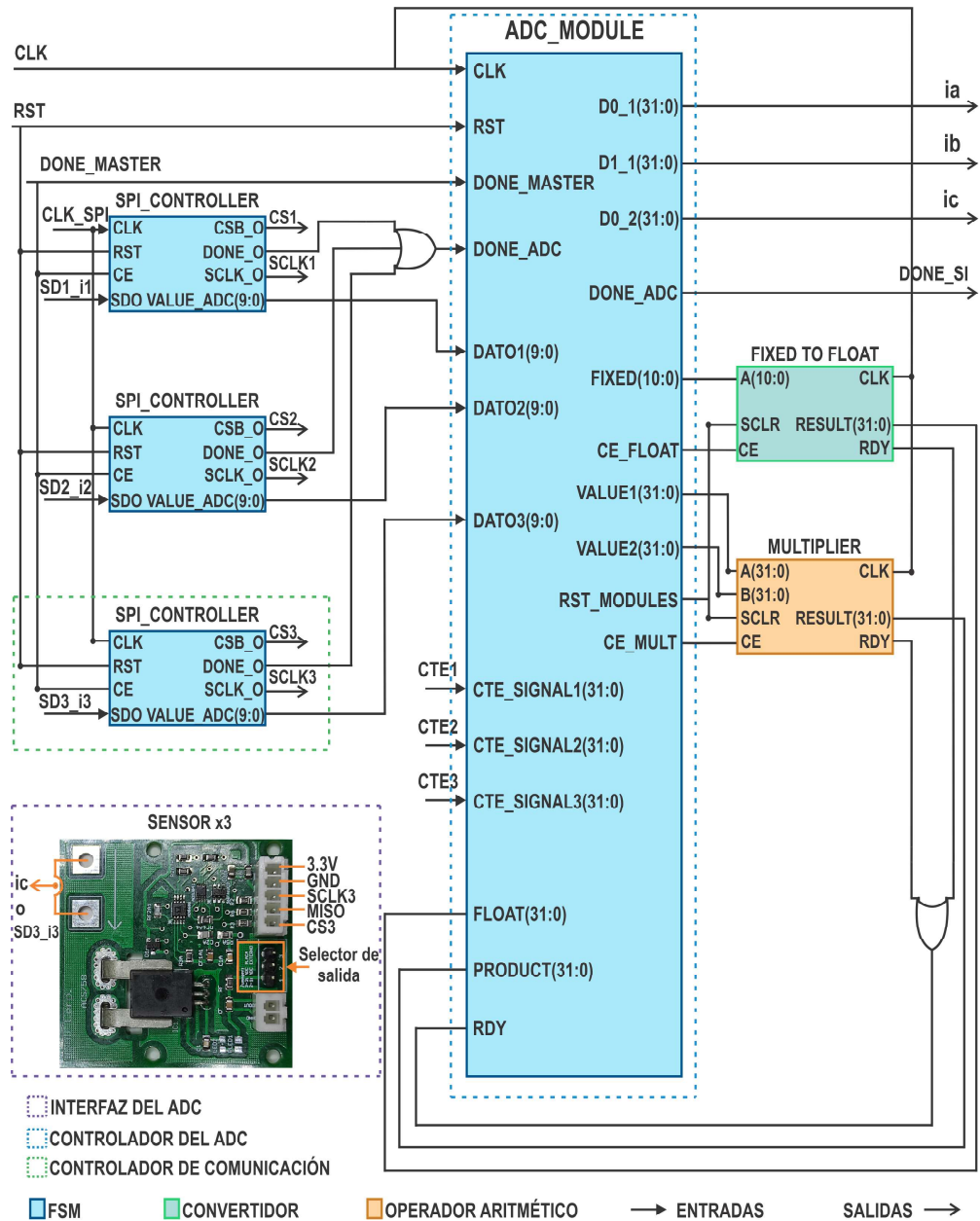


Figura 4.22: Módulo de decodificación de señales de corriente.

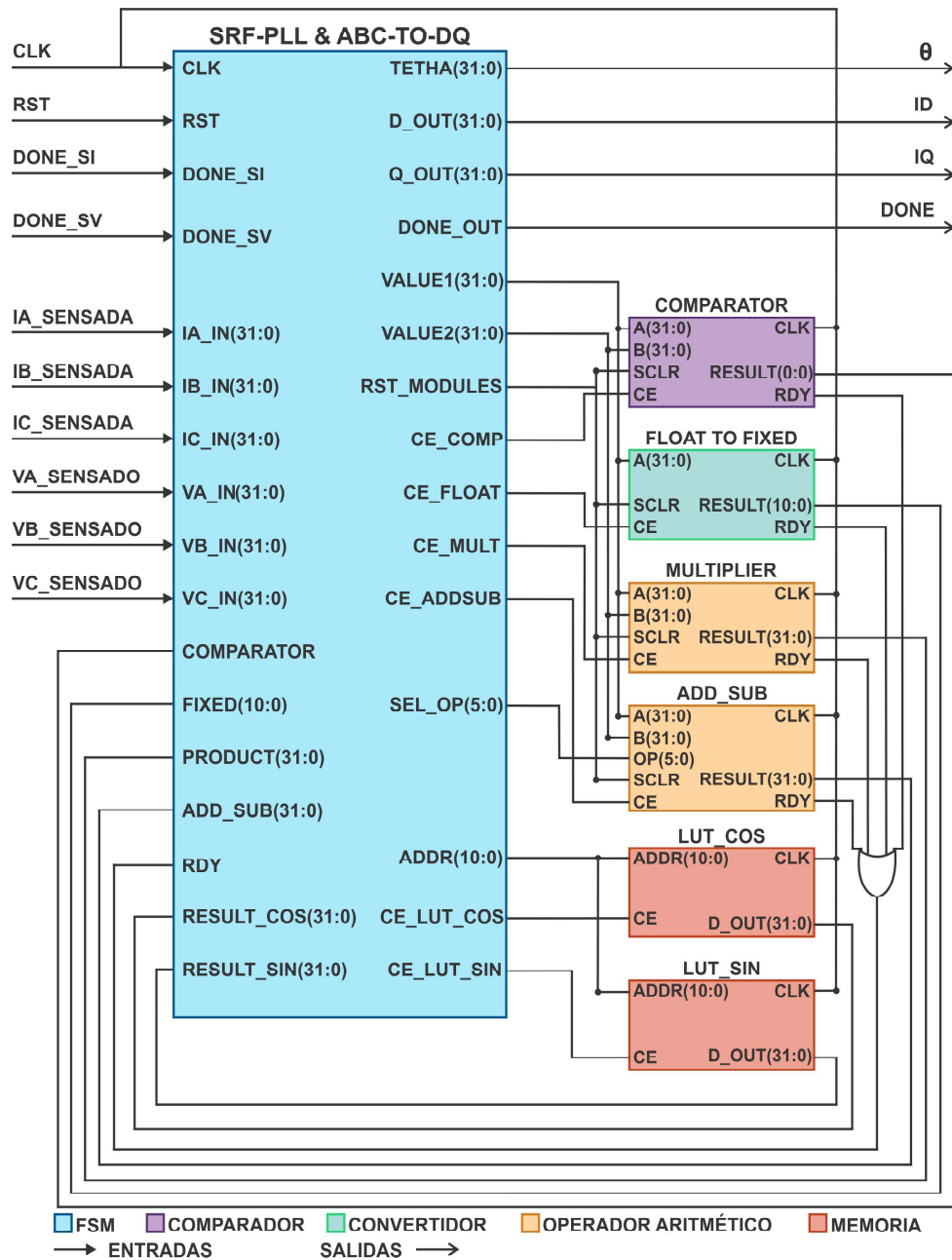


Figura 4.23: Módulo SRF-PLL y ABC-a-DQ.

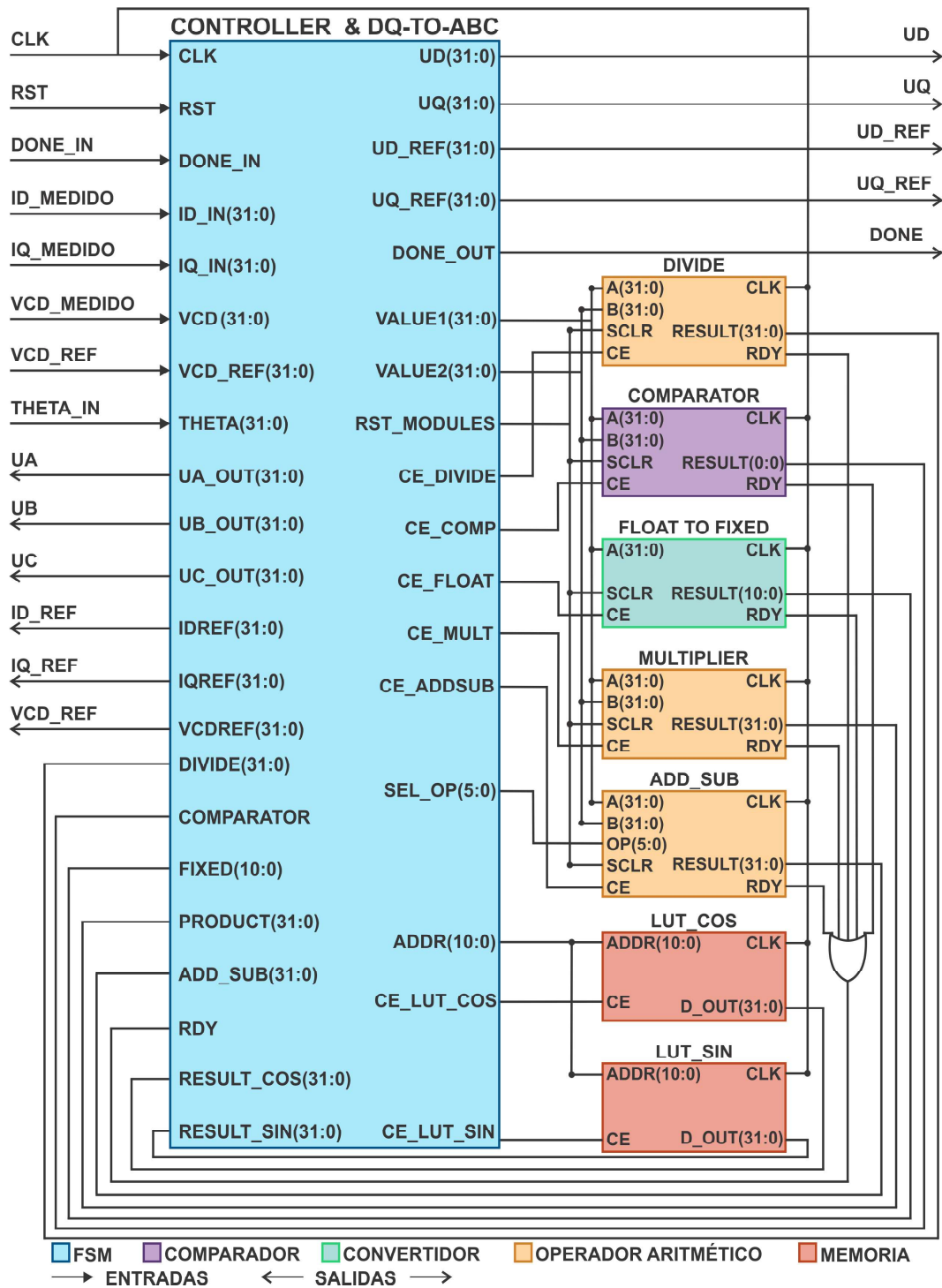


Figura 4.24: Módulo controlador (ESEDPOF) y DQ-a-ABC.

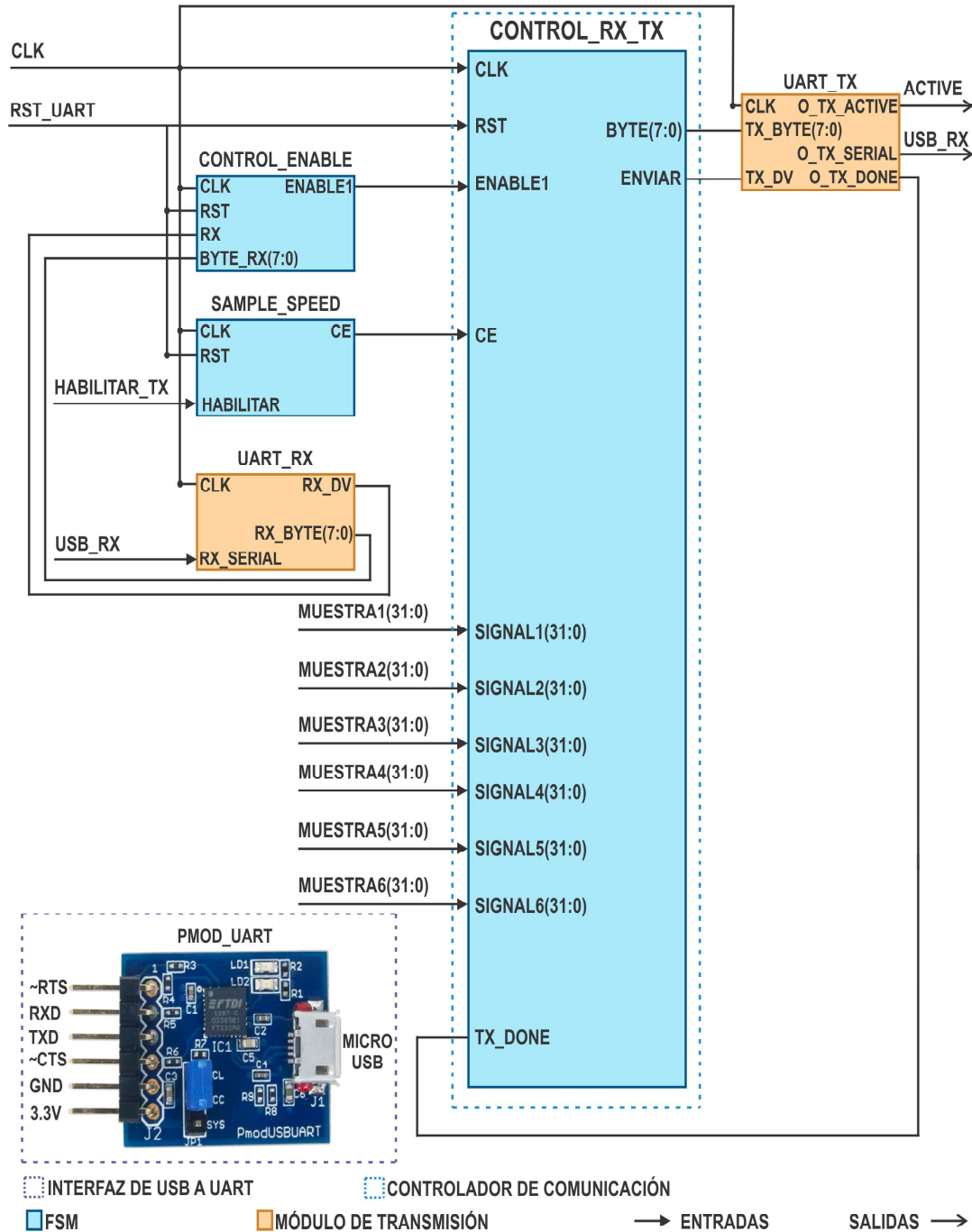


Figura 4.25: Módulo de comunicación UART.

4.6.1. Uso de recursos lógicos de la tarjeta Nexys 2

Para evaluar el desempeño de la implementación de los módulos de sincronía, transformadas, control, modulador y comunicación en el FPGA, se presenta un resumen en la Tabla 4.3 del consumo de los recursos lógicos que fueron necesarios para poder implementar el proyecto en la tarjeta de desarrollo; los datos mostrados en la Tabla 4.3 se obtuvieron del software de desarrollo Xilinx ISE 14.7, en el cual se realizó dicha implementación. En la Tabla 4.3 se muestran los elementos de diseño principales como: Flip Flops, LUTs, Elementos embebidos (BRAM, Slices), Búfers, Multiplicadores, DCMs, entradas y salidas utilizadas en la tarjeta Nexys 2.

Tabla 4.3: Consumo de hardware en la tarjeta Nexys 2.

Recursos de Hardware	Usado	Disponible	Utilización
Slice Flip Flops	9,222	17,344	50%
LUTs	10,704	17,344	61%
Occuped Slices	7,536	8,672	86%
IOBs	41	250	16%
16-KByte RAM	20	28	71%
BUFGMUXs	3	24	12%
DCMs	1	8	12%
MULT18X18SIOs	16	28	57%

Por lo mostrado en la Tabla 4.3 se concluye que, la optimización del flujo de datos se ve reflejado en el porcentaje de hardware utilizado para la implementación de todo las operaciones aritméticas en FPGA, debido a que no se consumió más del 86 % de la lógica dispuesta en la tarjeta de desarrollo Nexys 2.

4.6.2. Uso de puertos de entradas y salidas de la tarjeta Nexys 2

Los periféricos de entrada y salida utilizados en el FPGA para la planta experimental, se muestra en la Figura 4.26, la tarjeta de desarrollo Nexys 2 cuenta con cuatro puertos para PMODs de ocho pines cada uno, los cuales no fueron suficientes debido se requerían 43 pines para poder implementar todo el proyecto, se agregó la extensión de la tarjeta Nexys 2, la cual extendió a la tarjeta a seis PMODs más, de ocho pines cada uno, supliendo de está manera la falta de pines.

A continuación se explica cada de PMODs utilizado: el PMOD_SV1 es la interfaz de dos ADC, dicha interfaz se comunica con la tarjeta Nexys 2, mediante el protocolo de comunicación SPI, por lo que se ocupa cuatro pines (SCLK, CS, MISO1 y MISO2), más dos pines

extras para su alimentación, la interfaz trata las señales de fase VA y VB de la fuente de CA, para de la interfaz PMOD_SV2 se aplica lo antes mencionado pero está trata las señales de fase VC de la fuente de CA y el voltaje obtenido a la salida del RAT-PWM en la plataforma experimental. Los PMODs: PMOD_SIA, PMOD_SIB y PMOD_SIC corresponden a las interfaces de los ADCs que sensan las señales de corriente de entrada en el RAT-PWM, como en el caso anterior estas interfaces se comunican con el FPGA mediante el protocolo de comunicación SPI, las cuales utilizan tres pines (SCLK, CS, MISO), más dos pines extras para su alimentación.

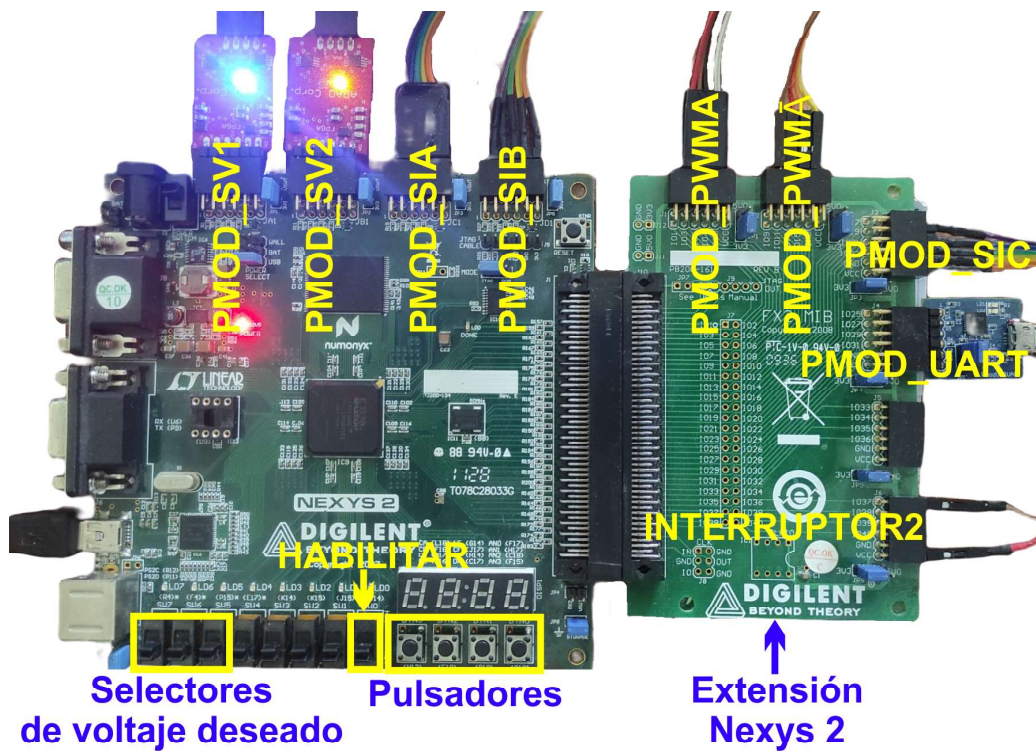


Figura 4.26: Periféricos de entrada y salida utilizados en la tarjeta Nexys 2.

Los PMODs: PMOD_PWMA y PMOD_PWMĀ se utilizan para enviar los seis pulsos de conmutación producido por el modulador PWM, en el PMOD_PWMA se envían las señales TA, TB y TC del modulador y en el PMOD_PWMĀ las señales NTA, NTB y NTC (ver Figura 4.12).

Finalmente el PMOD_UART es utilizado para establecer la comunicación UART entre la tarjeta Nexys 2 y la interfaz desarrollada en LabVIEW, con el fin de poder graficar los datos leídos por las interfaces de los ADCs y las señales generadas por el módulo del controlador ESEDPOF, en donde el interruptor deslizante señalado como HABILITAR indica cuando se inicia la comunicación UART y cuando se termina.

Los selectores de voltaje deseado representan una palabra de tres bits, los cuales pueden representar ocho valores diferentes, el incremento se configuró para tener un cambio de 10 volts en el voltaje deseado a la salida del RAT-PWM al incrementar un bit, en la posición menos significativa (000), el voltaje deseado es de 120 Volts, en la posición más significativa (111), el voltaje deseado es de 200 Volts.

El INTERRUPTOR2 es un pulso, que se mantiene en alto durante 3 segundos, el cual llega a un circuito diseñado para hacer el cambio de carga a la salida del RAT-PWM. En cuestión de los pulsadores se mencionan de derecha a izquierda según su funcionamiento en la implementación, el primero realiza el reset de los módulos involucrados en el proyecto, el segundo resetea al método de sincronía SRF-PLL, el tercero habilita el inicio del pulso enviado al INTERRUPTOR2 y el cuarto resetea la comunicación que existe entre el FPGA y la interfaz (comunicación UART).

La metodología empleado cuenta con una fase concurrente, está se realiza de manera paralela a la fase 1 y 2, en donde se efectúa la construcción del RAT-PWM la cual se aborda a detalladamente en el Apéndice A. De igual forma el diseño de la interfaz gráfica de usuario se describe en el Apéndice B.

Capítulo 5

Resultados experimentales

En este capítulo se diseñó un banco de pruebas con la finalidad de evaluar el desempeño dinámico del rectificador activo trifásico PWM, se han considerado tres tipos de pruebas, las cuales se hacen mención a continuación:

- El primer tipo de prueba está orientada a evaluar la respuesta del bus de salida de CD del RAT-PWM en estado estacionario, dicha prueba consiste en establecer diferentes valores de voltaje deseado a la salida del RAT-PWM, el cual tomará valores de 120 hasta 200 Volts, con el objetivo de verificar que el control propuesto alcance el voltaje deseado a la salida del RAT-PWM.
- El segundo tipo de prueba consiste en evaluar la respuesta del RAT-PWM ante el cambio de carga a su salida, por lo tanto se reduce un 44 % de la carga inicial, considerando como parámetro inicial 150Ω , durante el lapso de 3 segundos esta cambiará a 84Ω , posterior a esto el sistema volverá a su carga inicial de 150Ω ; el objetivo de la está prueba es verificar la robustez del algoritmo de control propuesto.
- La tercera prueba consiste en verificar la norma IEEE-519 referente a la calidad de la energía, esta describe las formas de onda de voltaje y corrientes que pueden existir en un sistema, además establece la calidad de potencia que se proporciona en el punto de acoplamiento, en este caso entre el la fuente de CA y el RAT-PWM.

En la siguiente sección se describe cada una de las partes que conforman la plataforma experimental construida, materiales y el equipo utilizado, con los que se llevó a cabo las mediciones de calidad de energía.

5.1. Plataforma de pruebas

En la Figura 5.1 se muestra la plataforma experimental construida, con el fin de realizar las pruebas mencionadas al principio del capítulo.

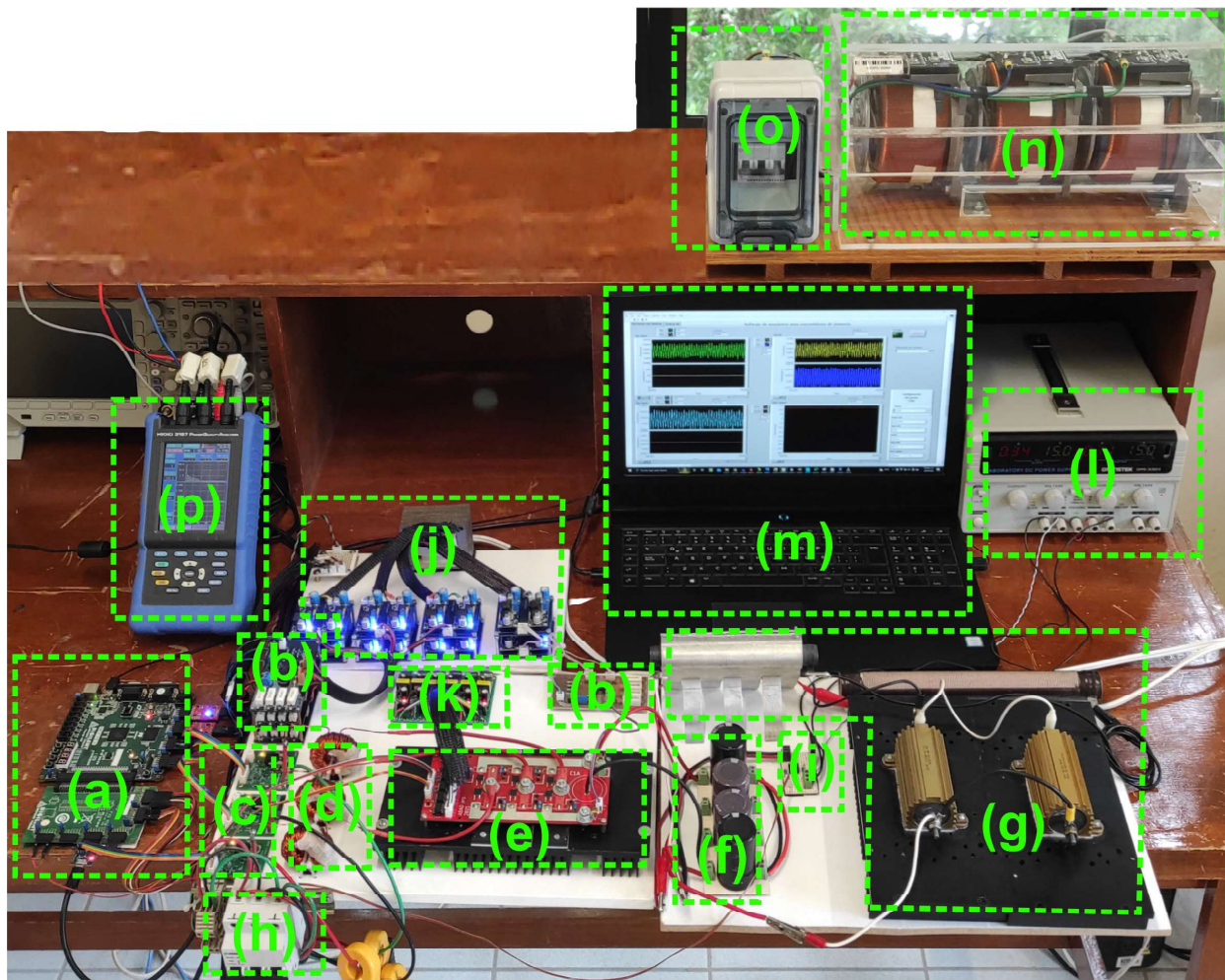


Figura 5.1: Plataforma de experimentación (ver Tabla 5.1).

En la Tabla 5.1 se especifican cada uno de los segmentos que integran a la plataforma experimental así como el equipo utilizado en el mismo.

Adicional a lo anterior, en la Tabla 5.2 se muestra a detalle los componentes que se utilizaron para la construcción del rectificador activo trifásico PWM en la etapa experimental.

Tabla 5.1: Módulos y equipos del RAT-PWM.

(a)	Nexys 2 (Spartan 3E) , Interfaces y Pmods	(i)	Switch2
(b)	Sensores de voltaje	(j)	Fuentes aisladas para sensores de voltaje
(c)	Sensores de corriente	(k)	Fuentes aisladas para sensores de corriente
(d)	Inductores	(l)	Fuente aislada para alimentar PC923 del Switch2
(e)	Rectificador trifásico	(m)	Computadora host
(f)	Banco de capacitores	(n)	Autotransformador trifásico o Variac
(g)	Carga	(o)	Switch de encendido del autotransformador
(h)	Switch1	(p)	HIOKI 3197 (Analizador de calidad de energía)

Tabla 5.2: Componentes del rectificador activo trifásico PWM.

Componente	Descripción
3 Inductores	$L=1mH, r_L=1\Omega$
4 Capacitores electrolíticos	$2200\mu F, 250 V_{CD}$
6 Drivers de compuerta	PC923
6 IGBTs	FGH40N60SFDTU
6 Almohadillas termicas	Coefficiente de conductividad: 1,5 W / m-k
6 Diodos	SURD8530T4G-VF01
6 Resistencias	10 Ω , 1 Watt
1 Disipador	Aluminio
6 Fuentes aisladas	$127V_{CA}/24V_{CD}$
9 Pares de conectores	JST-XH 2.54 mm
1 Terminal con 2 tornillos	TRT-02, Corriente máxima 10 Amperes

5.1.1. Resultados del rectificador activo trifásico PWM en estado estacionario

En esta sección se realizaron pruebas al rectificador activo trifásico PWM en lazo cerrado con una carga de 150Ω , las ganancias del controlador ESEDPOF son de 0,000005 por igual, estas pruebas tienen la finalidad de analizar las respuestas del sistema en estado estacionario y verificar si el controlador calculado para el sistema, es capaz de alcanzar la referencia de voltaje solicitado, en la Figura 5.2 se muestran los resultados obtenidos de las pruebas mediante la interfaz diseñada en LabVIEW; las pruebas se realizaron en un rango de 120 a 200 Volts, en donde se comparan los voltajes sensados a la salida del bus de CD contra el voltaje deseado solicitado al RAT-PWM.

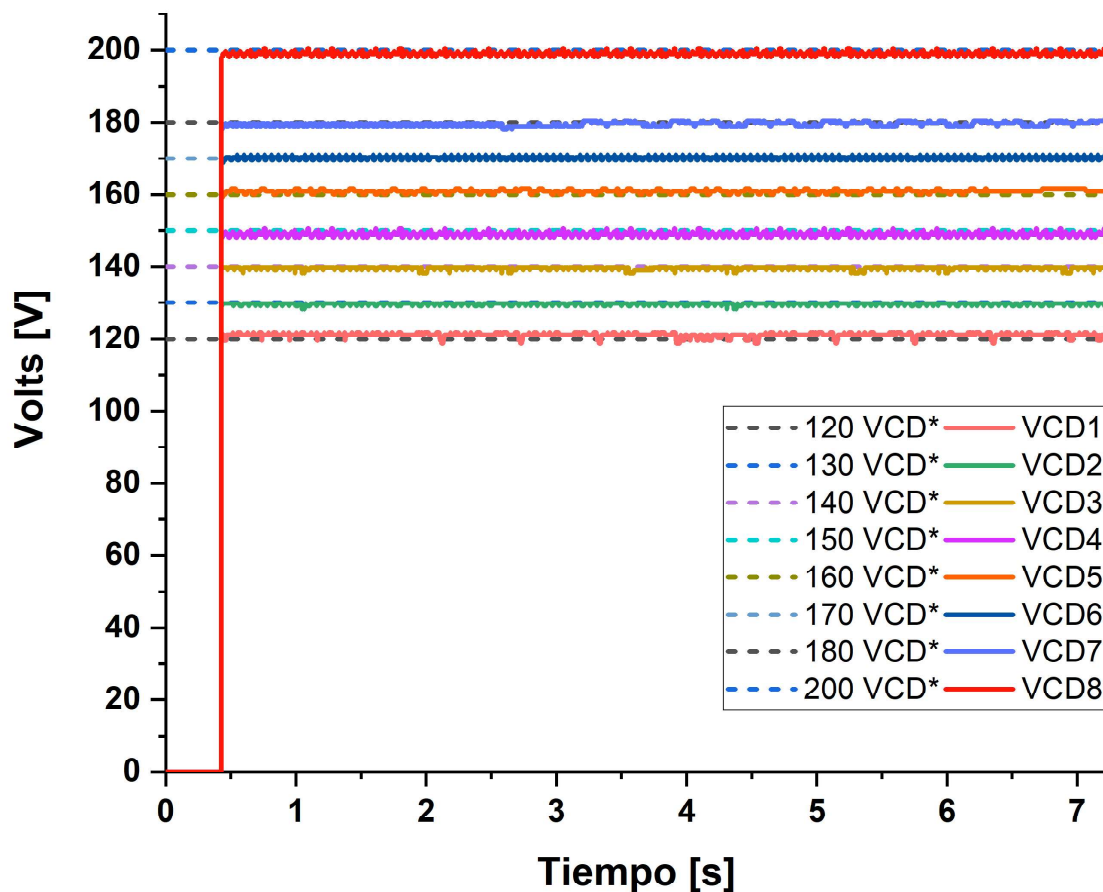


Figura 5.2: Respuesta de salida del bus de CD del rectificador activo trifásico PWM frente a los voltajes deseados.

Conforme a los resultados obtenidos y presentados en la Figura 5.2, se concluye que el control ESEDPOF calculado para esta aplicación se comporta de manera adecuada, cabe mencionar que la respuesta en estado estacionario del controlador ESEDPOF en lo experimental es mucho mejor a lo esperado, debido a que en simulación su respuesta no era tan precisa al solicitar el máximo voltaje a la salida de RAT-PWM (200 Volts), donde su estimado sufre una caída de tensión de 6.8 Volts (ver Figura 3.13) respecto al voltaje deseado, a nivel experimental la caída de voltaje es de 0.2 a 1.1 Volts en tiempos muy pequeños, lo que deja como aprendizaje que no todos los sistemas se comportan como en simulación, puesto que no se toman en cuenta algunos factores físicos que influyen en el comportamiento real de los sistemas.

5.1.2. Resultados del rectificador activo trifásico PWM ante cambios de carga en su salida

En esta sección se realizan el segundo tipo de prueba planteado al principio del capítulo, por lo que se acondicionó un temporizador para realizar el cambio de carga de 150 Ω a 84 Ω durante 3 segundos, las pruebas se ajustaron para que dicho cambio suceda en el segundo doce de cada incremento del voltaje deseado, los incrementos de voltaje deseado que se realizaron fueron 8, esto se logró mediante un vector de 3 bits declarados en los interruptores deslizables del FPGA, en donde el bit menos significativo (000) asigna un voltaje deseado de 120 Volts al RAT-PWM, a hasta el penúltimo bit (110) los incrementos son de 10 Volts, finalmente en el bit más significativo (111) se asigna un voltaje deseado de 200 Volts. La prueba tiene como objetivo verificar la robustez del algoritmo de control ESEDPOF aplicado en el RAT-PWM.

En la Figura 5.3 se muestra la primera prueba realizada, la cual consistió en solicitar al convertidor un voltaje deseado de 120 Volts a su salida, debido a que el RAT-PWM funciona como un convertidor elevador o Boost, no se le puede demandar menos voltaje del que le entrega la fuente de CA. Como se aprecia en la Figura 5.3 el controlador converge asintóticamente a cero en sus términos del error, tanto en voltaje ($e_{V_{CD}}$) y corrientes (e_{id} y e_{iq}) mientras no se realiza el cambio de la carga a su salida, en cuanto sucede el cambio de carga de 150 Ω a 84 Ω el voltaje cae 1.8 Volts respecto al voltaje deseado; al final del capítulo se argumenta la caída de voltaje a la salida del RAT-PWM al momento de realizar el cambio de la carga.

En la Figura 5.4 se muestra la segunda prueba realizada, en donde los interruptores deslizables del FPGA se colocaron en la quinta posición (100) la cual solicita al convertidor un voltaje deseado de 160 Volts, en la Figura 5.4 se aprecia que el controlador ESEDPOF converge asintóticamente a cero cuando no se realiza el cambio de la carga a su salida, en cuanto la carga se reduce un 44% (de 150 Ω a 84 Ω) el voltaje cae 3.53 Volts respecto al voltaje deseado; se observa la siguiente correspondencia, a mayor voltaje deseado, mayor es la caída de voltaje a la salida del RAT-PWM, debido a los resultados obtenidos en las dos primeras pruebas (ver Figuras 5.3 y 5.4).

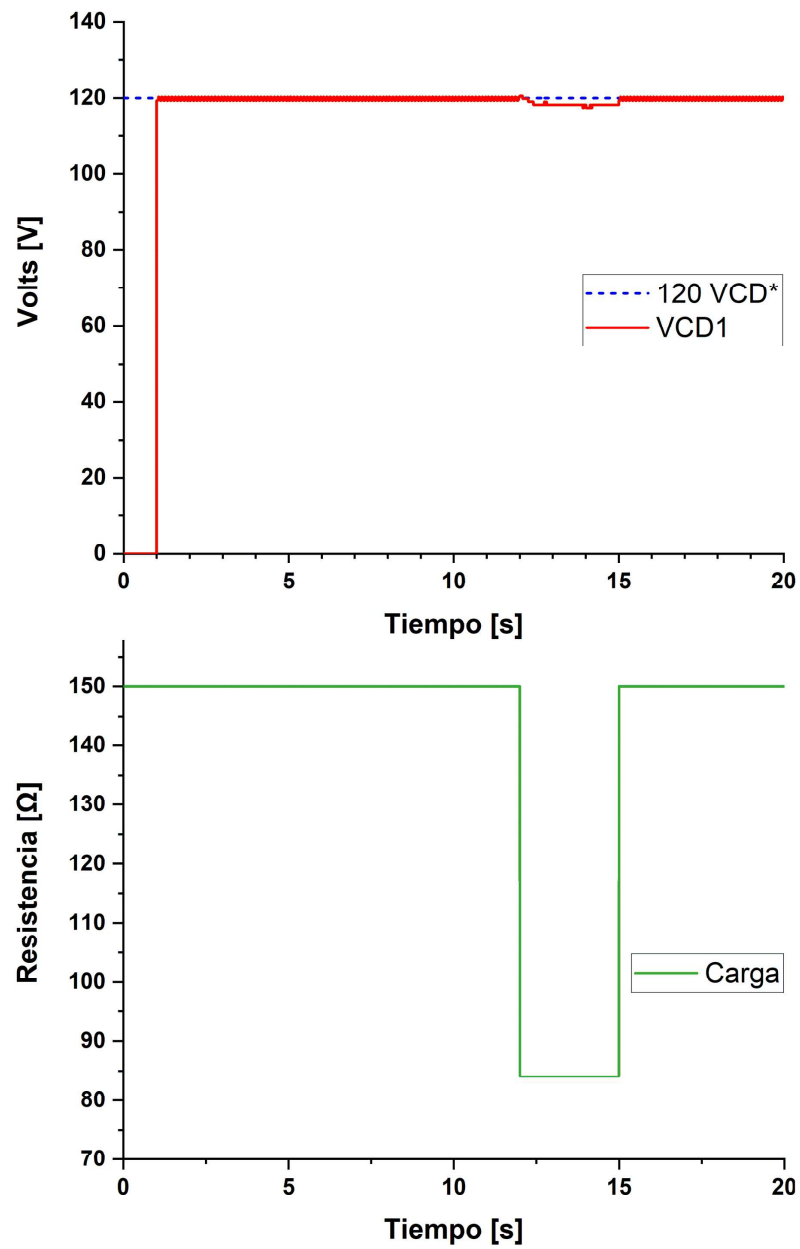


Figura 5.3: Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a 120 Volts.

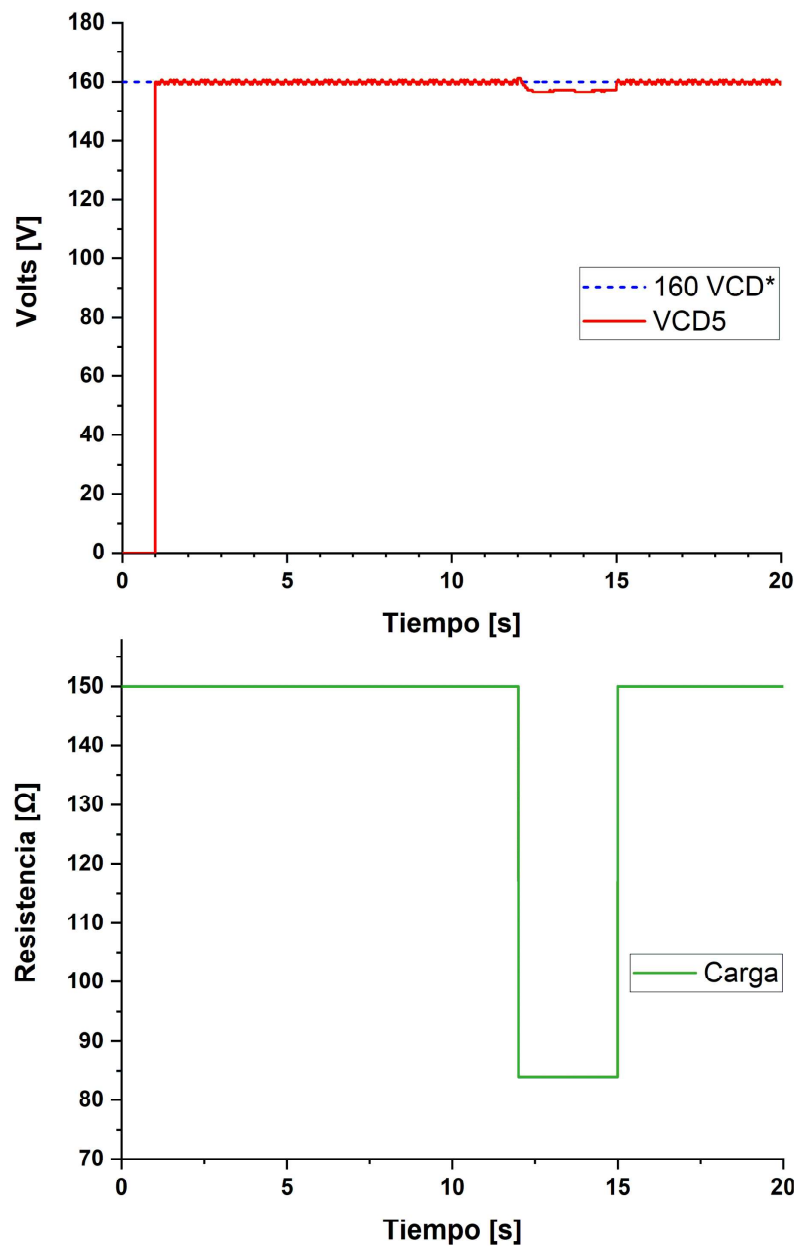


Figura 5.4: Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a 160 Volts.

La última prueba individual que se realizó, para su análisis en esta sección se muestra en la Figura 5.5, la prueba consistió en colocar los interruptores deslizables del FPGA, en el bit más significativo o en la posición ocho (111), exigiendo al convertidor un voltaje deseado de 200 Volts, esto significa que el voltaje se elevó un 88% más de lo que se obtiene a la entrada del RAT-PWM, en la Figura 5.5 se aprecia que el controlador ESEDPOF alcanza la referencia de voltaje deseado mientras no se realiza el cambio de la carga a su salida, en cuanto se realiza el cambio de carga de 150Ω a 84Ω el voltaje cae 9 Volts respecto al voltaje deseado a la salida del RAT-PWM, siendo esta la caída más grande de voltaje que se presenta en el bus de CD del RAT-PWM.

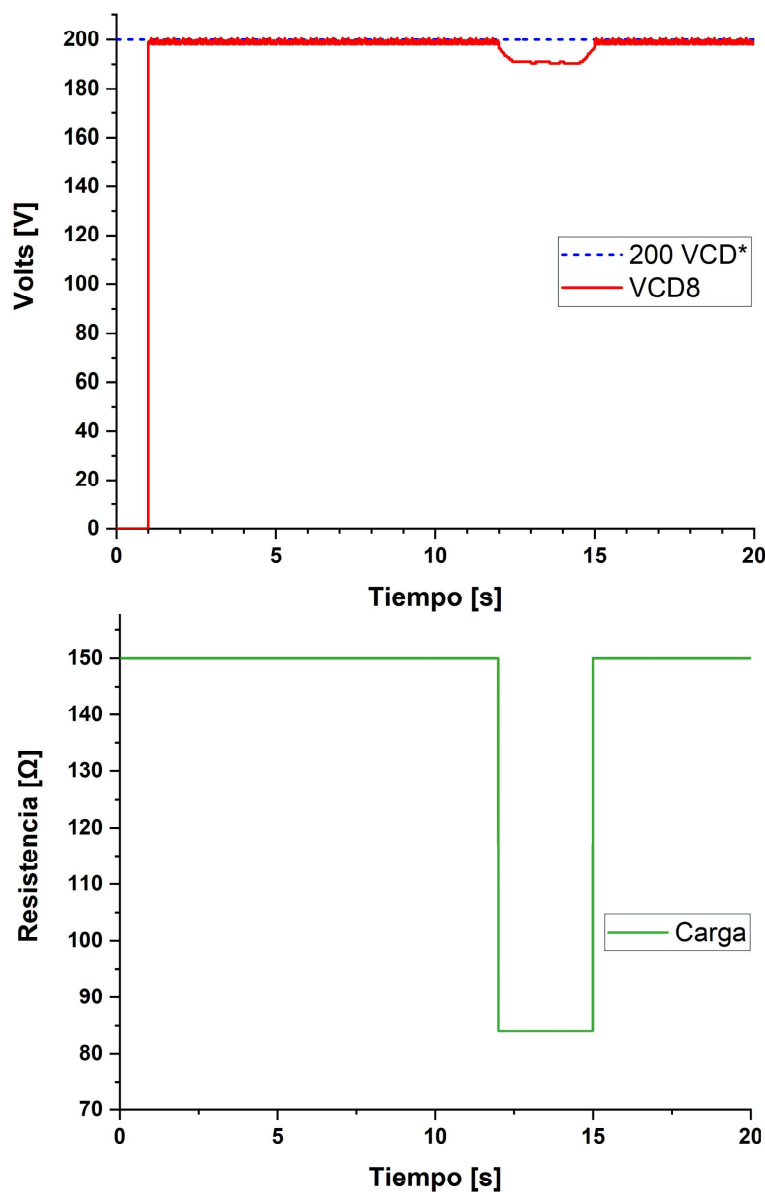


Figura 5.5: Respuesta del RAT-PWM ante cambio de carga de 150Ω a 84Ω a 200 Volts.

Finalmente se presenta en la Figura 5.6 todas las pruebas individuales realizadas para esta sección, se observa que a mayor voltaje deseado es mayor la caída del voltaje cuando se realiza el cambio de carga.

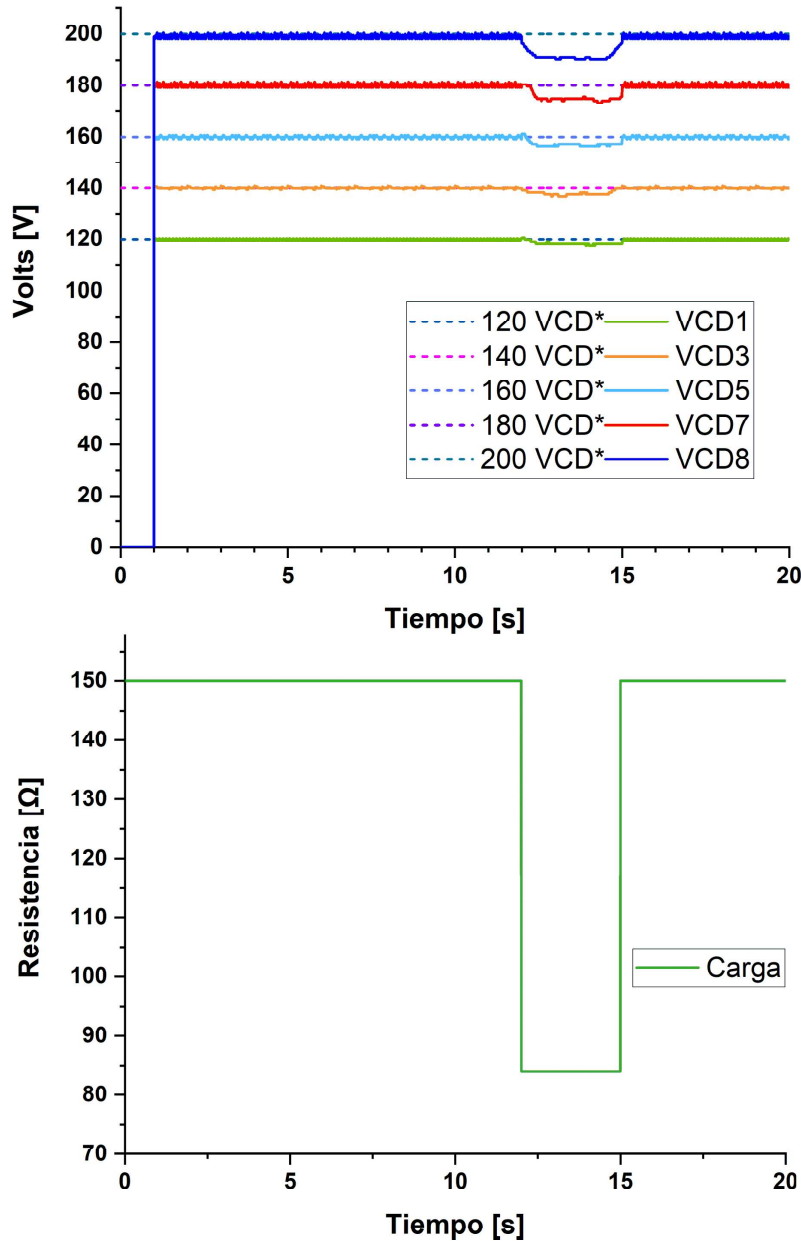


Figura 5.6: Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a diferentes voltajes deseados.

La correspondencia que existe entre el voltaje deseado y la caída de voltaje que se presenta al momento de variar la carga, se debe a que el controlador ESEDPOF fue diseñado para una carga específica, la cual es de $R_L=150 \Omega$, este valor al ser modificado en la planta experimental, el controlador no identifica que el valor de la carga a cambiado, los términos afectados por

el cambio de carga son: i_d^* (ver ecuación 3.2.31) y u_d^* (ver ecuación 3.2.32), estos a su vez afectan toda la ley de control ESEDPOF (ver ecuación 3.2.22). La manera más sencilla de ver el efecto que afecta el bus de CD del RAT-PWM al momento de variar la carga es aplicando la ley de ohm, la cual determina la relación entre: voltaje, corriente y resistencia (carga), está dada por $V = iR$, donde se aprecia que si la carga se reduce el voltaje cae, debido a que son directamente proporcionales. Por lo que se concluye que el control realiza su función adecuadamente para el sistema que fue diseñado, si se requiere de mayor robustez, se debe incorporar un estimador en línea u observador para poder actualizar el valor de la carga en la ley de control.

5.1.3. Resultados de calidad de energía en la fuente trifásica de CA al conectar el RAT-PWM

En esta última sección, se utilizó el dispositivo HIOKI 3197-01 para realizar el análisis de calidad de energía. En los sistemas eléctricos es común encontrar que las señales tienen una cierta distorsión, cuando es pequeña dicha distorsión no ocasiona problemas en la operación de equipos y dispositivos. La norma IEEE-519 establece los límites permisibles de distorsión, dependiendo del voltaje de operación y de su influencia en el sistema. En México existe la especificación CFE L0000-45 denominada “Perturbaciones permisibles en las formas de onda de tensión y corriente del suministro de energía eléctrica” concerniente a la distorsión armónica permisible. A continuación se muestran en las Tablas 5.3 y 5.4 los límites de distorsión armónica permisible en voltaje tanto para la norma IEEE-519 y la especificación CFE L0000-45.

Tabla 5.3: Distorsión armónica permisible en voltaje por la norma IEEE-519.

Límites de distorsión armónica en voltaje en % del voltaje nominal		
Nivel de tensión en la acometida (V_n)	Distorsión armónica individual	Distorsión armónica total THD (V_n)
$V_n \leq 69$ KV	3.0 %	5.0 %
69 KV $< V_n \leq 161$ KV	1.5 %	2.5 %
$V_n > 161$ kV	1.0 %	1.5 %

En donde:

$$THD_{V_n} = \frac{\sqrt{\sum_{h=2}^{\infty} V_h^2}}{V_n} * 100 \% \quad (5.1.1)$$

Para la ecuación 5.1.1 se tiene que:

V_h : Magnitud de la componente armónica individual

h : Orden del armónico

V_n : Voltaje nominal fundamental del sistema

Tabla 5.4: Distorsión armónica permisible en voltaje por la especificación CFE L0000-45.

Límites de distorsión armónica en voltaje en % del voltaje nominal		
Nivel de tensión en la acometida (V_n)	Distorsión armónica individual	Distorsión armónica total THD (V_n)
$V_n \leq 1$ KV	5.0 %	8.0 %
1 KV $< V_n \leq 69$ KV	3.0 %	5.0 %
69 KV $< V_n \leq 138$ KV	1.5 %	2.5 %
$V_n > 138$ KV	1.0 %	1.5 %

De igual forma tenemos que el factor de potencia esta dado por:

$$F = \frac{P}{S} = \frac{\text{Potencia activa}}{\text{Potencia aparente}} \quad (5.1.2)$$

La Tabla 5.5 muestra los resultados obtenidos mediante el HIOKI 3197-01 de la prueba realizada en estado estacionario, con un voltaje deseado de 120 Volts a la salida del bus de CD del RAT-PWM.

Tabla 5.5: Resultados de calidad de energía de la fuente trifásica de CA al acoplar el RAT-PWM

Fase	THDV %	THDi	Potencia activa (P)	Potencia aparente (S)	Factor de potencia (FP)
A	1.8	2.4	60.169	61.754	0.97
B	1.7	2.2	60.194	62.465	0.96
C	1.6	2.3	60.195	60.368	0.99

En la Figura 5.7 se observa que en cada una de las líneas de la fuente de CA, los voltajes y las corrientes están en fase al momento y después de acoplar el RAT-PWM, esto se debe a la aplicación del algoritmo de sincronía SRF-PLL, otorgándole al sistema un factor de potencia cercano a la unidad, de acuerdo a las mediciones realizadas con el HIOKI mostradas en la Tabla 5.5, el factor de potencia en la fuente de alimentación es muy cercano a la unidad, por lo especificado en las Tablas 5.3 y 5.4 se concluye que el sistema cumple tanto para la norma IEEE-519 y la especificación CFE L0000-45.

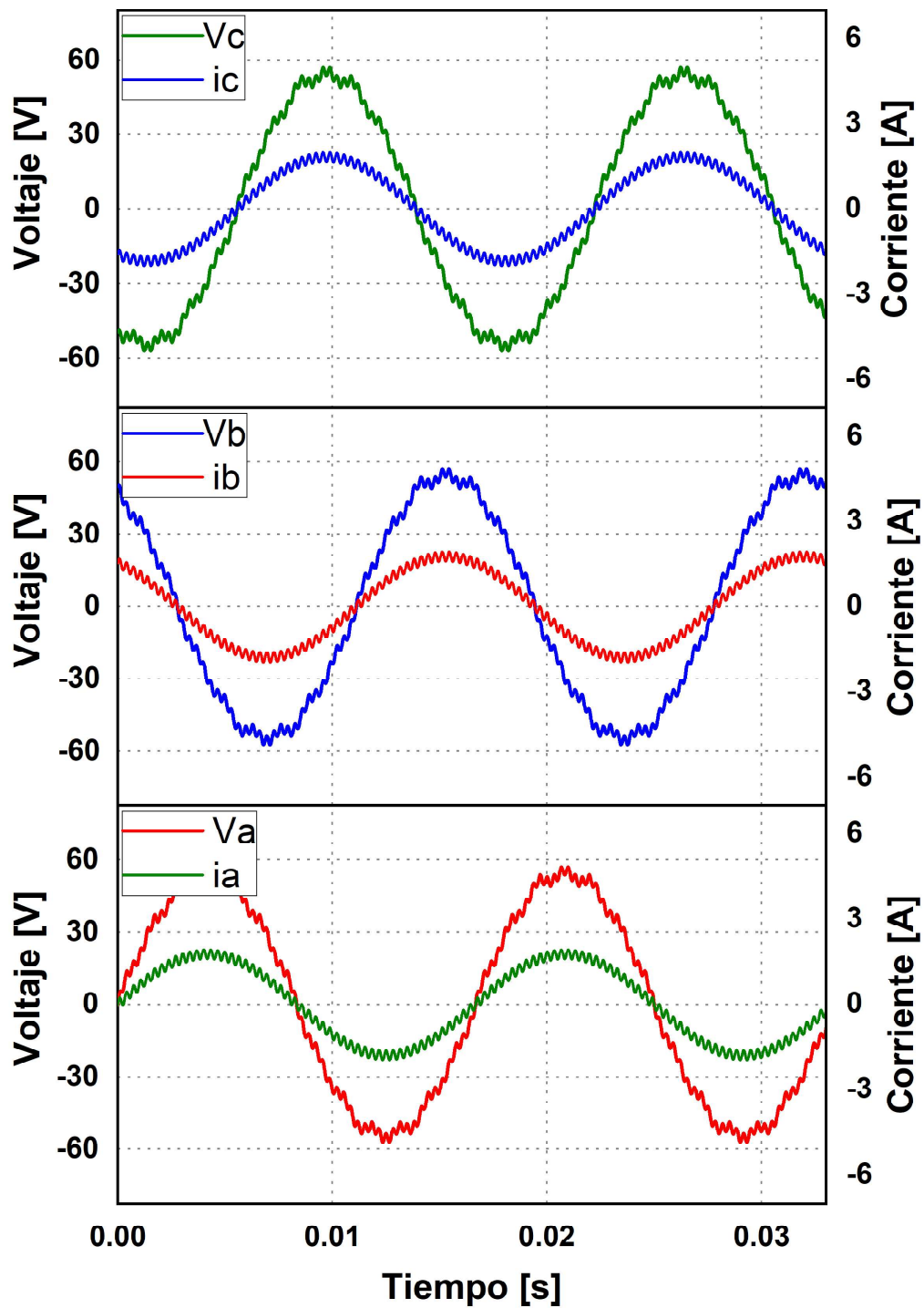


Figura 5.7: Voltajes y corrientes medidos con el HIOKI 3197-01 en la interfaz de la fuente trifásica de CA y el RAT-PWM.

Capítulo 6

Conclusiones y trabajos futuros

En el presente trabajo se realizó el diseño y la construcción de un rectificador activo trifásico PWM, de igual forma se documentó cada uno de los pasos que se realizó para poder conseguir el objetivo general del trabajo, poder regular el voltaje a la salida del RAT-PWM esto se logró mediante el cálculo del controlador ESEDPOF.

6.1. Conclusiones

Las conclusiones a las que se llega con este proyecto de tesis son las siguientes:

- Una de las limitaciones del trabajo fue la lógica con la que se contaba en el FPGA, mediante la optimización del flujo de datos, estructuras y máquinas de estados desarrollados para cada uno de los módulos implementados en la tarjeta de desarrollo, hizo posible integrar el proyecto en un solo FPGA; de igual forma el uso de las memorias ROM en el proyecto fue de utilidad contribuyendo al ahorro de recursos lógicos y tiempo de obtención del resultado, debido a que se guardaron datos precalculados en las memorias, la obtención de estos implican operaciones aritméticas, por lo que no se requirió ejecutar dichas operaciones y solo basto con acceder a la información almacenada en las memorias. Se concluye que es de suma importancia desarrollar estas tareas con el fin de optimizar los recursos lógicos del dispositivo programable.
- Por los resultados obtenidos en la plataforma experimental, se observa que parte del buen funcionamiento del RAT-PWM se debe al método de sincronía SRF-PLL, el cual mantienen en fase al voltaje y corriente en cada una de sus líneas, favoreciendo de esta manera a la mejora del factor de potencia en la fuente de CA.
- El controlador ESEDPOF diseñado e implementado en el FPGA tuvo un buen desempeño en estado estacionario, logrando mantener el factor de potencia cercano a la unidad en la fuente de alimentación; el control realizado sobre el RAT-PWM superó las expectativas de simulación al variar la carga, sin embargo se requiere incorporar un observador o estimador para obtener un control robusto del voltaje a la salida del RAT-PWM.

- El factor de potencia y la distorsión armónica de cada una de las fases se midió en la plataforma experimental mediante un equipo de calidad de la energía de la marca HOI-KI. Las mediciones indican que el sistema cumple con los valores mínimos permisibles de distorsión armónica en voltaje y corriente, es decir apegado a la norma IEEE-519 y a la especificación CFE L0000-45 en México; las cuales indican que la distorsión armónica total del sistema debe ser menor al 5% del voltaje nominal y menor al 8% del voltaje, respectivamente. Esto da sustento para argumentar que la hipótesis del trabajo se cumple.

6.2. Trabajos futuros

- Probar diferentes métodos de sincronía en el RAT-PWM, con el fin de realizar comparativas de sus desempeños.
- Agregar un estimador u observador al RAT-PWM con la finalidad de actualizar el valor de la carga al momento que esta cambie, de esta forma hacer robusto al controlador de voltaje en el bus de CD del RAT-PWM, lo que implica, realizar una investigación para analizar los métodos de control que responde de manera más eficiente a estos cambios de carga.
- Para investigaciones futuras se plantea realizar la etapa de inversión, para poder aprovechar la energía que se obtenga de un generador síncrono de imanes permanentes, uniendo el trabajo realizado en esta tesis y realizar el diseño de la etapa de inversión para poder inyectar la energía a la red eléctrica.

Apéndice A

Fase concurrente

Finalmente se muestra en la Figura A.1 un complemento de la metodología presentada, donde de manera paralela a la fase 1 y 2 se realiza la construcción del RAT-PWM, en donde se realiza el dimensionamiento de la plataforma a nivel Hardware, siendo esta la metodología completa del trabajo.

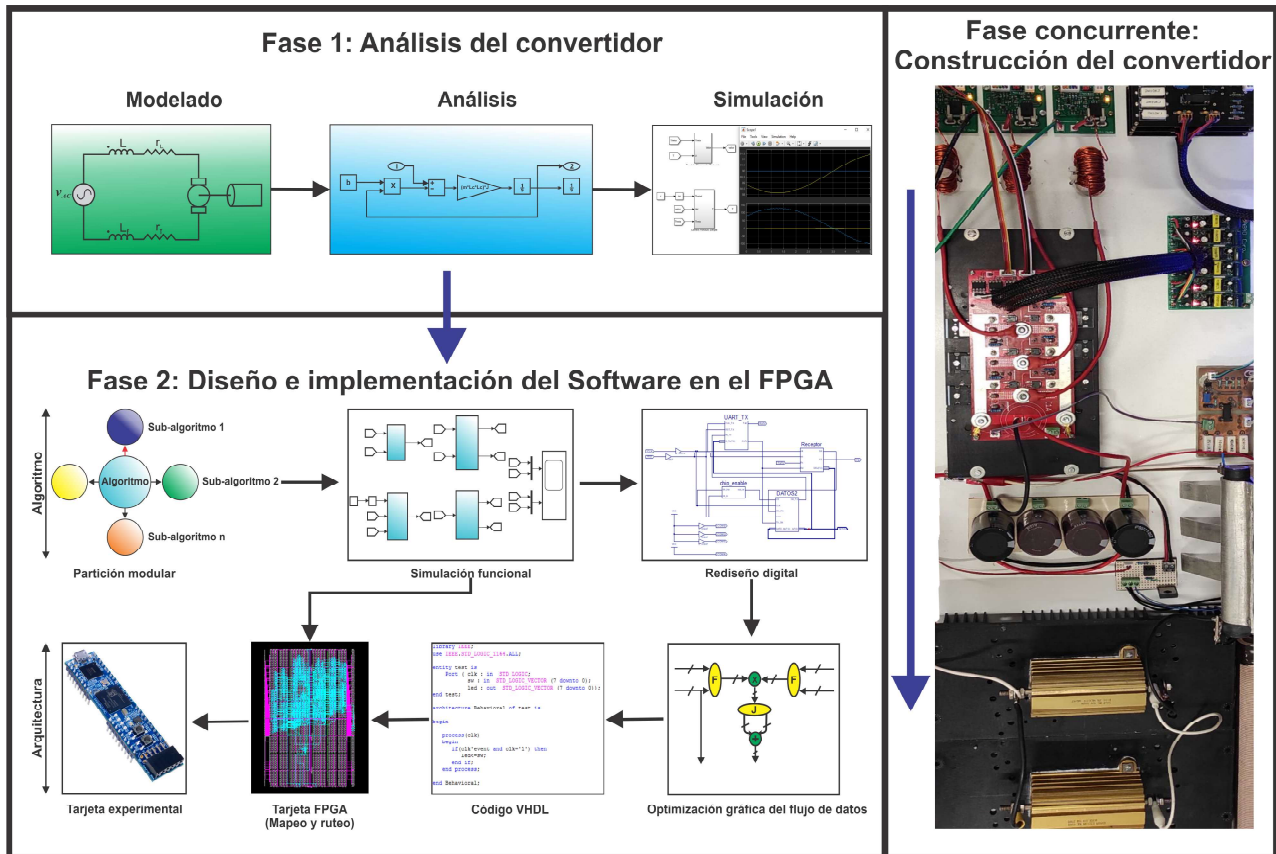


Figura A.1: Metodología completa.

El RAT-PWM se diseñó para una potencia de 2 kW, el voltaje en CA a la entrada es de 110 Vpp en cada fase o 67.36 Volts rms línea a línea, el voltaje de salida es de 200 Volts

CD como máximo y una corriente de 10 Amperes. En la Figura A.2 se muestra el RAT-PWM construido para realizar las pruebas referente a las hipótesis realizadas en un principio con respecto a lo esperado en las pruebas experimentales.

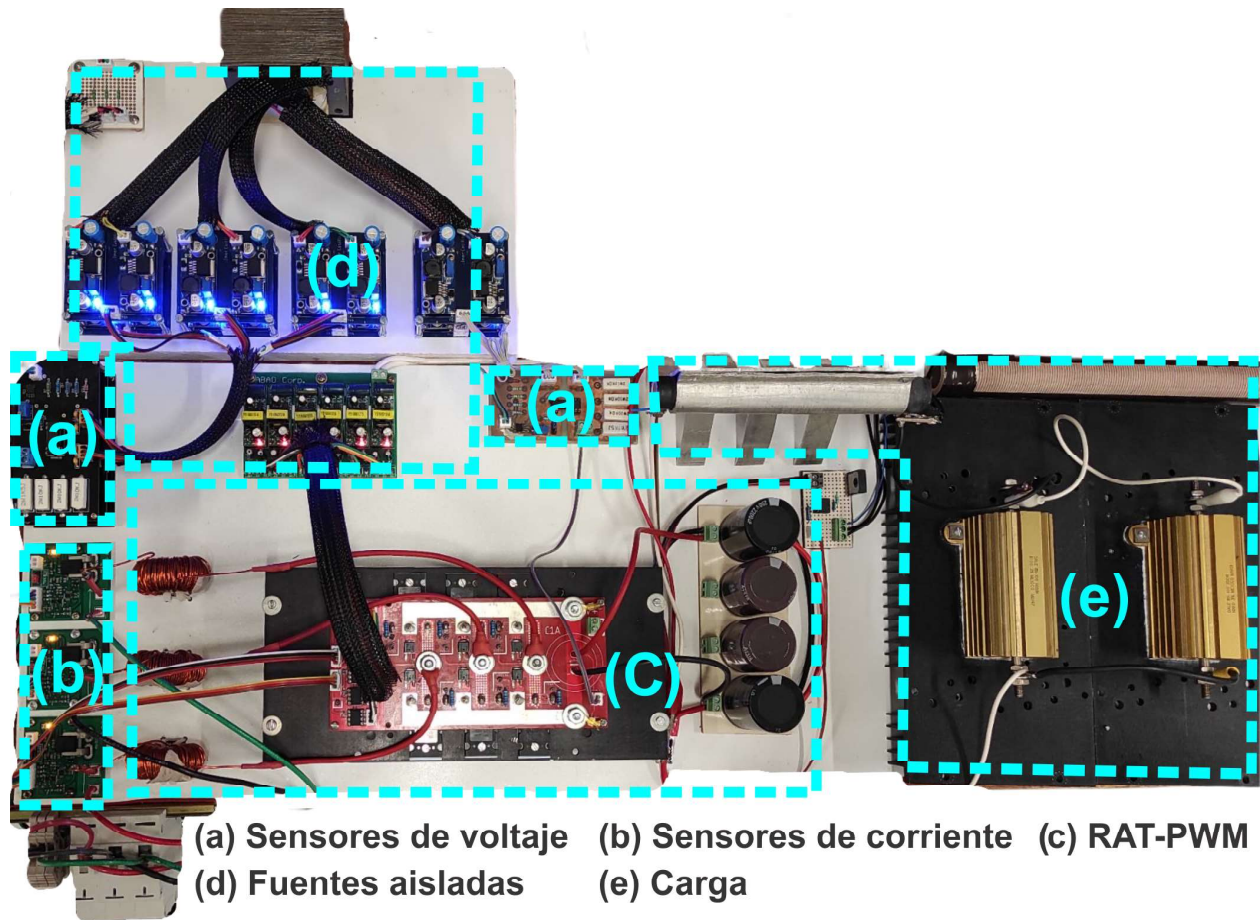


Figura A.2: Plataforma experimental.

A continuación se especifican los componentes elegidos para realizar la construcción del RAT-PWM estos se muestran en la Tabla A.1, cada uno de los componentes se eligieron con un margen superior a los voltajes y corrientes máximas de operación de la planta, con la finalidad que soporten las condiciones eléctricas especificadas de operación y de esta forma evitar daños en la plataforma de experimentación.

Los inductores colocados después de la etapa de decodificación de las señales de corriente están contruidos sobre el núcleo toroidal MS-157060-2 de ferrita, el cual es de baja permeabilidad lo que le otorga una resistencia muy pequeña según lo especificado en su hoja de datos. Finalmente cabe mencionar que se empleó un banco de capacitores electrolíticos de $2200 \mu F$ colocados en un arreglo para tener una capacitancia a la salida de $4400 \mu F$, debido a que le RAT-PWM se considera como un convertidor tipo fuente, en trabajos futuros está etapa puede funcionar como fuente de alimentación para la parte de inversión.

Tabla A.1: Componentes del RAT-PWM.

Componente	Descripción
3 Inductores	$L=1mH, r_L=1\Omega$
4 Capacitores electrolíticos	$2200\mu F, 250 V_{CD}$
6 Drivers de compuerta	PC923
6 IGBTs	FGH40N60SFDTU
6 Almohadillas termicas	Coefficiente de conductividad: 1,5 W / m-k
6 Diodos	SURD8530T4G-VF01
6 Resistencias	10 Ω , 1 Watt
1 Disipador	Aluminio
6 Fuentes aisladas	$127V_{CA}/24V_{CD}$
9 Pares de conectores	JST-XH 2.54 mm
1 Terminal con 2 tornillos	TRT-02, Corriente máxima 10 Amperes

Para la etapa de alimentación de los drivers de compuerta (PC923), se diseñó un circuito para montar seis fuentes aisladas YS10001518 los cuales se alimenta con $127 V_{CA}$ y a su salida se obtienen $24 V_{CD}$, a está salida se le aplica un divisor de voltaje para poder obtener las seis salidas simétricas de $\pm 12 V_{CD}$ necesarias para poder alimentar los optoacopladores que conmutan a los IGBTs, que conforman al RAT-PWM. En la Figura A.3 se muestra la tarjeta diseñada para la etapa de alimentación de los PC923.



Figura A.3: Fuente de alimentación de los impulsores de compuerta.

Finalmente se hace mención del circuito diseñado para poder realizar el cambio de carga durante 3 segundo, dicho pulso es enviado por el FPGA cuando presionamos un pulsador y dura un lapso de 3 segundos en alto, en la Figura A.4 se muestra el circuito diseñado el cual actúa como un Switch para realizar el cambio de carga de 150Ω a 84Ω de manera autónoma en la plataforma experimental, el circuito esta conformado por un PC923 el cual conmuta

a un mosfet IRFP450 el cual soporta entre drenaje-fuente 500 Volts y corriente continua en drenaje de 14 Amperes, por lo cual fue apto de implementarlo en la plataforma experimental, debido a la potencia entregada por el RAT-PWM.

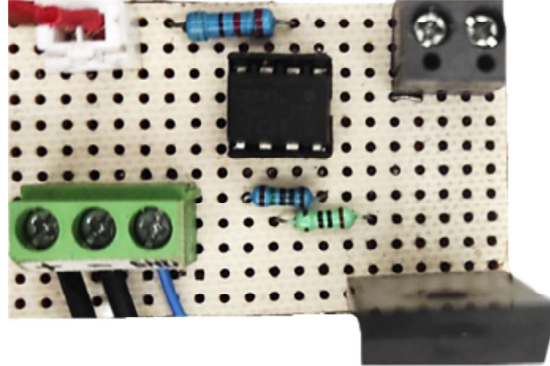


Figura A.4: Circuito diseñado para realizar el cambio de carga en el RAT-PWM.

A.1. Acondicionamiento de señales de voltaje y corriente

En esta etapa se desarrolló la construcción de fuentes aisladas para la alimentación de instrumentación, por lo que se realizó el diseño y la construcción de un transformador acorazado el cual recibe un voltaje CA pico de 180 Volts en su devanado primario y cuenta con 16 devanados del lado secundario en los cuales se entrega un voltaje pico de 14 a 16 Volts. En la Figura A.5 se muestra el transformador acorazado diseñado para esta aplicación.



Figura A.5: Transformador acorazado construido.

Las salidas del transformador acorazado se rectifican, debido a que se ocupan fuentes de CD para la etapa de sensado, por lo que se realizó el diseño de un circuito el cual suplirá esta necesidad, en la Figura A.6 se muestra el circuito diseñado del cual se utilizan ocho, cada uno de ellos entrega a su salida ± 12 Volts para alimentar la etapa de sensores de voltaje de la planta experimental mostrado en la Figura A.7.

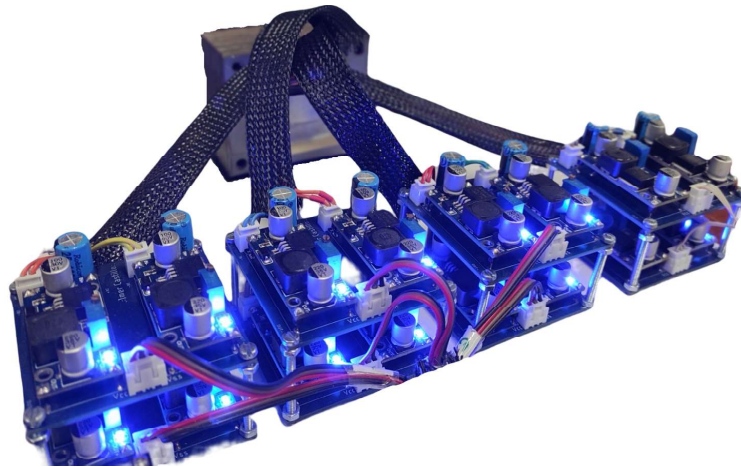


Figura A.6: Etapa de alimentación de CD para sensores de voltaje.

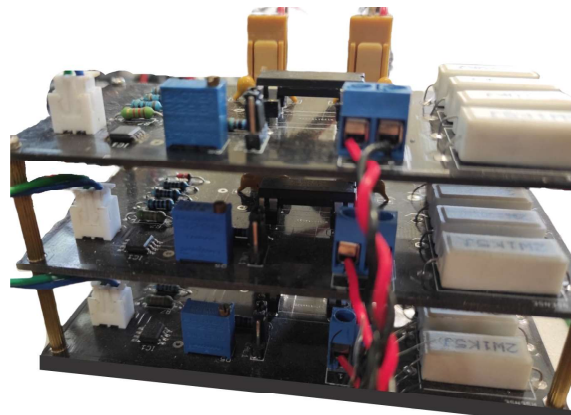


Figura A.7: Sensores de voltaje.

En tarjeta de desarrollo Nexys 2 se puede realizar la lectura de voltajes de 0 a 3.3 Volts gracias a las interfaces desarrolladas tanto para la medición de voltaje como de corriente, por lo que es necesaria una etapa de acondicionamiento de las señales que recibirán las interfaces por parte de la fuente de CA el cual puede variar la entrada de 0 a 220 Volts rms en cada uno de sus fases, por esta cuestión se recurrió al uso de amplificadores operacionales para poder concretar el acondicionamiento de las señales.

En las Figuras A.8 y A.9 se muestran los dispositivos utilizados en cada etapa del acondicionamiento realizado, para que las interfaces entregan un voltaje de 0 a 3.3 Volts al FPGA, tanto para las cuatro señales de voltaje procesadas en la tarjeta Nexys 2 y las tres señales de corriente provenientes de la fuente de CA. Para el caso de los sensores de voltaje se incluye un offset en el voltaje sobre 0 de 1.65 Volts, el cual se puede realizar gracias al potenciómetro agregado en el diseño para ajustar el offset de los sensores.

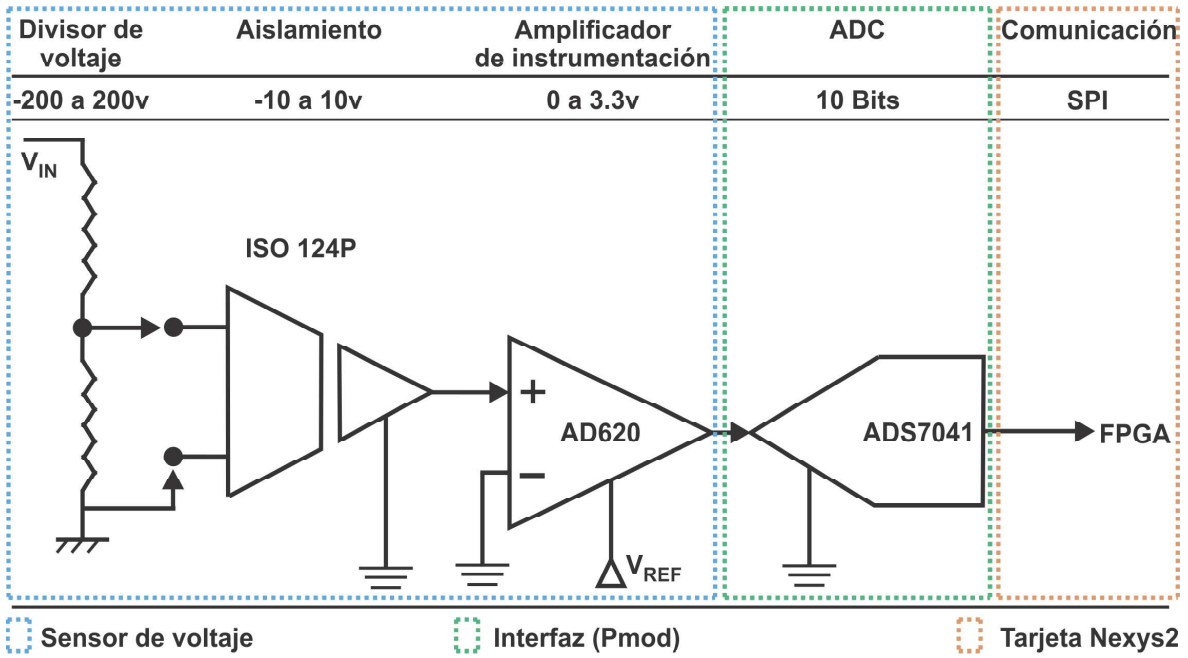


Figura A.8: Acondicionamiento de señal de voltaje para procesarlo en el FPGA.

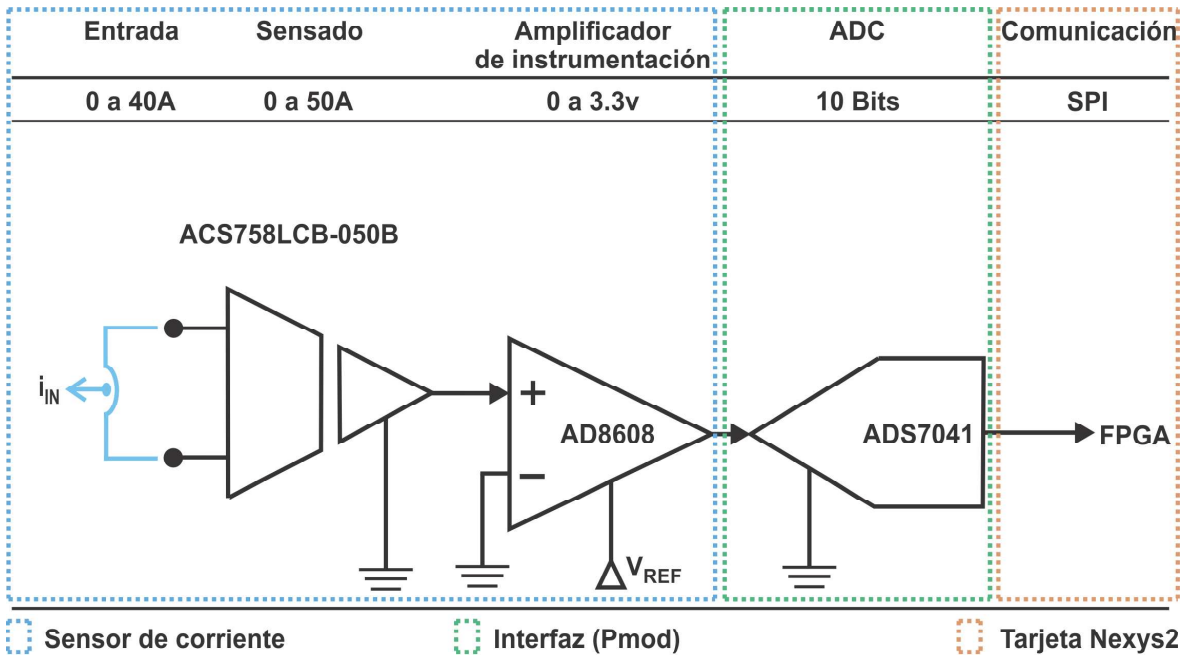


Figura A.9: Acondicionamiento de señal de corriente para procesarlo en el FPGA.

Apéndice B

Interfaz gráfica de usuario

El diseño de la interfaz gráfica de usuario (GUI) en LabVIEW la cual se muestra en la Figura B.1, consistió en realizar tanto la lectura y escritura de los datos recibidos mediante la comunicación UART, en cuestión de escritura se envía un Byte por parte de la interfaz con el carácter de punto a la tarjeta Nexys2, el cual le indica al sub-módulo CONTROL_ENABLE del módulo de comunicación UART (ver Figura 4.25) que está lista para recibir información, seguido de esto se realiza la adquisición de las palabras de 32 bits dividido en 4 Bytes, para realizar correctamente la representación de los datos recibidos en la interfaz, se colocan en un bus de datos de LabVIEW® para poder operar sobre los caracteres recibidos, en donde se concatena de cuatro Bytes por palabra como se muestra en la Figura B.2 para poder reconstruir cada palabra de 32 bits recibidas por parte del FPGA y así poder mostrarlos de forma gráfica al usuario.

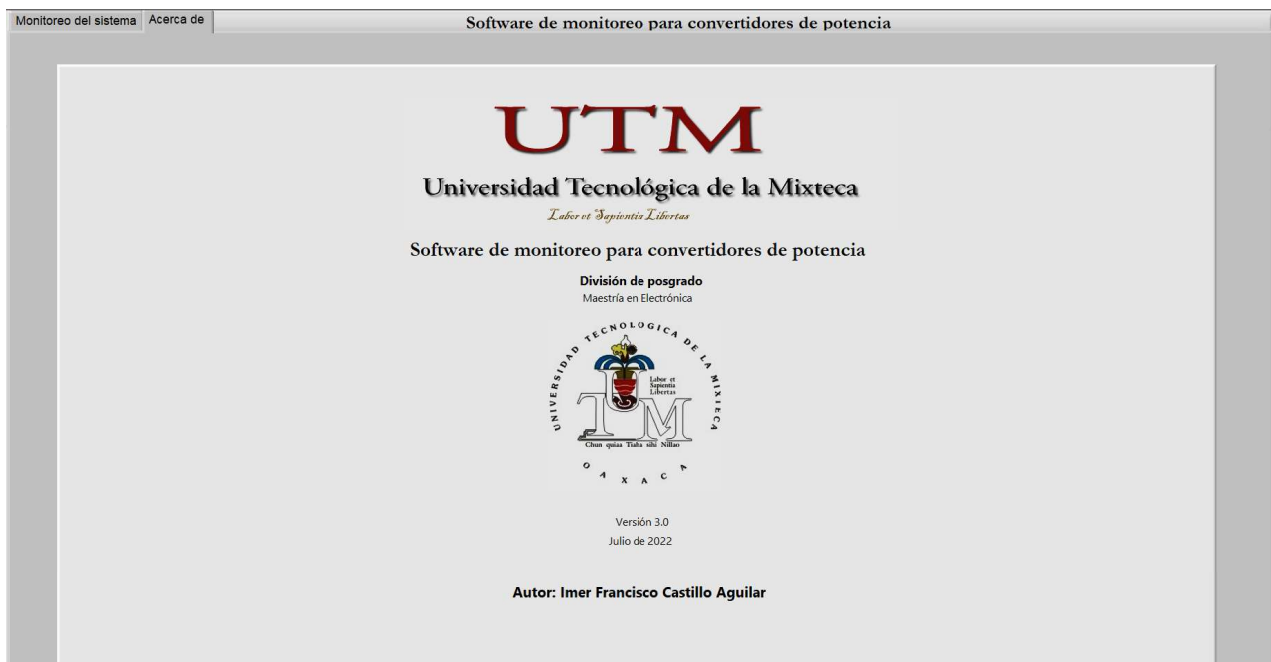


Figura B.1: Acerca de la interfaz diseñada en LabVIEW.

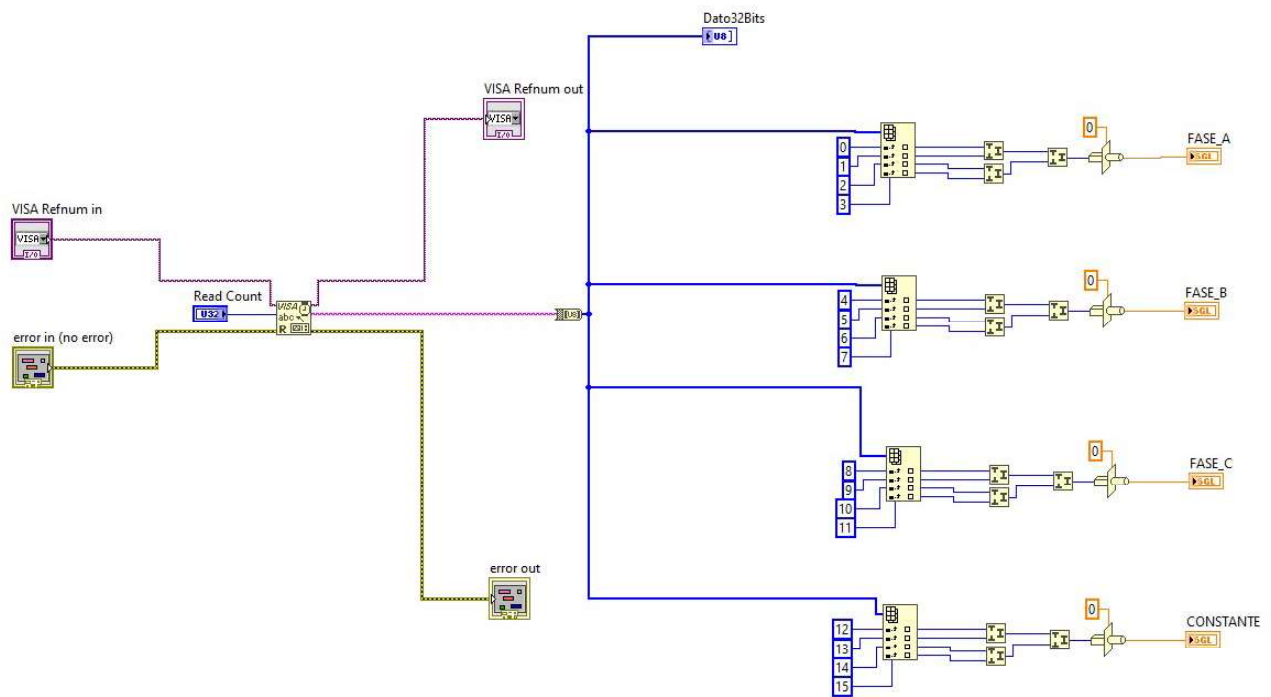


Figura B.2: Módulo de lectura de la interfaz.

Apéndice C

Artículo



CONTROL DE VOLTAJE DE UN RECTIFICADOR ACTIVO TRIFÁSICO PWM HACIENDO USO DE UN FPGA

VOLTAGE CONTROL OF A THREE-PHASE PWM ACTIVE RECTIFIER USING AN FPGA

Ing. Imer Francisco Castillo Aguilar ¹ , Dr. José Antonio Juárez Abad ² 

Resumen

En el presente trabajo se aborda el diseño de un controlador para la salida de voltaje de un rectificador activo trifásico PWM con un factor de potencia cercano a la unidad haciendo uso de un FPGA, por lo tanto se propone un control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés); para garantizar un factor de potencia cercano a la unidad y asegurar la calidad de la energía en la conversión, se debe implementar un método de sincronía entre la fuente de alimentación y el rectificador activo trifásico PWM, se optó por utilizar el método de sincronía SRF-PLL, debido a que la fuente de alimentación es balanceada, el SRF-PLL proporciona una estimación rápida y precisa del ángulo de fase. El procesamiento para las operaciones aritméticas del algoritmo de sincronía, modulador y controlador fueron implementados en una tarjeta de desarrollo basada en un FPGA. Con el fin de minimizar el uso de los recursos lógicos del dispositivo reconfigurable, se realizó un proceso de optimización del flujo de datos, para cada uno de los algoritmos a implementar. Todos los módulos diseñados siguen el formato de precisión simple de 32 bits. En las pruebas de lazo cerrado, ante un voltaje de referencia deseado se aplicaron cambios de carga para verificar que el controlador sea lo suficientemente robusto. Así mismo, se llevaron a cabo pruebas de calidad de la energía en la fuente de alimentación de CA, obteniendo valores del factor de potencia cercanos a la unidad.

Palabras clave: Rectificador activo trifásico, Energía eólica, FPGA, SRF-PLL, ESEDPOF, Controlador, PWM.

Abstract

In the present work, the design of a controller for the voltage output of a PWM three-phase active rectifier with a power factor close to unity is addressed using an FPGA, therefore, a feedback control of the passive output is proposed. of the dynamics of the exact static error (ESEDPOF); In order to guarantee a power factor close to unity and ensure the quality of the energy in the conversion, a synchronization method must be implemented between the power supply and the PWM three-phase active rectifier, it was decided to use the SRF-PLL, because the power supply is balanced, the SRF-PLL provides a fast and accurate estimation of the phase angle. The processing for the arithmetic operations of the sync algorithm, modulator, and controller were implemented on an FPGA-based development board. In order to minimize the use of the logical resources of the reconfigurable device, a data flow optimization process was carried out for each of the algorithms to be implemented. All designed modules follow the 32-bit single-precision format. In the closed-loop tests, at a desired reference voltage, load changes were applied to verify that the controller is robust enough. Likewise, power quality tests were carried out on the AC power supply, obtaining power factor values close to unity.

Keywords: Three-phase active rectifier, Wind energy, FPGA, SRF-PLL, ESEDPOF, Controller, PWM.

¹ Maestría en Electrónica, Opción: Sistemas Inteligentes Aplicados, Universidad Tecnológica de la Mixteca, México, e-mail: imercastillo26@gmail.com

² Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, México, e-mail: abad@mixteco.utm.mx

1. Introducción

Existen diversas formas de aprovechar la energía producida por los sistemas de energía renovables, la primera de ellas es almacenar la energía en bancos de baterías, para posteriormente realizar la conversión CD/CA y de esta manera poder usarla como fuente de alimentación para un sistema monofásico o trifásico, otro enfoque consiste en interconectar el generador de energía con la red eléctrica, por lo que se debe contar con un método de sincronía.

Los rectificadores pasivos o no controlados tienen dos configuraciones por el número de fases que emplean: monofásico y trifásico, se basan en puentes de diodos, se comportan como cargas no lineales, presentan corrientes armónicas en la red de suministro eléctrico e incrementan el componente reactivo donde se conectan [1]. Por otro lado, los rectificadores activos tienen varias ventajas sobre los rectificadores pasivos: la controlabilidad, factor de potencia cercano a la unidad, estabilidad en el voltaje a la salida del rectificador, entre otras, las cuales se encuentran descritas ampliamente en [2,3]. El rectificador activo al trabajar con un método de sincronía, actúa como una interfaz entre la fuente trifásica de CA y la carga, permite poner en fase el voltaje de la fuente, al realizar lo anterior se garantiza el máximo aprovechamiento de la potencia absorbida de la red eléctrica, en otras palabras, el rectificador activo trifásico PWM tendrá un comportamiento similar al que provoca una resistencia, es decir el factor de potencia (FP) es unitario o muy cercano a la unidad. En la Figura 1 se muestra la topología general de un rectificador del tipo activo.

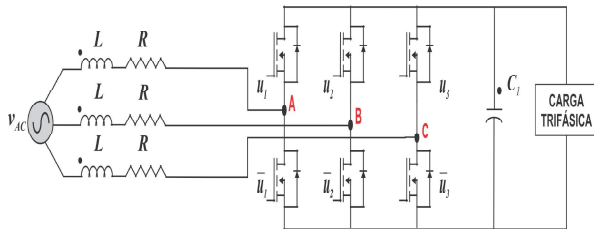


Figura 1. Topología general de un rectificador activo.

Los algoritmos de control empleados en los sistemas reales se pueden implementar digitalmente de dos maneras: con un enfoque paralelo en su ejecución, principalmente usados para la solución de algoritmos que demanda un alto costo computacional, donde se emplean FPGAs o sistema en chip (SOCs, por sus siglas en inglés); existen aquellos que cuentan con un enfoque secuencial de ejecución, representados por microcontroladores y DSPs. La elección de uno u otro depende principalmente de las propiedades del algoritmo

a procesar y de la velocidad de ejecución requerida [4]. En este trabajo se eligió trabajar con un FPGA, debido a su flexibilidad y el hardware con el que cuenta.

2. Descripción del sistema

Se implementa un controlador por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOF, por sus siglas en inglés), se integra el método de sincronía SRF-PLL, se emplea una tarjeta de desarrollo basada en un FPGA, con el fin de implementar los módulos de sincronía, modulador y controlador. En la Figura 2, se muestra el esquema del sistema propuesto, esta incluye las transformadas de Park y Clarke, además de módulos de decodificación de señales provenientes de los sensores de voltaje y corriente.

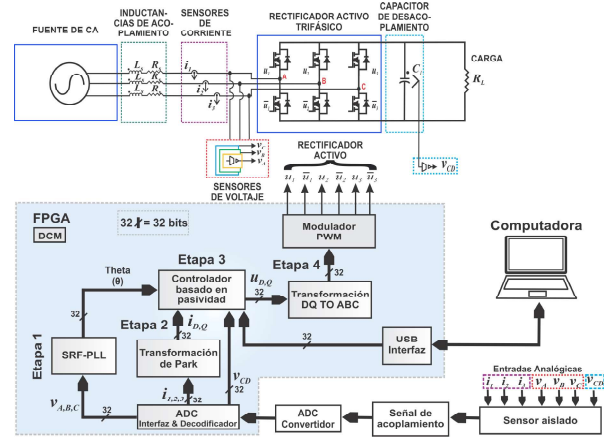


Figura 2. Esquema general del sistema propuesto.

3. Metodología: Fase 1

La metodología a emplearse en este trabajo se divide en dos fases, en la primera fase se realizará la formulación del controlador ESEDPOF y el análisis de sus propiedades matemáticas [5].

3.1. Modelo promedio del rectificador activo trifásico PWM

De acuerdo al circuito eléctrico mostrado en la Figura 3 del rectificador activo trifásico PWM, al cual se aplican las leyes de voltaje y corriente de Kirchhoff, se obtiene el siguiente modelo promedio del convertidor mostrado en la ecuación (1).

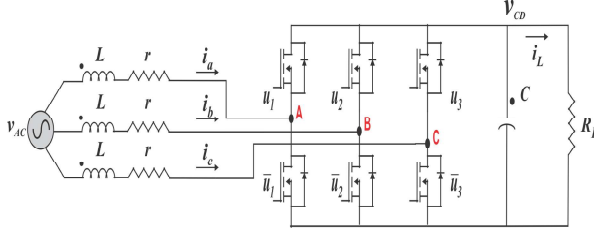


Figura 3. Rectificador Activo Trifásico PWM.

$$\begin{aligned}
 L \frac{di_a}{dt} &= -u_1 V_{CD} - r i_a + V_a \\
 L \frac{di_b}{dt} &= -u_2 V_{CD} - r i_b + V_b \\
 L \frac{di_c}{dt} &= -u_3 V_{CD} - r i_c + V_c \\
 C \frac{dV_{CD}}{dt} &= u_1 i_a + u_2 i_b + u_3 i_c - \frac{V_{CD}}{R_L}
 \end{aligned} \quad (1)$$

Donde $V_1 = V \cos(\omega t)$, $V_2 = V \cos(\omega t - \frac{2\pi}{3})$, $V_3 = V \cos(\omega t + \frac{2\pi}{3})$, representan los voltajes de CA externos balanceados de la fuente trifásica de CA. Las entradas promedio u_{av} que representan el cambio de acción en los IGBTs satisface $u_{av} \in [-1, 1]$, r es la resistencia parasita del inductor L , V_{CD} es el voltaje en el capacitor C , i_a, i_b e i_c son las corrientes de fase respectivamente y R_L es la resistencia de carga del rectificador. En este trabajo se optó por trabajar el sistema en el marco rotatorio, por lo que se realizaron las transformaciones correspondientes para pasar el sistema trifásico del dominio del tiempo de un marco abc en dos componentes (dq) a un marco rotatorio ortogonal.

Por lo que se recurre a la transformada de Park, dicha transformación se realiza mediante la matriz mostrada en la ecuación (2):

$$T = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ -\sin(\omega t) & -\sin(\omega t - \frac{2\pi}{3}) & -\sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (2)$$

Se tiene la siguiente relación entre la transformada ABC a dq:

$$X_{abc} = T^{-1} X_{dq0} \quad (3)$$

Aplicando las ecuaciones (2) y (3), en el sistema de ecuaciones (1), se obtiene la representación en el

marco dq del rectificador activo trifásico PWM.

$$\begin{aligned}
 \frac{di_d}{dt} &= \omega i_q - \frac{1}{L} u_d V_{CD} - \frac{r}{L} i_d + \frac{1}{L} v_d \\
 \frac{di_q}{dt} &= -\omega i_d - \frac{1}{L} u_q V_{CD} - \frac{r}{L} i_q + \frac{1}{L} v_q \\
 \frac{dV_{CD}}{dt} &= \frac{3}{2C} (u_d i_d + u_q i_q) - \frac{V_{CD}}{R_L C}
 \end{aligned} \quad (4)$$

Si se multiplica la ecuación (4) por los parámetros L y C , para poder llevar al sistema de ecuaciones en su forma pasiva.

$$\begin{aligned}
 L \frac{di_d}{dt} &= L \omega i_q - u_d V_{CD} - r i_d + v_d \\
 L \frac{di_q}{dt} &= -L \omega i_d - u_q V_{CD} - r i_q + v_q \\
 C \frac{2dV_{CD}}{3dt} &= (u_d i_d + u_q i_q) - \frac{2V_{CD}}{3R_L}
 \end{aligned} \quad (5)$$

Una vez obtenido el modelo del rectificador activo trifásico PWM en el marco rotatorio ortogonal (dq), se procede a realizar el análisis para el cálculo del controlador ESEDPOF.

3.2. Análisis del rectificador activo trifásico PWM visto como un sistema pasivo

En este punto se deben verificar las propiedades del modelo dinámico del sistema RAT-PWM, el cual debe ser un sistema pasivo-disipativo para poder proponer una ley de control ESEDPOF. El modelo no lineal del sistema descrito en la ecuación (5), se representa en su forma pasivo-disipativo de manera matricial:

$$A \dot{x} = j(u_{av})x - \mathfrak{R}x + \eta \quad (6)$$

Donde la matriz simétrica $A \in \mathbb{R}^{3 \times 3}$ es constante y definida positiva, debido a que la matriz $A = A^T > 0$, $x = (i_d, i_q, V_{CD}) \in X \subset \mathbb{R}^3$ es el vector de estado, $j(u_{av}) \in \mathbb{R}^{3 \times 2}$ es la matriz antisimétrica donde:

$$j(u_{av}) = J_0 + \sum_{i=0}^m J_i u_{i,av} \quad (7)$$

La matriz J_i , donde $i = 0, 1, \dots, m$ son matrices antisimétricas constantes, $u_{i,av} \in \mathbb{R}^2$ donde $i = 1, 2$ son las entradas de control promedio, Nótese que para los valores arbitrarios de $u_{1,av}$, $u_{2,av}$ para la matriz $j(u_{av})$ es antisimétrica, debido a que $J^T(u_{av}) = -J(u_{av})$, $\mathfrak{R} \in \mathbb{R}^{3 \times 3}$ es la matriz simétrica de disipación de energía, la cual debe cumplir con ser definida positiva es

decir $\mathfrak{R} = \mathfrak{R}^T \geq 0$ y $\eta \in \mathbb{R}^3$ es un vector constante que representa a las fuentes de alimentación del rectificador activo trifásico.

La ecuación (6) del sistema en su forma pasiva posee algunas propiedades, por lo que se hará uso de una de ellas a continuación, con la finalidad de facilitar el diseño de control.

Propiedad 1.1 [6], la matriz conservativa $j(u_{av})$ satisface:

$$e^T j(u_{av})e = 0, \quad \forall u_{av} \in \mathbb{R}^2, e \in \mathbb{R}^n \quad (8)$$

Por lo tanto, se concluye que es el sistema del RAT-PWM si es un sistema pasivo-disipativo, por lo que se puede llevar a una representación pasiva y aplicar la técnica de control ESEDPOF.

3.2.1. Diseño de controlador multivariable ESEDPOF

El sistema de ecuaciones (5) se puede representar en su forma pasiva como se muestra en la ecuación (9):

$$A\dot{x} = j(u_{av})x - \mathfrak{R}x + \eta \quad (9)$$

donde

$$A = \begin{bmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{bmatrix} \quad j(u_{av}) = \begin{bmatrix} 0 & \omega L & -u_d \\ -\omega L & 0 & -u_q \\ u_d & u_q & 0 \end{bmatrix}$$

$$\mathfrak{R} = \begin{bmatrix} r & 0 & 0 \\ 0 & r & 0 \\ 0 & 0 & \frac{2}{3R_L} \end{bmatrix} \quad \eta = \begin{bmatrix} v_d \\ v_q \\ 0 \end{bmatrix}$$

Derivado de lo anterior, la representación pasiva del rectificador activo (9), se presenta a continuación:

$$\begin{bmatrix} L & 0 & 0 \\ 0 & L & 0 \\ 0 & 0 & \frac{2}{3}C \end{bmatrix} \begin{pmatrix} \dot{i}_d \\ \dot{i}_q \\ \dot{V}_{CD} \end{pmatrix} = \begin{bmatrix} 0 & \omega L & -u_d \\ -\omega L & 0 & -u_q \\ u_d & u_q & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ V_{CD} \end{bmatrix} - \begin{bmatrix} r & 0 & 0 \\ 0 & r & 0 \\ 0 & 0 & \frac{2}{3R_L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ V_{CD} \end{bmatrix} + \begin{bmatrix} v_d \\ v_q \\ 0 \end{bmatrix}$$

La dinámica de referencia deseada, a partir de la representación pasiva del sistema es:

$$A\dot{x}^* = j(u_{av}^*)x^* - \mathfrak{R}x^* - \eta \quad (10)$$

El cálculo de la dinámica del error de estabilización, se realiza a partir de la resta de (9) con (10), se obtiene que:

$$A(\dot{x} - \dot{x}^*) = j(u_{av})x - j(u_{av}^*)x^* - \mathfrak{R}(x - x^*) + \eta - \eta \quad (11)$$

La propiedad mostrada en la ecuación (12), es una aproximación lineal por series de Taylor al término $j(u_{av})x - j(u_{av}^*)x^*$ con respecto a las entradas de control, por lo que se debe sumar un cero en la ecuación (11), para poder aplicarla.

$$j(u_{av})x - j(u_{av}^*)x^* = \frac{\partial j(u_{av})}{d(u_{av})} e_u \quad (12)$$

Al aplicar la propiedad (12) en la ecuación (11), se obtiene que:

$$A(\dot{x} - \dot{x}^*) = j(u_{av})x - j(u_{av}^*)x^* + j(u_{av})x^* - j(u_{av})x^* - \mathfrak{R}(x - x^*) \quad (13)$$

Definiendo la dinámica de error de regulación como:

$$\begin{aligned} \dot{e} &= \dot{x} - \dot{x}^* \\ e &= x - x^* \end{aligned}$$

Al reescribir la ecuación (13) en términos del error, se obtiene lo siguiente:

$$A\dot{e} = j(u_{av})e + (j(u_{av}) - j(u_{av}^*))x^* - \mathfrak{R}e \quad (14)$$

El error promedio de la entrada de control se define como $e_{u_{av}} = u_{av} - u_{av}^*$, debido a la linealidad de la ecuación (14), la expresión $j(u_{av})x - j(u_{av}^*)x^*$, se puede escribir como:

$$j(u_{av})x - j(u_{av}^*)x^* = \underbrace{\frac{\partial j(u_{av})}{d(u_{av})}}_{=:j} \Big|_{u_{av}=u_{av}^*} e_{u_{av}} \quad (15)$$

Por lo anterior, la ecuación (7) puede escribirse como:

$$\sum_{i=1}^m j_i(u_{i,av} - u_{i,av}^*) = \sum_{i=1}^m j_i e_{i,u_{av}} \quad (16)$$

Sustituyendo la ecuación (16) en la ecuación (14), se obtiene:

$$\begin{aligned} A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \sum_{i=1}^m j_i e_{i,u_{av}} x^* \\ A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \underbrace{[(j_1 x^*, \dots, j_m x^*)]}_{=: \bar{B}} e_{i,u_{av}} \\ A\dot{e} &= j(u_{av})e - \mathfrak{R}e + \bar{B} e_{i,u_{av}} \end{aligned} \quad (17)$$

Se propone la ley de control por retroalimentación de la salida pasiva del error, esta inyecta más términos de disipación al sistema a través de una matriz de acoplamiento. Se propone la siguiente función de Lyapunov:

$$H(e) = \frac{1}{2} e^T A e > 0 \quad (18)$$

Donde se tiene que la deriva de $\dot{H}(e) = e^T A \dot{e}$. La simetría de la matriz A y la antisimetría de la matriz $J(u_{av})$, para cualquier u_{av} , implica que :

$$\dot{H}(e) = e^T A \dot{e} = -e^T \mathfrak{R} e + e^T \bar{B} e_{u_{av}} \quad (19)$$

Sea una matriz γ constante definida positiva, el error de la entrada de control u_{av} en la ecuación (19) puede ser especificada convenientemente de la siguiente manera:

$$e_{u_{av}} = u_{av} - u_{av}^* = -\gamma \bar{B}^T e \quad (20)$$

La ecuación (20) es el controlador de retroalimentación de la salida pasiva de la dinámica del error estático (ESEDPOF, por sus siglas en inglés), con la finalidad de diseñar un controlador que regule el voltaje a la salida del sistema RAT-PWM y logre la estabilidad asintótica en la referencias de corriente y voltaje deseados (i_d , i_q y V_{CD}). Se propone que:

$$\begin{aligned} \dot{H}(e) &= -e^T \mathfrak{R} e - e^T \bar{B} \gamma \bar{B}^T e \\ \dot{H}(e) &= -e^T \underbrace{(\mathfrak{R} - \bar{B} \gamma \bar{B}^T)}_{=: \hat{R}} e \leq 0 \end{aligned} \quad (21)$$

Donde la matriz γ propuesta es definida positiva y simétrica, por otro lado se tiene que la matriz \hat{R} propuesta en la ecuación (21) está dada por:

$$\hat{R} = \mathfrak{R} - \bar{B} \gamma \bar{B}^T \quad (22)$$

A partir del criterio de Sylvester, se verifica que la matriz $\hat{R} \geq 0$, es decir es una matriz semi definida positiva y por lo tanto cumple con la condición de acoplamiento de disipación del sistema de retroalimentación [7], siempre que la única solución sea el origen, es decir, a través del teorema de invarianza de LaSalle. La dinámica del error de (14) en lazo cerrado tiene un único punto de equilibrio en el origen y este punto de equilibrio es asintóticamente estable.

A partir de la ecuación (20), la ley de control de retroalimentación esta dada por:

$$\sum_{i=1}^{m=2} e_{u_{i,av}} = - \begin{pmatrix} \gamma_1 & 0 \\ 0 & \gamma_2 \end{pmatrix} \begin{pmatrix} -V_{CD}^* & 0 \\ 0 & -V_{CD}^* \\ i_d^* & i_q^* \end{pmatrix}^T \begin{pmatrix} e_{i_d} \\ e_{i_q} \\ e_{V_{CD}} \end{pmatrix} \quad (23)$$

Desarrollando las operaciones de la ecuación (23), se obtiene el siguiente resultado:

$$\begin{aligned} u_d &= u_d^* + \gamma_1 V_{CD}^* (i_d - i_d^*) - \gamma_1 i_d^* (V_{CD} - V_{CD}^*) \\ u_q &= u_q^* + \gamma_2 V_{CD}^* (i_q - i_q^*) - \gamma_2 i_q^* (V_{CD} - V_{CD}^*) \end{aligned} \quad (24)$$

Los valores u_d^* , u_q^* y V_{CD}^* son valores de referencia o deseados, $\gamma_1 = \gamma_2$ en un intervalo de $[0, 1]$.

3.2.2. Cálculo de las señales de referencia deseadas

El cálculo de las señales de las referencia deseadas u_d^* , u_q^* , i_d^* , i_q^* y V_{CD}^* , las cuales forman parte de la ley de control de retroalimentación, se realiza mediante el cálculo de los puntos de equilibrio de la ecuación (5), teniendo en cuenta que el sistema es balanceado, se obtiene el siguiente sistema de ecuaciones haciendo la dinámica cero:

$$0 = \omega L i_q^* - u_d^* V_{CD}^* - r i_d^* + V_d \quad (25)$$

$$0 = -\omega L i_d^* - u_q^* V_{CD}^* \quad (26)$$

$$0 = u_d^* i_d^* - \frac{2}{3} \frac{V_{CD}^*}{R_L} \quad (27)$$

Debido al cambio de marco de referencia de ABC a dq la corriente $i_q = 0$ y el voltaje $V_q = 0$, por lo que:

$$i_q^* = 0 \quad (28)$$

De la ecuación (25) se despeja u_d^* , tomando la siguiente consideración, debido a que r es una resistencia parásita del inductor L , $r = 0$, por lo tanto se obtiene que:

$$u_d^* = \frac{V_d}{V_{CD}^*} \quad (29)$$

De la ecuación (26) se despeja u_q^* , donde se obtiene:

$$u_q^* = -\frac{\omega L i_d^*}{V_{CD}^*} \quad (30)$$

De la ecuación (27) se despeja i_d^* , por lo que:

$$i_d^* = \frac{2}{3} \frac{V_{CD}^*}{R_L u_d^*} \quad (31)$$

Sustituyendo la u_d^* de la ecuación (29) en la ecuación (31), se obtiene lo siguiente:

$$i_d^* = \frac{2}{3} \frac{V_{CD}^*}{R_L \left(\frac{V_d}{V_{CD}^*} \right)} = \frac{2V_{CD}^{*2}}{3R_L V_d} \quad (32)$$

Finalmente, si i_d^* de la ecuación (32) se sustituye en la ecuación (30), se obtiene que:

$$u_q^* = -\frac{\omega L \left(\frac{2V_{CD}^{*2}}{3R_L V_d} \right)}{V_{CD}^*} = -\frac{2\omega L V_{CD}^*}{3R_L V_d} \quad (33)$$

El valor de V_{CD}^* es la salida de regulación deseado del RAT-PWM, por lo que al quedar las demás señales de referencia en términos de está, se concluye con el cálculo de las señales de referencia. Las señales de referencia del RTA-PWM son:

$$\begin{aligned} i_q^* &= 0 \\ u_d^* &= \frac{V_d}{V_{CD}^*} \\ i_d^* &= \frac{2}{3} R_L \left(\frac{V_d}{V_{CD}^*} \right) = \frac{2V_{CD}^{*2}}{3R_L V_d} \\ u_q^* &= -\frac{\omega L \left(\frac{2V_{CD}^{*2}}{3R_L V_d} \right)}{V_{CD}^*} = -\frac{2\omega L V_{CD}^*}{3R_L V_d} \end{aligned}$$

4. Metodología: Fase 2

Esta fase de la metodología se realiza la implementación de los algoritmos de todos los módulos que integran el proyecto, en el FPGA.

4.1. Optimización gráfica del flujo de datos

En esta sección se abordará la optimización del flujo de datos de los diversos módulos utilizados en el RAT-PWM, con la finalidad de implementar los módulos de: administrador de reloj, adquisición de datos y decodificación, SRF-PLL, controlador ESEDPOF, modulador, transmisión UART y activación de interruptores, en una sola tarjeta de desarrollo y optimizar al máximo sus recursos lógicos, por lo que se debe obtener una representación gráfica de los módulos.

Se desarrolló una arquitectura empleando la metodología A3 (Algorithm Architecture Adequation, por sus siglas en inglés) empleada en [8] cuyo objetivo es vencer las limitaciones de recursos lógicos de un FPGA de bajo costo. En la Figura 4 se muestra la arquitectura propuesta.

A continuación se presenta a modo de ejemplo la estructura del controlador ESEDPOF la cual se muestra en la Figura 5, el diagrama de flujo de datos (ver Figura 6) y la máquina de estados implementado en el FPGA del lado derecho de la Figura 6. Donde se hace uso de registros con el fin de poder reutilizar los operadores aritméticos de: multiplicación, suma y resta en el proceso de obtención de resultados, gracias a que en dichos registros se realiza el respaldo de los resultados de los operadores aritméticos temporalmente. Esta estructura de optimización gráfica del flujo de datos se realizó para todos los módulos implementados en el FPGA (ver Figura 4).

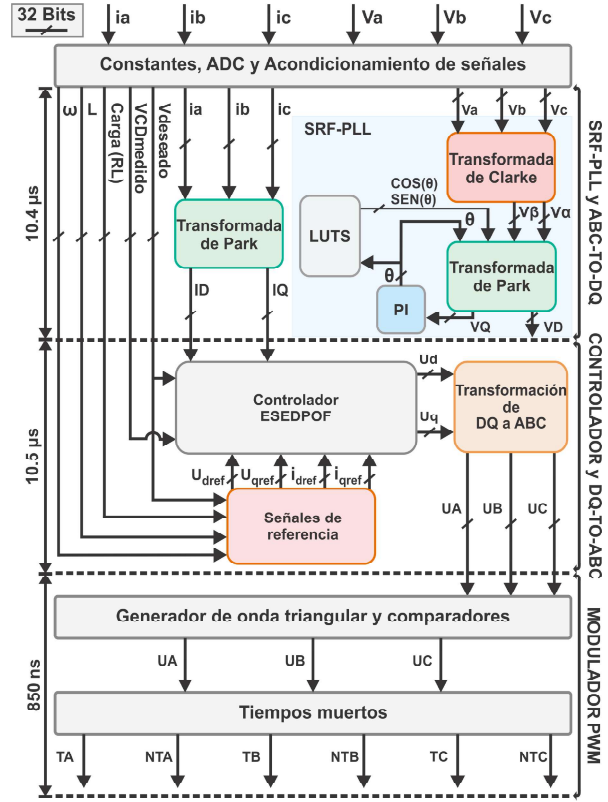


Figura 4. Arquitectura diseñada.

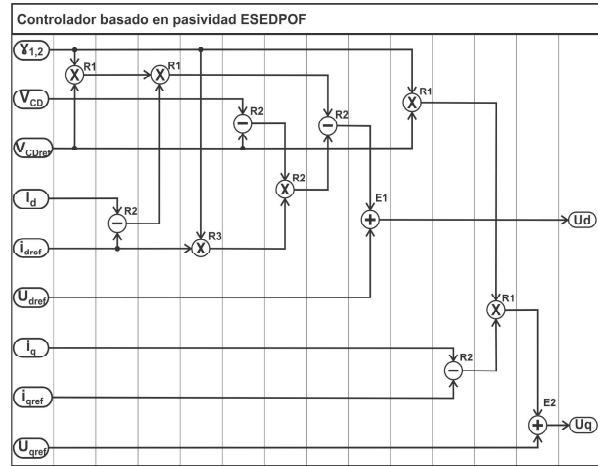


Figura 5. Estructura del controlador ESEDPOF.

En la Figura 6 se observa la secuencia con la que se ejecutan los operadores aritméticos, los cuales se reutilizan gracias a los multiplexores y registros implementados en el módulo.

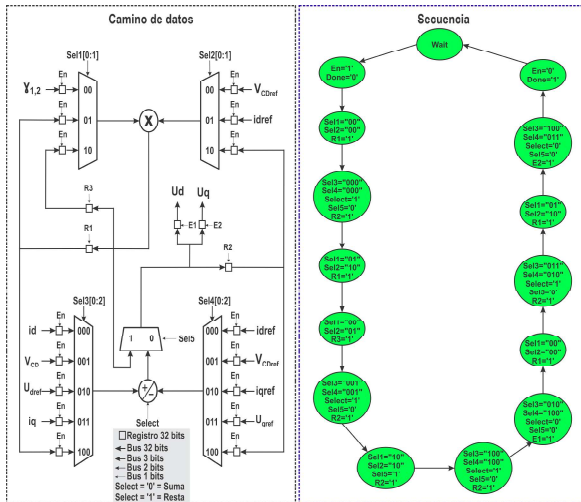


Figura 6. Diagrama de flujo de datos y máquina de estados para el control del módulo ESEDPOF.

4.2. Codificación HDL

Siguiendo con la metodología, los algoritmos se pasan a código en lenguaje VHDL, en donde las transmisiones de los datos son manipuladas por las máquinas de estados mencionadas anteriormente, los cuales son finitos y síncronas a la señal de reloj de la tarjeta.

4.3. Implementación y validación experimental en FPGA

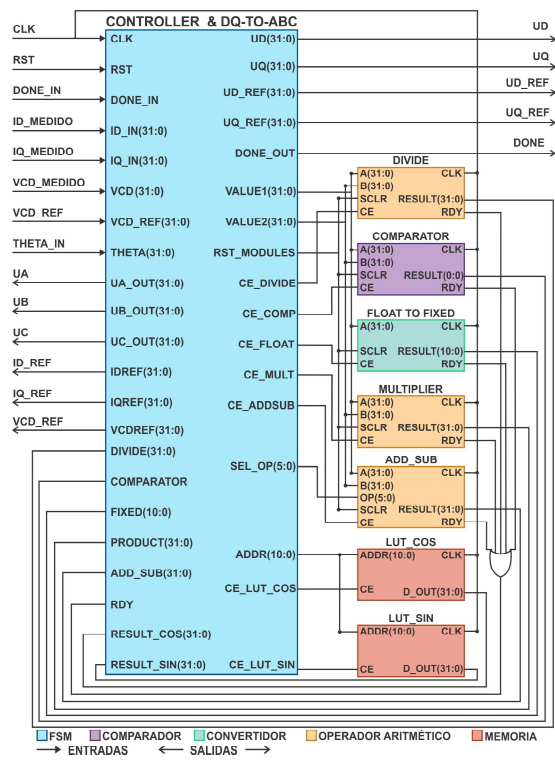


Figura 7. Módulo ESEDPOF y DQ-TO-ABC.

Con la ayuda del software ISE Desing Suite que facilita el fabricante de la tarjeta de desarrollo, se llevó a cabo la implementación de los módulos para cumplir con el objetivo de la investigación, poder regular el voltaje a la salida del RTA-PWM, el mapeo de las funciones resultantes, colocación y ruteo. Se realizó la integración de todo el sistema, se llevaron a cabo pruebas de rendimiento y se ajustaron algunos parámetros para poder obtener los resultados deseados. En la figura 7 se muestra la implementación de controlador ESEDPOF en el FPGA a modo de ejemplo, debido a que esto se realizó de igual forma para los módulos de: SRF-PLL, transformada de Park, decodificación de señales de corriente y voltaje.

4.3.1. Uso de recursos lógicos de la tarjeta Nexys 2

Para evaluar el desempeño de la implementación de los módulos de sincronía, transformadas, control, modulador y comunicación en el FPGA, se presenta un resumen en la Tabla 1 del consumo de los recursos lógicos que fueron necesarios para poder implementar el proyecto en la tarjeta Nexys 2, los datos mostrados en la Tabla 1 se obtuvieron del software de desarrollo Xilinx ISE 14.7. En la Tabla 1 se muestran los elementos de diseño principales como: Flip Flops, LUTs, Elementos embebidos (BRAM, Slices), Búfers, Multiplicadores, DCMs, entradas y salidas utilizadas en la tarjeta Nexys 2.

Tabla 1. Consumo de hardware en la tarjeta Nexys 2.

Recursos de Hardware	Usado	Disponible	Utilización
Slice Flip Flops	9,222	17,344	50%
LUTs	10,704	17,344	61%
Occuped Slices	7,536	8,672	86%
IOBs	41	250	16%
16-KByte RAM	20	28	71%
BUFGMUXs	3	24	12%
DCMs	1	8	12%
MULT18X18SIOs	16	28	57%

Por lo mostrado en la Tabla 1 se concluye que: la optimización del flujo de datos se ve reflejado en el porcentaje de hardware utilizado para la implementación de todo el sistema en el FPGA, debido a que no se consumió más del 86% de la lógica dispuesta en la tarjeta de desarrollo Nexys 2.

5. Plataforma experimental

En la Figura 8 se muestra la plataforma experimental construida con el fin de realizar las pruebas, para este trabajo se diseñó un banco de pruebas que consta de tres tipos, las cuales se abordarán más adelante.

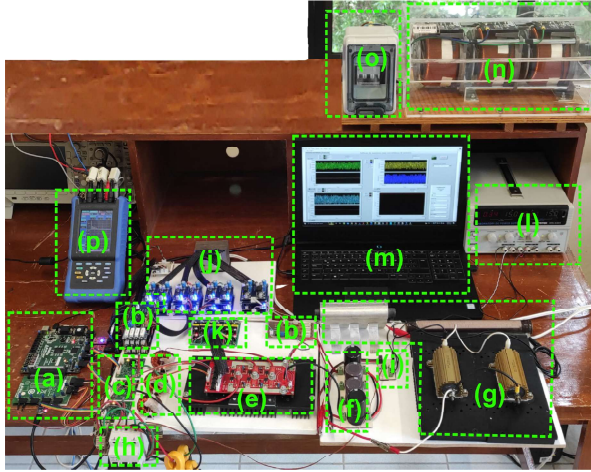


Figura 8. Plataforma de experimentación.

En la Tabla 2 se especifican cada uno de los segmentos que integran a la plataforma experimental así como el equipo utilizado en el mismo.

Tabla 2. Módulos y equipos del RAT-PWM.

(a)	Nexys 2 (Spartan 3E), Interfaces y Pmods	(i)	Switch2
(b)	Sensores de voltaje	(j)	Fuentes aisladas para sensores de voltaje
(c)	Sensores de corriente	(k)	Fuentes aisladas para sensores de corriente
(d)	Inductores	(l)	Fuente aislada para alimentar PC923 del Switch2
(e)	Rectificador trifásico	(m)	Computadora host
(f)	Banco de capacitores	(n)	Autotransformador trifásico o Variac
(g)	Carga	(o)	Switch de encendido del autotransformador
(h)	Switch1	(p)	HIOKI 3197 (Analizador de calidad de energía)

La Tabla 3 muestra a detalle los componentes que se utilizaron para la construcción del rectificador activo trifásico PWM en la etapa experimental.

Tabla 3. Componentes del rectificador activo trifásico PWM.

Componente	Descripción
3 Inductores	$L=1mH, r_L=1\Omega$
4 Capacitores electrolíticos	$2200\mu F, 250 V_{CD}$
6 Drivers de compuerta	PC923
6 IGBTs	FGH40N60SFDTU
6 Almohadillas termicas	Coefficiente de conductividad: $1,5 W / m \cdot k$
6 Diodos	SURD8530T4G-VF01
6 Resistencias	$10 \Omega, 1 Watt$
1 Disipador	Aluminio
6 Fuentes aisladas	$127V_{CA}/24V_{CD}$
9 Pares de conectores	JST-XH 2.54 mm
1 Terminal con 2 tornillos	TRT-02, Corriente máxima 10 Amperes

5.1. Resultados del rectificador activo trifásico PWM en estado estacionario

Las pruebas en estado estacionario se realizaron en un rango de 120 a 200 Volts, en donde se comparan los voltajes sensados a la salida del bus de CD contra el voltaje deseado solicitado al RAT-PWM.

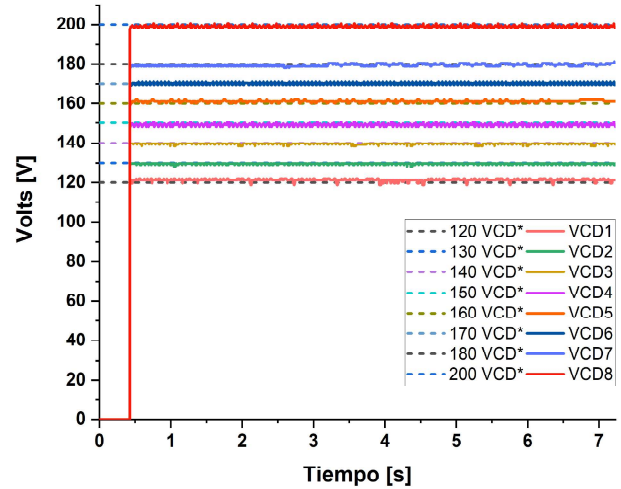


Figura 9. Respuesta de salida del bus de CD del rectificador activo trifásico PWM frente a los voltajes deseados.

5.2. Resultados del rectificador activo trifásico PWM ante cambios de carga en su salida

Se realizan el segundo tipo de prueba, por lo que se acondicionó un temporizador para realizar el cambio de carga de 150Ω a 84Ω durante 3 segundos, las pruebas se ajustaron para que dicho cambio suceda en el segundo doce de cada incremento del voltaje deseados, los incrementos de voltaje deseado que se realizaron fueron 8, esto se logró mediante un vector de 3 bits declarados en los interruptores deslizables de la tarjeta Nexys 2. En la Figura 10 se muestran todas las pruebas individuales realizadas para esta sección, se observa que a mayor voltaje deseado es mayor la caída del voltaje cuando se realiza el cambio de carga.

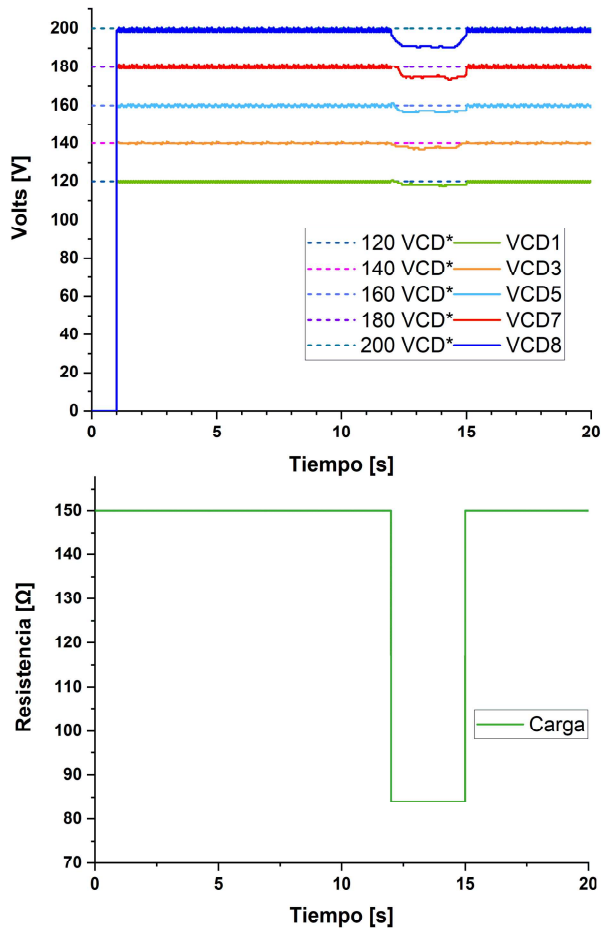


Figura 10. Respuesta del RAT-PWM ante cambio de carga de 150 Ω a 84 Ω a diferentes voltajes deseados.

La correspondencia que existe entre el voltaje deseado y la caída de voltaje que se presenta al momento de variar la carga, se debe a que el controlador ESED-POF fue diseñado para una carga específica la cual es de $RL=150 \Omega$, este valor al ser modificado en la planta experimental el controlador no identifica que el valor de la carga a cambiado.

6. Resultados de calidad de energía en la fuente trifásica de CA al conectar el RAT-PWM

En estas pruebas se utilizó el dispositivo HIOKI 3197-01 para realizar el análisis de calidad de energía. En los sistemas eléctricos es común encontrar que las señales tienen una cierta distorsión, cuando es pequeña dicha distorsión no ocasiona problemas en la operación de equipos y dispositivos. La norma IEEE-519 establece los límites permisibles de distorsión, dependiendo del voltaje de operación y de su influencia en el sistema. En México existe la especificación CFE L0000-45 denominada “Perturbaciones permisibles en las formas de onda de tensión y corriente del suministro de energía eléctrica” concerniente a la distorsión armónica

permisible. La Tabla 4 muestra los resultados obtenidos mediante el HIOKI 3197-01 de la prueba realizada en estado estacionario, con un voltaje deseado de 120 Volts a la salida del bus de CD del RAT-PWM.

Tabla 4. Resultados de calidad de energía del RAT-PWM

Fase	THDV %	THDi	Factor de potencia (FP)
A	1.8	2.4	0.97
B	1.7	2.2	0.96
C	1.6	2.3	0.99

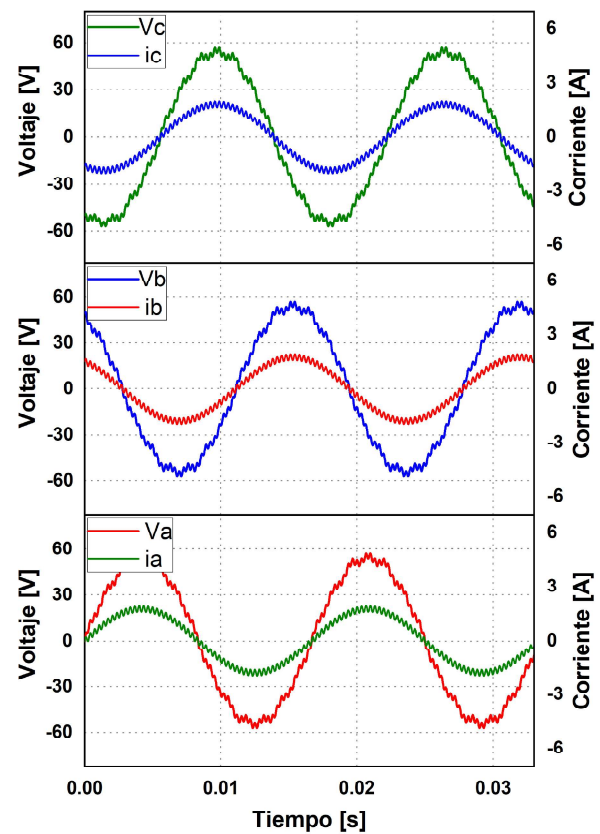


Figura 11. Voltajes y corrientes medidos con el HIOKI 3197-01 en la interfaz de la fuente de CA y RAT-PWM.

En la Figura 11 se observa que en cada una de las líneas de la fuente de CA, los voltajes y las corrientes están en fase al momento y después de acoplar el RAT-PWM, esto se debe a la aplicación del algoritmo de sincronía SRF-PLL, otorgándole al sistema un factor de potencia cercano a la unidad, de acuerdo a las mediciones realizadas con el HIOKI mostradas en la Tabla 4, el factor de potencia en la fuente de alimentación es muy cercano a la unidad.

En la Figura 11 se observa que en cada una de las fases del RAT-PWM los voltajes y las corrientes se encuentran en sincronía, esto se debe a la aplicación del algoritmo SRF-PLL, el cual logra mantener en fase cada una de las líneas de la fuente de alimentación de CA, otorgándole al sistema un factor de potencia cercano a la unidad.

7. Conclusiones

Una de las limitaciones del trabajo fue la lógica con la que se contaba en el FPGA, mediante la optimización del flujo de datos, estructuras y máquinas de estados desarrollados para cada uno de los módulos implementados en la tarjeta de desarrollo, fue posible integrar el proyecto en un solo FPGA; de igual forma el uso de las memorias ROM en el proyecto fue de utilidad contribuyendo al ahorro de recursos lógicos y tiempo de obtención del resultado, debido a que se guardaron datos precalculados en la memorias, la obtención de estos implican operaciones aritméticas, por lo que no se requirió ejecutar dichas operaciones y solo basto con acceder a la información almacenada en las memorias. Se concluye que es de suma importancia desarrollar estas tareas con el fin de optimizar los recursos lógicos del dispositivo programable.

Por los resultados obtenidos en la plataforma experimental, se observa que parte del buen funcionamiento del RAT-PWM se debe al método de sincronía SRF-PLL, el cual mantienen en fase al voltaje y corriente en cada una de las líneas de la fuente trifásica de CA, favoreciendo de está manera a la mejora del factor de potencia en la fuente de CA.

El controlador ESEDPOF diseñado e implementado en el FPGA tuvo un buen desempeño en estado estacionario logrando mantener el factor de potencia cercano a la unidad en la fuente de alimentación; el control realizado sobre el RAT-PWM superó las expectativas de simulación al variar la carga, sin embargo se requiere incorporar un observador o estimador para obtener un control más robusto del voltaje a la salida del RAT-PWM.

El factor de potencia y las distorsión armónica de cada una de las fases se midió en la plataforma experimental mediante un equipo de calidad de la energía de la marca HOIKI. Las mediciones indican que el sistema cumple con los los valores mínimos permisibles de distorsión armónica en voltaje y corriente, es decir apegado a la norma IEEE-519 y a la especificación

CFE L0000-45 en México; las cuales indican que la distorsión armónica total del sistema debe ser menor al 5 % del voltaje nominal y menor al 8 % del voltaje, respectivamente.

Referencias

- [1] F. H. M. Sarmiento *et al.*, “Técnicas de conversión ac/dc en sistemas monofásicos con factor de potencia unitario,” *Tecnura*, vol. 6, no. 12, pp. 31–41, 2003.
- [2] M. P. Kazmierkowski, R. Krishnan, and F. Blaabjerg, *Control in power electronics*. Elsevier, 2002, vol. 17.
- [3] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Bañuelos-Sánchez, and M. A. Contreras-Ordaz, “Fpga implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, 2018.
- [4] A. Hasanzadeh, C. S. Edrington, N. Stroupe, and T. Bevis, “Real-time emulation of a high-speed microturbine permanent-magnet synchronous generator using multiplatform hardware-in-the-loop realization,” *IEEE Transactions on Industrial Electronics*, vol. 61, no. 6, pp. 3109–3118, 2013.
- [5] E. Monmasson, L. Idkhajine, and M. W. Naouar, “Fpga-based controllers,” *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, 2011.
- [6] H. J. Sira-Ramirez and R. Silva-Ortigoza, *Control design techniques in power electronics devices*. Springer Science & Business Media, 2006.
- [7] A. P. Sandoval-García, J. L. Barahona-Avalos, J. Linares-Flores, and M. A. Contreras-Ordaz, “Control basado en pasividad de un rectificador multinivel monofásico sin transformador de aislamiento galvánico.”
- [8] M. Dagbagi, A. Hemdani, L. Idkhajine, M. W. Naouar, E. Monmasson, and I. Slama-Belkhdja, “Adc-based embedded real-time simulator of a power converter implemented in a low-cost fpga: Application to a fault-tolerant control of a grid-connected voltage-source rectifier,” *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 1179–1190, 2016.

Bibliografía

- [1] IEA, “Renewable power,” tech. rep., International Energy Agency, 2022. Available:<https://www.iea.org/reports/renewable-power>.
- [2] IEA, “Oil market report - june 2022,” tech. rep., International Energy Agency, 2022. Available:<https://www.iea.org/reports/oil-market-report-june-2022>.
- [3] SENER, “Actualización de estrategia de transición energética,” 2020. Available:https://dof.gob.mx/nota_detalle.php?codigo=5585823&fecha=07/02/2020&print=true.
- [4] SENER, “Reporte de avances de energías limpias,” tech. rep., Secretaría de Energía, 2020. Available:https://www.gob.mx/cms/uploads/attachment/file/610964/Cap10_-_Marco_Juridico_Reporte_Avance_de_Energias_Limpias_WEB.pdf.
- [5] A. T. Salas *et al.*, “Estado del arte de aerogeneradores de eje horizontal y vertical,” 2017.
- [6] H. Willstedt, M. Morante, and A. Ceña, “Anuario eólico 2020,” 2020. Available:https://www.aeolica.org/images/Publicaciones/ANUARIO-AEE-2020_Web.pdf.
- [7] M. V. Chasiguano Sanipatin, “Implementación de un módulo de pruebas a nivel de laboratorio para el estudio de turbinas eólicas de baja potencia,” 2021. Tesis de Licenciatura.
- [8] S. Björkvall, *Análisis de los resultados obtenidos a partir de pruebas experimentales realizadas en una microrred basada en energía solar fotovoltaicos, eólica y de almacenamiento en baterías*. PhD thesis, Universitat Politècnica de València, 2019.
- [9] F. H. M. Sarmiento *et al.*, “Técnicas de conversión ac/dc en sistemas monofásicos con factor de potencia unitario,” *Tecnura*, vol. 6, no. 12, pp. 31–41, 2003.
- [10] M. P. Kazmierkowski, R. Krishnan, and F. Blaabjerg, *Control in power electronics*, vol. 17. Elsevier, 2002.
- [11] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Bañuelos-Sánchez, and M. A. Contreras-Ordaz, “Fpga implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, 2018.

- [12] D. D. Campo Ossa, H. Vásquez Palacios, and J. E. Quintero Calvache, “Analysis and simulation of a three-phase controlled active front end rectifier (afe),” *Revista Ingenierías*, vol. 14, no. 27, pp. 257–272, 2015.
- [13] A. Moreno-Muñoz, *Power quality: mitigation technologies in a distributed environment*. Springer Science & Business Media, 2007.
- [14] A. Jiménez T., J. Cortés R., and C. Camargo B., “Teoría de control p-q para un compensador activo de armónicos implementada en una fpga,” *Ingenium Revista de la facultad de ingeniería*, vol. 13, no. 25, p. 62–70.
- [15] L. F. Gaitán Cubides, J. W. González Sánchez, and L. A. Giraldo Velazquez, “A review of real time digital simulations: Theory and applications for the energy transition,” *IEEE Latin America Transactions*, vol. 20, no. 10, pp. 2295–2307, 2022.
- [16] D. F. Ñ. Puente, “Diseño de una estrategia de control basada en el control predictivo generalizado aplicado a inversores fotovoltaicos para zonas aisladas,” 2022.
- [17] J. Alcalá, V. Cárdenas, E. Rosas, and C. Núñez, “Control system design for bi-directional power transfer in single-phase back-to-back converter based on the linear operating region,” in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1651–1658, IEEE, 2010.
- [18] A. Hasanzadeh, C. S. Edrington, N. Stroupe, and T. Bevis, “Real-time emulation of a high-speed microturbine permanent-magnet synchronous generator using multiplatform hardware-in-the-loop realization,” *IEEE Transactions on Industrial Electronics*, vol. 61, no. 6, pp. 3109–3118, 2013.
- [19] J. J. Rodríguez-Andina, M. D. Valdes-Pena, and M. J. Moure, “Advanced features and industrial applications of fpgas—a review,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853–864, 2015.
- [20] R.-R. A. Alberto and D.-G. J. Luis, “Evaluación experimental de técnicas de control de un rectificador trifásico modulado en ancho de pulso,” 2018.
- [21] H. B. Barranco, E. P. Sánchez, S. A. C. Moreno, F. Q. Morales, and D. A. F. Alonso, “Modelado y control de un rectificador de frente activo con validación hardware in the loop (modeling and control of an active front-end rectifier validated with hardware in the loop),” *Pistas Educativas*, vol. 43, no. 141, 2022.
- [22] S. Mao, T. Wu, X. Lu, J. Popovic, and J. A. Ferreira, “Three-phase active front-end rectifier efficiency improvement with silicon carbide power semiconductor devices,” in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1–8, 2016.
- [23] S. Nuilers and B. Neammanee, “Control performance of active damp lcl filter of three phase pwm boost rectifier,” in *ECTI-CON2010: The 2010 ECTI International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, pp. 259–263, 2010.

- [24] G. V. Ramos, A.-S. A. Luiz, and M. M. Stopa, "Assesment of viability of a low cost three-level boost rectifier in harmonic mitigation," in *2019 19th International Symposium on Electromagnetic Fields in Mechatronics, Electrical and Electronic Engineering (ISEF)*, pp. 1–2, 2019.
- [25] R. Heredia Barra, *Control pasivo de velocidad angular para un motor de CD de imanes permanentes impulsado por un rectificador monofásico activo*. PhD thesis, Universidad Tecnológica de la Mixteca.
- [26] A. V. Lillo and A. D. Skakun, "Development of the three-phase active voltage rectifier," in *2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus)*, pp. 1000–1003, 2021.
- [27] Z. Wu, C. Lu, Z. Zhou, and Y. Han, "Controller design and performance evaluation of the three-phase mmc for statcom and active rectifier applications," in *2017 2nd International Conference on Power and Renewable Energy (ICPRE)*, pp. 187–191, 2017.
- [28] H. He, Z. Li, T. Si, and L. Sun, "Research on digital phase locked method in pwm rectifier," in *2019 IEEE 8th Joint International Information Technology and Artificial Intelligence Conference (ITAIC)*, pp. 1866–1870, 2019.
- [29] L. Tarisciotti, C. Burgos, C. Garcia, and J. Rodriguez, "Finite control set model predictive control of parallel three-phase active rectifiers," in *2020 IEEE International Conference on Industrial Technology (ICIT)*, pp. 1071–1076, 2020.
- [30] Y.-s. Jiang, H.-m. Zhao, and D. Guo, "Direct power control of three phase pwm rectifier using model predictive control," in *2015 3rd International Conference on Computer and Computing Science (COMCOMS)*, pp. 45–48, 2015.
- [31] G. Wu, X. Zhou, S. Wang, J. Liang, B. Zhao, T. Wang, Y. Li, and Y. Yang, "Analytical research on the mechanism of the interaction between pll and inner current loop when vsc-hvdc connected to weak grid," *Proceedings of the CSEE: Power Transmission and Transformation Technologies*, 2018.
- [32] H. Wang, Y. Yang, X. Ge, Y. Zuo, Y. Yue, and S. Li, "Pll- and fl-based speed estimation schemes for speed-sensorless control of induction motor drives: Review and new attempts," *IEEE Transactions on Power Electronics*, vol. 37, no. 3, pp. 3334–3356, 2022.
- [33] M. Ugarte and A. Carlosena, "Performance trade-offs between type ii and type iii plls," in *2014 IEEE 11th International Multi-Conference on Systems, Signals & Devices (SSD14)*, pp. 1–5, 2014.
- [34] O. D. Guerrero Bermúdez, "Comparación entre diferentes tipos de pll para la estimación de frecuencia en una red eléctrica con generación eólica interconectada a un sistema de baja inercia," Master's thesis, Universidad Politécnica de Madrid, 2021.
- [35] C. Sandoval-Ruiz, "Modelo vhdl de control neuronal sobre tecnología fpga orientado a aplicaciones sostenibles," *Ingeniare. Revista chilena de ingeniería*, vol. 27, no. 3, pp. 383–395, 2019.

- [36] C. E. Sandoval-Ruiz, "Control de micro-redes de energía renovable a través de estructuras lfcfs reconfigurables en vhdl," vol. 18, pp. 71–86, 05 2020.
- [37] W.-H. Zhu, "Fpga logic devices for precision control: An application to large friction actuators with payloads," *IEEE Control Systems Magazine*, vol. 34, no. 3, pp. 54–75, 2014.
- [38] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. Prats, "The age of multilevel converters arrives," *IEEE industrial electronics magazine*, vol. 2, no. 2, pp. 28–39, 2008.
- [39] E. Monmasson, L. Idkhajine, and M. W. Naouar, "Fpga-based controllers," *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, 2011.
- [40] B. Wu, Y. Lang, N. Zargari, and S. Kouro, *Power conversion and control of wind energy systems*. John Wiley & Sons, 2011.
- [41] A. Tummala, R. K. Velamati, D. K. Sinha, V. Indraja, and V. H. Krishna, "A review on small scale wind turbines," *Renewable and Sustainable Energy Reviews*, vol. 56, pp. 1351–1371, 2016.
- [42] S. J. Chapman and E. Roza Castillo, *Máquinas eléctricas*. McGraw-Hill, 2005. 4ta Edición.
- [43] F. Shaikh and B. Joseph, "Simulation of synchronous reference frame pll for grid synchronization using simulink," pp. 1–6, 12 2017.
- [44] R. Teodorescu, M. Liserre, and P. Rodriguez, *Grid converters for photovoltaic and wind power systems*. John Wiley & Sons, 2011.
- [45] F. Xiao, L. Dong, L. Li, and X. Liao, "A frequency-fixed sogi-based pll for single-phase grid-connected converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1713–1719, 2017.
- [46] J. Yu, Y. Xu, Y. Cao, and J. Yu, "An improved dual second-order generalized integrator pll under non-ideal grid conditions," in *2016 35th Chinese Control Conference (CCC)*, pp. 8644–8648, 2016.
- [47] S. Golestan, J. M. Guerrero, and A. M. Abusorrah, "Maf-pll with phase-lead compensator," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 6, pp. 3691–3695, 2015.
- [48] F. Sevilmiş and H. Karaca, "Performance analysis of srf-pll and ddsrf-pll algorithms for grid interactive inverters," *International Advanced Researches and Engineering Journal*, vol. 3, no. 2, pp. 116–122, 2019.
- [49] M. Karimi-Ghartema, "Three-phase epll-i," 2014.
- [50] M. Karimi-Ghartema, *Enhanced phase-locked loop structures for power and energy applications*. John Wiley & Sons, 2014.

- [51] M. Karimi-Ghartema, “Structural extensions to 3epll-i and 3epll-ii,” 2014.
- [52] V. K. Arathy Rajeev, M. Rivera, and S. G. Kumar, “Investigation on passivity based control for electrical applications,” in *2017 CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)*, pp. 1–6, 2017.
- [53] H. J. Sira-Ramirez and R. Silva-Ortigoza, *Control design techniques in power electronics devices*. Springer Science & Business Media, 2006.
- [54] J. Linares-Flores, H. Sira-Ramirez, E. F. Cuevas-Lopez, and M. A. Contreras-Ordaz, “Sensorless passivity based control of a dc motor via a solar powered sepic converter-full bridge combination,” *Journal of Power Electronics*, vol. 11, no. 5, pp. 743–750, 2011.
- [55] H. Sira-Ramirez, “A general canonical form for feedback passivity of nonlinear systems,” *International Journal of Control*, vol. 71, no. 5, pp. 891–905, 1998.
- [56] E. Monmasson, L. Idkhajine, M. N. Cirstea, I. Bahri, A. Tisan, and M. W. Naouar, “Fpgas in industrial control applications,” *IEEE Transactions on Industrial informatics*, vol. 7, no. 2, pp. 224–243, 2011.
- [57] J. A. Restrepo, A. Bueno, C. Escalona, and J. A. Aller, “Modulación por ancho de pulso de vectores espaciales en un convertidor multinivel tipo cascada,” *Universidad, Ciencia y Tecnología*, vol. 15, pp. 19 – 28, 03 2011.
- [58] A. Myaing and V. Dinavahi, “Fpga-based real-time emulation of power electronic systems with detailed representation of device characteristics,” *IEEE transactions on Industrial Electronics*, vol. 58, no. 1, pp. 358–368, 2010.
- [59] R. Mayoral Lagunes, J. A. Juárez Abad, B. A. Aguilar López, J. Linares Flores, and J. L. Barahona Ávalos, “Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel,” *Ingenius. Revista de Ciencia y Tecnología*, no. 23, pp. 97–108, 2020.
- [60] J. Juárez-Abad, J. Linares-Flores, and M. Contreras-Ordaz, “Fpga-based level-shift pwm for an asymmetric multilevel trinary inverter,” in *2016 13th International Conference on Power Electronics (CIEP)*, pp. 161–165, IEEE, 2016.
- [61] A. P. Sandoval-Garcia, J. L. Barahona-Avalos, J. Linares-Flores, and M. A. Contreras-Ordaz, “Control basado en pasividad de un rectificador multinivel monofásico sin transformador de aislamiento galvánico,”
- [62] M. Dagbagi, A. Hemdani, L. Idkhajine, M. W. Naouar, E. Monmasson, and I. Slama-Belkhodja, “Adc-based embedded real-time simulator of a power converter implemented in a low-cost fpga: Application to a fault-tolerant control of a grid-connected voltage-source rectifier,” *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 1179–1190, 2016.