

UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA

**DISEÑO DE UN CONTROLADOR DE CORRIENTE  
PARA UN INVERSOR MULTINIVEL ASIMÉTRICO  
CONECTADO A LA RED ELÉCTRICA: UNA  
IMPLEMENTACIÓN EN FPGA**

TESIS

PARA OBTENER EL GRADO DE:

**DOCTOR EN ELECTRÓNICA  
OPCIÓN: SISTEMAS INTELIGENTES APLICADOS**

**PRESENTA:**

M.E.C. JOSÉ ANTONIO JUÁREZ ABAD

**DIRECTOR DE TESIS:**

DR. JESÚS LINARES FLORES

**CO-DIRECTOR DE TESIS:**

DR. MARCO ANTONIO CONTRERAS ORDAZ

HUAJUAPAN DE LEÓN, OAXACA, SEPTIEMBRE DE 2022

Tesis presentada en septiembre de 2022 ante  
los sinodales:

Dr. Carlos García Rodríguez.

Dr. José Anibal Arias Aguilar

Dr. Pedro Bañuelos Sánchez

**Director de tesis:**

Dr. Jesús Linares Flores

**Co-director de tesis:**

Dr. Marco Antonio Contreras Ordaz.

# Dedicatorias

*A quien las casualidades de la vida nos ha puesto  
en el mismo tiempo y espacio: a mi pikito, Coral*

*A mis padres, Vicente y Catalina*

*A mis hermanos, Fernando y Raquel*

*Con mucho amor y cariño*

**Toño.**



# Agradecimientos

Por la dedicación a esta tesis, por su fina atención y amistad:

**Dr. Jesús Linares Flores**

Por las aportaciones en la realización de este trabajo:

**Dr. Marco Antonio Contreras Ordaz**

Por sus atinados consejos y amistad:

**Dr. Jorge Luis Barahona Ávalos**

**Dr. José Aníbal Arias Aguilar**

**Dr. Richard Jacinto Márquez Contreras**

Por su atención para la finalización de este trabajo:

**Dr. Carlos García Rodríguez**

A mis alumnos por su dedicación y entrega al realizar su  
trabajo de tesis:

**M.C. Rosalino Mayoral Lagunes**

**M.C. Rubén Heredia Barba**

**Ing. Beatriz Angélica Aguilar López**



# Resumen

En este documento se describe el diseño de un controlador de corriente para un Inversor Multinivel de Celdas Asimétrico Trinario (IMCAT) para interconectar un sistema fotovoltaico a la red eléctrica. A lo largo del trabajo se analiza, diseña, desarrolla e implementa una arquitectura segmentada en punto flotante de 32 bits de acuerdo al estándar IEEE-754, empleando el lenguaje VHDL, mismo que fue implementado en un dispositivo FPGA. Para el sistema IMCAT, después de realizar la partición del algoritmo, se determinaron algunas de las funciones mínimas necesarias que debe poseer un inversor interconectado a la red eléctrica, estas son: controlador de corriente, el cual realiza la tarea de control, en este caso se diseñó con un enfoque ADRC, el modulador multiportadora del tipo APOD-SPWM, el algoritmo de enganche de fase (EPLL) y un observador GPI. Adicionalmente, en el mismo dispositivo, se implementó la interfaz de control para los convertidores analógico-digital que fueron empleados en la instrumentación para la adquisición de señales de corriente y voltaje. Una de las ventajas de la propuesta en términos de independencia computacional es dar autonomía al diseño, por lo que la estructura segmentada de procesamiento no depende de una computadora para su funcionamiento; por otra parte, el emplear dispositivos de lógica programable de alta velocidad en la implementación de sistemas de control, sitúa a este trabajo dentro del paradigma actual de diseño de sistemas de control automático aplicados a electrónica de potencia. En relación al control de corriente, se propone que las variaciones de tensión debidas a la red eléctrica y algunas otras incertidumbres no modeladas, se tomen en conjunto como una perturbación endógena y exógena al sistema, por lo que su magnitud se estima por medio de un observador GPI y se emplea en el lazo de control para minimizar sus efectos. Desde la perspectiva del formato de la energía de entrada y salida, los trabajos publicados que se anexan en los apéndices, forman parte de tres de los cuatro esquemas de conversión que se tiene en los convertidores de potencia, por orden de aparición en el documento se muestran las siguientes aplicaciones: Convertidores de CD-CA o inversores, Convertidores CA-CD o rectificadores y Convertidores CD-CD. Todas las aplicaciones realizadas, fueron de gran ayuda para clarificar y construir el camino para alcanzar el objetivo principal en este trabajo.





# Índice general

<b>Dedicatorias</b>	<b>I</b>
<b>Agradecimientos</b>	<b>III</b>
<b>Resumen</b>	<b>V</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Estado actual de la tecnología de los inversores . . . . .	3
1.2. Planteamiento del problema . . . . .	6
1.3. Justificación . . . . .	6
1.3.1. Pertinencia . . . . .	7
1.3.2. Relevancia . . . . .	7
1.4. Preguntas de investigación . . . . .	7
1.5. Hipótesis . . . . .	8
1.6. Objetivos . . . . .	8
1.6.1. Objetivo general . . . . .	8
1.6.2. Objetivos específicos . . . . .	8
1.7. Metas y limitaciones . . . . .	9
1.8. Aportaciones . . . . .	9
1.9. Organización de la tesis . . . . .	10
<b>2. Análisis de Fundamentos</b>	<b>11</b>
2.1. Inversores multinivel . . . . .	15
2.1.1. Aplicaciones de los Inversores multinivel . . . . .	18
2.1.2. Inversores Multinivel Asimétricos . . . . .	19
2.1.2.1. Inversor Multinivel Asimétrico de Potencia 2 (Binario) . . . . .	19
2.1.2.2. Inversor Multinivel Asimétrico de Potencia 3 (Trinarios) . . . . .	20
2.1.3. Técnicas de modulación para inversores simétricos . . . . .	22
2.1.4. Técnicas de modulación para inversores asimétricos . . . . .	23
2.2. Premisas de la aplicación de los FPGAs en sistemas de control en Inversores Multinivel	23
2.3. Conceptos relacionados a la interconexión de inversores a la red eléctrica . . . . .	25
2.3.1. Estructura y topologías de sistemas fotovoltaicos conectados a la red eléctrica	26
2.3.2. Sincronización . . . . .	28
2.3.3. Métodos de enganche de fase . . . . .	30
2.3.3.1. Método de detección de cruce por cero . . . . .	32

2.3.3.2.	Lazo de enganche de fase básico (PLL) . . . . .	33
2.3.3.3.	Algoritmo de seguimiento Sinusoidal (STA) o EPLL . . . . .	35
2.3.4.	Protecciones . . . . .	36
2.3.5.	Métodos de Seguimiento del Punto de Máxima Potencia . . . . .	37
2.3.6.	Operación y eficiencia del MPPT . . . . .	38
2.4.	Metodología . . . . .	39
<b>3.</b>	<b>Fase 1: Modelado, análisis y simulación</b>	<b>43</b>
3.1.	Generalidades de la interconexión a la red eléctrica . . . . .	43
3.1.1.	Análisis de un sistema con un inductor de enlace . . . . .	46
3.2.	Enlace entre la red eléctrica y la fuente controlada de corriente . . . . .	48
3.2.1.	Configuraciones para amortiguamiento pasivo en el filtro LCL . . . . .	48
3.2.2.	Análisis del filtro LCL y justificación . . . . .	53
3.3.	Fase 1 de la Metodología de desarrollo . . . . .	55
3.3.1.	Modelo matemático del sistema IMCAT . . . . .	55
3.3.2.	Análisis del modelo . . . . .	58
3.3.2.1.	Obtención de la salida plana del sistema IMCAT . . . . .	59
3.3.2.2.	Parametrización diferencial del sistema IMCAT . . . . .	60
3.3.3.	Planteamiento del problema de control . . . . .	60
3.3.3.1.	Suposiciones . . . . .	60
3.3.4.	Solución por medio de ADRC y observador GPI . . . . .	61
3.3.4.1.	Diseño del observador . . . . .	62
3.3.4.2.	Prueba de estabilidad del observador . . . . .	63
3.3.4.3.	Diseño de la estrategia de control . . . . .	65
3.3.5.	Simulación . . . . .	66
<b>4.</b>	<b>Fase 2: Diseño en FPGA</b>	<b>85</b>
4.1.	Implementación en el FPGA . . . . .	85
4.1.1.	Rediseño digital y Gráfico de optimización del flujo de datos . . . . .	86
4.1.1.1.	Módulo de Control . . . . .	86
4.1.1.2.	Módulo del observador (GPI) . . . . .	86
4.1.1.3.	Módulo de sincronización (EPLL) . . . . .	89
4.1.1.4.	Modulador trinario (APOD-SPWM) . . . . .	89
4.1.2.	Optimización del camino de datos . . . . .	90
4.1.3.	Arquitectura de procesamiento . . . . .	93
4.1.4.	Codificación y configuración del FPGA . . . . .	95
4.2.	Resultados de implementación . . . . .	96
<b>5.</b>	<b>Conclusiones y perspectivas</b>	<b>97</b>
5.1.	Conclusiones . . . . .	97
5.2.	Perspectivas . . . . .	98

<b>Apéndice</b>	<b>101</b>
<b>A. Simulación de moduladores para inversores asimétricos</b>	<b>101</b>
<b>B. Diseño del filtro de enlace del tipo <i>LCL</i></b>	<b>107</b>
B.1. Diseño del filtro de enlace del tipo <i>LCL</i> para un inversor monofásico conectado a la red eléctrica . . . . .	107
B.1.1. Cálculo del capacitor . . . . .	107
B.1.2. Cálculo del inductor $L_1$ del lado del inversor . . . . .	108
B.1.3. Cálculo del inductor $L_2$ del lado de la red eléctrica . . . . .	108
B.1.4. Frecuencia de resonancia del filtro <i>LCL</i> . . . . .	110
B.1.5. Cálculo del valor de los elementos pasivos del filtro <i>LCL</i> . . . . .	110
<b>C. Información para simulación y diagramas</b>	<b>113</b>
C.1. Simulación del sistema . . . . .	113
<b>D. Inversor multinivel simétrico</b>	<b>119</b>
D.1. Diseño, implementación y control de un inversor monofásico multinivel . . . . .	119
<b>E. Técnicas de Modulación</b>	<b>131</b>
E.1. Técnicas de modulación para inversores multinivel monofásicos asimétricos binarios	131
E.2. Técnicas de modulación para inversores multinivel monofásicos asimétricos trinaros	131
<b>F. Rectificación Activa</b>	<b>149</b>
F.1. Sistema monofásico de rectificación activa multinivel . . . . .	149
F.2. Sistema monofásico de rectificación activa-motor de CD . . . . .	150
<b>G. Metodología de implementación en FPGA</b>	<b>175</b>
G.1. Motor síncrono de imanes permanentes . . . . .	175
G.2. Inversor multinivel de capacitores flotantes . . . . .	176
<b>H. Control aplicado a convertidores en electrónica de potencia</b>	<b>203</b>
H.1. Control de un módulo termoeléctrico . . . . .	203
H.2. Control de un convertidor CD-CD tipo Buck-Boost . . . . .	204
<b>I. PCB</b>	<b>229</b>
I.1. Diseño del PCB para el sistema IMCAT . . . . .	229
I.1.1. PCB del inversor . . . . .	229
I.1.2. PCB del filtro LCL . . . . .	229
<b>Referencias</b>	<b>237</b>



# Indice de tablas

1.1. Comparativa entre el número de niveles y de dispositivos de conmutación empleados.	4
2.1. Comparación entre las Topologías Multinivel Simétricas y Asimétricas . . . . .	22
2.2. Topologías para sistemas fotovoltaicos interconectados a la red eléctrica . . . . .	28
2.3. Comparativa de las técnicas de sincronización más empleadas en sistemas fotovoltaicos monofásicos conectados a la red eléctrica . . . . .	31
2.4. Técnicas de MPPT más usadas [69] . . . . .	38
3.1. Parámetros empleados en las simulaciones del sistema IMCAT . . . . .	67
3.2. Parámetros eléctricos del panel solar empleado en la simulación del sistema IMCAT.	78
4.1. Recursos Lógicos . . . . .	96
B.1. Especificaciones de diseño para el filtro <i>LCL</i> . . . . .	110
I.1. Lista de partes del sistema IMCAT . . . . .	229



# Índice de figuras

1.1. Cadena de captación y conversión de energía. . . . .	2
1.2. Inversor multinivel en cascada: <b>(a)</b> Configuración simétrica, <b>(b)</b> Configuración asimétrica de potencia 2 (Binario), <b>(c)</b> Configuración asimétrica de potencia 3 (Trinario). . . . .	5
1.3. Esquema conceptual del sistema IMCAT. . . . .	6
2.1. Comparativa del inversor clásico de dos niveles y la topología multinivel en relación a la tecnología de semiconductor que emplean [17]. . . . .	14
2.2. Clasificación de las topologías de los convertidores en mediano y alto voltaje. . . . .	15
2.3. Árbol de la familia de los inversores multinivel. . . . .	17
2.4. Aplicaciones de los convertidores multinivel [17]. . . . .	19
2.5. Inversor multinivel en cascada: <b>(a)</b> Simétrico, <b>(b)</b> Asimétrico de potencia 2 (Binario), <b>(c)</b> Asimétrico de potencia 3 (Trinario). . . . .	21
2.6. Clasificación de los métodos de modulación para convertidores multinivel [17]. . . . .	22
2.7. Configuraciones empleadas en los sistemas fotovoltaicos interconectados a la red eléctrica [69]. . . . .	27
2.8. Ejemplos de topologías con base en la tabla 2.2: <b>(a)</b> CD/CA-CD/CA con <b>TAF</b> ; <b>(b)</b> CD/CD-CD/CA con <b>TBF</b> ; <b>(c)</b> CD/CD-CD/CA; <b>(d)</b> CD/CA con <b>TBF</b> ; <b>(e)</b> CD/CA. . . . .	29
2.9. Ejemplo de formas de onda en un sistema interconectado a la red eléctrica [69]: <b>(a)</b> Esquema de conexión para el inversor; <b>(b)</b> Relación fasorial entre las magnitudes eléctricas del esquema de conexión; <b>(c)</b> Voltaje fundamental del inversor y de la red eléctrica; <b>(d)</b> Formas de onda de la corriente inyectada a la red eléctrica y de la referencia. . . . .	30
2.10. Método de cruce por cero. . . . .	33
2.11. Estructura de un PLL: <b>(a)</b> Operación; <b>(b)</b> Diagrama a bloques del PLL básico. . . . .	34
2.12. Estructura del EPLL [71] . . . . .	37
2.13. Clasificación de los métodos para detección de modo isla . . . . .	37
2.14. Diferentes técnicas de MPPT empleando convertidor CD-CD: <b>(a)</b> Por acción del ciclo de trabajo; <b>(b)</b> Por medio de una referencia de voltaje; <b>(c)</b> Observando la salida del convertidor. [69] . . . . .	38
2.15. Fases de la metodología. . . . .	39
2.16. Metodología de diseño. . . . .	40

3.1. Diagrama general de interconexión. . . . .	44
3.2. Diagrama general de interconexión. . . . .	45
3.3. Voltaje $v_g$ y corriente $i_g$ de red en fase. . . . .	45
3.4. Sistema de interconexión con inductor de enlace. . . . .	46
3.5. Condiciones para realizar la interconexión de dos fuentes de CA. . . . .	47
3.6. Filtro en configuración <i>LCL</i> . . . . .	48
3.7. Efecto del amortiguamiento en un filtro <i>LCL</i> . . . . .	51
3.8. Combinaciones posibles para el amortiguamiento pasivo en un filtro <i>LCL</i> . . . . .	52
3.9. Análisis de Bode para cada caso mostrado en la Figura 3.8 . . . . .	54
3.10. Fase 1 de la metodología: modelado, análisis y simulación. . . . .	55
3.11. Esquema general del Inversor Multinivel de Celdas Asimétrico Trinario (IMCAT). . . . .	56
3.12. Esquema eléctrico de pequeña señal del IMCAT. . . . .	57
3.13. Bloques en MATLAB/Simulink. . . . .	68
3.14. Inversor multinivel monofásico en configuración trinaría interconectado a la red eléctrica. . . . .	69
3.15. Resultado de simulación con $i_{g(ref)} = 5 \sin wt$ : <b>(a)</b> Comparativa de la corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia $i_{g(ref)}$ ; <b>(b)</b> Error de seguimiento; <b>(c)</b> Señal de control ( $u_{av}$ ); <b>(d)</b> Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); <b>(e)</b> Señal del EPLL; <b>(f)</b> Voltaje de salida del inversor trinario (nueve niveles). 70	
3.16. Resultado de simulación con $i_{g(ref)} = 10 \sin wt$ : <b>(a)</b> Comparativa de la corriente corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia $i_{g(ref)}$ ; <b>(b)</b> Error de seguimiento; <b>(c)</b> Señal de control ( $u_{av}$ ); <b>(d)</b> Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); <b>(e)</b> Señal del EPLL; <b>(f)</b> Voltaje de salida del inversor trinario (nueve niveles). . . . .	71
3.17. Resultado de simulación con $i_{g(ref)} = 20 \sin wt$ : <b>(a)</b> Comparativa de la corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia $i_{g(ref)}$ ; <b>(b)</b> Error de seguimiento; <b>(c)</b> Señal de control ( $u_{av}$ ); <b>(d)</b> Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); <b>(e)</b> Señal del EPLL; <b>(f)</b> Voltaje de salida del inversor trinario (nueve niveles). 72	
3.18. Señales de corriente y sus respectivos errores: <b>(a)</b> Corriente de red vs. corriente de referencia deseada; <b>(b)</b> Corriente de red vs. corriente estimada por el observador; <b>(c)</b> Error de seguimiento; <b>(d)</b> Error de estimación. . . . .	73
3.19. Señales obtenidas del algoritmo de enganche de fase (EPLL): <b>(a)</b> Señal del PLL vs voltaje de red definido por la ecuación (3.81); <b>(b)</b> Señales en cuadratura con amplitud unitaria; <b>(c)</b> Ángulo de fase del voltaje de red. . . . .	74
3.20. Salidas de voltaje de las celdas que conforman el inversor multinivel en configuración trinaría: <b>(a)</b> Salida de la celda de bajo voltaje ( $V_{bajo} = E$ ); <b>(b)</b> Salida de la celda de alto voltaje ( $V_{alto} = 3E$ ); <b>(c)</b> Salida del inversor multinivel en configuración trinaría con nueve niveles ( $V_{pwm}$ ). . . . .	75
3.21. Bloques en MATLAB/Simulink. . . . .	76
3.22. Inversor multinivel monofásico <i>con paneles fotovoltaicos</i> en configuración trinaría interconectado a la red eléctrica. . . . .	77
3.23. Curvas características del panel <i>SolarWorld SW 50 poly RMA</i> obtenidas con PSIM: <b>(a)</b> Curva I-V; <b>(b)</b> Curva P-I . . . . .	78



3.24. Resultado de simulación con *irradiancia solar constante* de  $1000 W/m^2$ : **(a)** Comparativa de la corriente inyectada a la red ( $ig$ ) contra la corriente de referencia  $ig_{(ref)}$ ; **(b)** Error de seguimiento; **(c)** Señal de control ( $u_{av}$ ); **(d)** Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); **(e)** Señal del EPLL; **(f)** Voltaje de salida del inversor trinario (nueve niveles). . . . . 80

3.25. Señales de voltaje y corriente de los arreglos fotovoltaicos ante *irradiancia solar constante*: **(a)** Arreglo fotovoltaico alto  $V_{HV}$  contra el voltaje de referencia  $V_{HV(ref)}$ ; **(b)** Arreglo fotovoltaico bajo  $V_{LV}$  contra el voltaje de referencia  $V_{LV(ref)}$ ; **(c)** Corriente de ambos arreglos fotovoltaicos; **(d)** Potencia de referencia  $P_{HV(ref)}$  contra la potencia  $P_{HV}$  obtenida del arreglo de voltaje alto; **(e)** Potencia de referencia  $P_{LV(ref)}$  contra la potencia  $P_{LV}$  obtenida del arreglo de voltaje bajo. . . . . 81

3.26. Resultado de simulación con *irradiancia solar variable*: **(a)** Comparativa de la corriente inyectada a la red ( $ig$ ) contra la corriente de referencia  $ig_{(ref)}$ ; **(b)** Error de seguimiento; **(c)** Irradiancia solar variable; **(d)** Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); **(e)** Corriente de referencia  $ig_{(ref)}$  contra la corriente  $ig_{(estimada)}$  obtenida del observador. . . . . 82

3.27. Señales de voltaje y corriente de los arreglos fotovoltaicos ante *irradiancia variable*: **(a)** Arreglo fotovoltaico alto  $V_{HV}$  contra el voltaje de referencia  $V_{HV(ref)}$ ; **(b)** Arreglo fotovoltaico bajo  $V_{LV}$  contra el voltaje de referencia  $V_{LV(ref)}$ ; **(c)** Corriente de ambos arreglos fotovoltaicos; **(d)** Potencia de referencia  $P_{HV(ref)}$  contra la potencia  $P_{HV}$  obtenida del arreglo de voltaje alto; **(e)** Potencia de referencia  $P_{LV(ref)}$  contra la potencia  $P_{LV}$  obtenida del arreglo de voltaje bajo. . . . . 83

4.1. Metodología: Fase 2 . . . . . 85

4.2. Diagrama de optimización de flujo de datos: **(a)** observador descrito por la ecuación (3.75) y **(b)** Generación de las señales de referencia descritas en la ecuación (3.77). 87

4.3. Diagrama de optimización de flujo de datos para el observador descrito por la ecuación (3.62). . . . . 88

4.4. Diagrama de optimización del algoritmo de enganche de fase EPLL. . . . . 89

4.5. Resultado de implementación del algoritmo EPLL en el FPGA. . . . . 90

4.6. Diagrama general del modulador empleado. . . . . 91

4.7. Diagrama del generador triangular. . . . . 91

4.8. Resultados de implementación de las técnica de modulación del tipo LSPWM: **(a)** PD; **(b)** POD, **(c)** APOD. . . . . 92

4.9. Optimización del camino de datos. . . . . 93

4.10. Procesamiento de los algoritmos: **(a)** Arquitectura diseñada; **(b)** Protocolo de Handshaking para auto-temporización. . . . . 94

4.11. Tarjeta de desarrollo *Pipistrello*: **(a)** USB de alta velocidad de dos canales; **(b)** Puertos digitales de entrada y salida; **(c)** Puerto para SD; **(d)** FPGA Xilinx Spartan-6 LX45; **(e)** Puerto HDMI; **(f)** Puerto PMOD compatible; **(g)** Puerto de salida para audio. . . . . 95

B.1. Diagrama general del filtro de enlace *LCL* para el sistema de interconexión. . . . . 107

B.2. Magnitudes involucradas en el diseño del filtro de enlace <i>LCL</i> para el sistema de interconexión. . . . .	109
B.3. Filtro de enlace <i>LCL</i> para el sistema de interconexión. . . . .	112
C.1. Diagrama de MATLAB/Simulink del observador. . . . .	116
C.2. Diagrama de MATLAB/Simulink del controlador. . . . .	117
C.3. Arreglos fotovoltaicos empleados en el IMCAT: <b>(a)</b> Arreglo fotovoltaico de bajo voltaje (E); <b>(b)</b> Arreglo fotovoltaico de alto voltaje (3E). . . . .	118
I.1. Esquemático del <b>HB1</b> del sistema IMCAT. . . . .	230
I.2. Esquemático del <b>HB2</b> del sistema IMCAT. . . . .	230
I.3. Vista de PCB obtenido de EAGLE CAD. . . . .	231
I.4. Vista previa del PCB en la capa superior antes de fabricar. . . . .	231
I.5. Vista previa del PCB en la capa inferior antes de fabricar. . . . .	232
I.6. PCB fabricado ya ensamblado. . . . .	232
I.7. Esquemático del filtro del sistema IMCAT. . . . .	233
I.8. Vista previa del PCB en la capa superior antes de fabricar. . . . .	233
I.9. Vista previa del PCB en la capa inferior antes de fabricar. . . . .	234
I.10. PCB del filtro LCL fabricado ya ensamblado. . . . .	234
I.11. Sistema IMCAT ensamblado. . . . .	235

# Capítulo 1

## Introducción

Actualmente el sector energético es de vital importancia en el desarrollo económico de un país, la demanda de energía y el crecimiento interno bruto están relacionados directamente, es decir, el consumo energético de un país refleja el crecimiento económico del mismo. Sin embargo, la naturaleza finita de los recursos —sobre todo los no renovables— ha sumergido a diferentes áreas de estudio en la búsqueda de una mayor eficiencia en la producción, transporte, distribución y consumo de la energía eléctrica; en ese sentido, las fuentes de energía renovable aparecen como un elemento que contribuye a aumentar la seguridad energética de los países.

Una fuente de energía es renovable cuando se puede reponer fácilmente ya que se encuentra, a escala humana, de manera ilimitada en la naturaleza. Las principales fuentes de energía renovable son las siguientes: solar, hidráulica, eólica, biomasa, geotérmica, mareomotriz, fuentes termales en el océano y quema de hidrógeno [1].

Las razones que han motivado a países como Alemania, Brasil, Dinamarca, España, Canadá y Reino Unido a fomentar el desarrollo de tecnologías para explotar las fuentes de energía renovable abarcan aspectos tales como: seguridad energética, desarrollo rural, reducción de los impactos ambientales originados por el consumo de combustibles fósiles, mejoramiento de la calidad del aire, mayor conservación de los recursos naturales, creación de empleos y el desarrollo científico-tecnológico entre otros [2].

A pesar de que las fuentes de energía renovables se han empleado para la generación eléctrica desde hace más de 20 años, aún se deben mejorar aspectos tales como su distribución, la calidad de la energía generada y además, incrementar la participación de este tipo de energía en la producción mundial [2, 3].

Dentro de las energías renovables, la generación-conversión de energía solar fotovoltaica es, por así decirlo, convincentemente elegante, ya que la energía del sol se transforma directamente en energía eléctrica. En la actualidad, emplear esta fuente de generación de energía como potencia base, resulta técnicamente viable, pero no es atractivo desde el punto de vista económico. Por ejemplo, si se emplea una instalación fotovoltaica como potencia base para el suministro eléctrico de una casa modesta, donde habita una familia de cinco personas, puede representar incluso una inversión económica equivalente a realizar un prepago energético de los próximos 25 a 30 años<sup>1</sup> [3].

---

<sup>1</sup>Actualmente la cantidad de silicio necesaria para producir un Wp (Watt-pico) se reduce a una velocidad de 15% anual, lográndose así ahorros importantes en la construcción de los paneles, por lo que en los próximos años disminuirá el precio de los mismos.

Dado su constante crecimiento, los esquemas de generación de electricidad por medios solares fotovoltaicos han logrado disminuir los costos iniciales de instalación. En ese sentido, el esquema de recolección, procesamiento e inyección de energía eléctrica desde los paneles solares fotovoltaicos directamente a la red de distribución en forma de potencia activa a generado una gran diversidad de investigaciones en diferentes áreas de la ingeniería, innovaciones tecnológicas, desarrollo e investigación en el campo de la electrónica de potencia y en el mejoramiento de las técnicas de generación distribuida de energía eléctrica. De manera muy general, a este esquema de generación se le da el nombre de instalación fotovoltaica interconectada a la red eléctrica.

Una instalación fotovoltaica conectada a la red eléctrica, es vista como una cadena, cuyos elementos de construcción son dos principalmente: la captación de energía y el procesamiento de potencia. La captación de energía se realiza por los paneles fotovoltaicos, los cuales se conectan en serie, paralelo o de manera mixta, a este se le llama, generador fotovoltaico. En el procesamiento de potencia se encuentra el inversor de voltaje, cuyo objetivo principal es garantizar la máxima extracción de potencia de los paneles fotovoltaicos y procesar de manera eficiente la energía obtenida para su transferencia en condiciones adecuadas a la red eléctrica de corriente alterna (ver Figura 1.1) [4].

Los inversores fotovoltaicos que son conectados a la red eléctrica difieren de los inversores del tipo

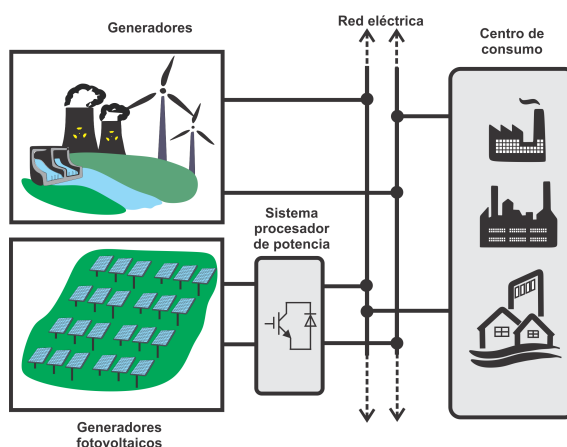


Figura 1.1. Cadena de captación y conversión de energía.

aislado o convencionales, principalmente por que el inversor para interconexión se instala entre el generador fotovoltaico y el punto de conexión a la red para producir una corriente alterna con la misma fase y frecuencia de la red de distribución, además de varias funciones adicionales, tales como:

- Maximizar el aprovechamiento de la potencia: Una de las tareas principales del inversor conectado a la red eléctrica es maximizar el aprovechamiento de la potencia que entrega el generador fotovoltaico. Para asegurar que el inversor trabaje con el máximo rendimiento posible, es necesario seguir el punto de máxima potencia del arreglo fotovoltaico. Adicionalmente, el inversor deberá procesar la energía eléctrica con calidad, lo que se define en términos de los parámetros eléctricos tales como: baja distorsión armónica, factor de potencia elevado, baja emisión EMI, entre otros [4, 5].
- Cumplir las normas de seguridad: Todo inversor conectado a la red debe cumplir las normas de seguridad vigentes. Una de las principales, es la de prevención del fenómeno de funcionamiento

en modo isla, esto se presenta cuando la compañía de suministro eléctrico desconecta un tramo de la red (por ejemplo para realizar labores de mantenimiento) y el inversor continua operando, el tiempo de desconexión automático del inversor será el que indique la normativa, adicionalmente el sistema deberá de tener la capacidad de reconectarse automáticamente cuando la causa que provocó su desconexión haya desaparecido [5]. Otro aspecto a considerar en la operación del inversor en conexión a la red eléctrica es que debe de trabajar dentro de los márgenes superior e inferior establecidos para la tensión y frecuencia de salida de acuerdo a la normativa establecida en el país donde vaya a operar.

- Aislamiento: Es necesario que la conexión del inversor con la red eléctrica sea por medio de un aislamiento adecuado, éste se obtiene mediante la colocación de un transformador entre la red y el inversor, en varios países el aislamiento galvánico es obligatorio por motivos de seguridad. En este tipo de inversores, la señal de la corriente a inyectar debe de ser lo más senoidal posible, por ello, en el caso de los inversores monofásicos, se coloca un filtro el cual puede ser una sola inductancia (L) o un arreglo (LCL), Esto permite que el inversor suministre a la red eléctrica una corriente senoidal.

## 1.1. Estado actual de la tecnología de los inversores

Entre los convertidores de potencia, el inversor de voltaje es un convertidor electrónico de gran versatilidad y actualmente posee una relación muy estrecha con el campo de las energías renovables. Este convertidor es un componente clave para la integración de diferentes fuentes de energía renovable entre sí o con la red de distribución eléctrica. [6].

Actualmente se reconoce a los inversores monofásicos conectados a la red eléctrica por su importante participación en la cadena de generación de energía limpia ya que por medio de ellos se ha logrado, entre otras, ha incrementar la potencia que se inyecta a la red eléctrica haciendo uso de algoritmos de seguimiento del punto de máxima potencia en la extracción de energía del panel fotovoltaico, también se ha reducido la frecuencia de conmutación de los dispositivos de potencia y en general se ha mejorado la confiabilidad del sistema [7, 8].

En los inicios, los inversores de voltaje más empleados en la interconexión con la red eléctrica son los llamados inversores de dos y tres niveles, sin embargo, en la actualidad los inversores en topología multinivel se han introducido en aplicaciones de este tipo dadas sus características superiores a la topología clásica de dos niveles, por ejemplo: reducción del contenido armónico, modularidad, bajas pérdidas por conmutación e incremento en la densidad de potencia del convertidor.

Adicionalmente, los convertidores multinivel se caracterizan por poseer más de un generador fotovoltaico en cada celda de potencia, por lo que se puede realizar el control independiente del voltaje y el seguimiento del punto de máxima potencia de cada generador fotovoltaico, incrementando con esto la eficiencia del sistema [9].

De las topologías de inversores de voltaje multinivel disponibles, el inversor multinivel de celdas<sup>2</sup> en cascada constituye una alternativa muy prometedora. Su construcción se basa en una estructura modular que es fácilmente extendida y sus elementos de conmutación son de menor capacidad a los empleados en la topología de dos niveles, permitiendo con esto, la disminución de costos en su construcción [10].

---

<sup>2</sup>Una celda es un arreglo de cuatro dispositivos de conmutación en puente H (inversor en puente completo).

En esencia, la salida de voltaje de un inversor de voltaje multinivel consiste en una acumulación vertical de niveles de voltaje que se suman o restan logrando con ello una salida en la onda de tensión con un perfil más aproximado a una onda sinusoidal [11].

Actualmente, la tendencia en el desarrollo de los inversores de voltaje multinivel es mejorar la relación entre el número de niveles de voltaje y el número de etapas de procesamiento del convertidor. El inversor simétrico de celdas en cascada cumple ese objetivo de manera parcial, a expensas de incrementar la complejidad del convertidor, aumentar el número de dispositivos de conmutación y también de fuentes aisladas de CD a emplearse. Por ello, las topologías asimétricas buscan satisfacer esa exigencia, el hecho de alimentar a las celdas del inversor con voltajes desiguales, pero guardando una relación constante, mejora el desempeño e incrementa el número de niveles empleando la misma estructura de hardware de un inversor en cascada simétrico [12].

En la Figura 1.2 y en la Tabla 1.1, se realiza una comparativa entre el inversor en configuración simétrica y asimétrica. Si las fuentes de CD que alimentan a cada una de las celdas es igual en magnitud, entonces se habla de un inversor de celdas en cascada simétrico, si se toman ( $\mathbf{n}$ ) celdas alimentadas con voltajes de CD iguales, entonces se tienen  $(2n + 1)$  niveles distintos de tensión a la salida del inversor, en este caso, el número de niveles en la salida de la onda de voltaje estará en proporción directa con el número de celdas ( $\mathbf{n}$ ) conectadas en serie. Para el caso asimétrico, cuando se emplean fuentes de voltaje desiguales para alimentar ( $\mathbf{n}$ ) celdas del inversor y estas guardan una relación binaria en progresión geométrica (**2:1**), el número de niveles se incrementa en relación  $(2^{(n+1)} - 1)$ . Si el inversor posee una relación trinaría (**3:1**) se generarían  $(3^n)$  niveles de tensión.

Tabla 1.1. Comparativa entre el número de niveles y de dispositivos de conmutación empleados.

Configuración	Número de celdas	Número de dispositivos de conmutación	Número de niveles a la salida
Simétrica	$n$	$4n$	$2n + 1$
Asimétrica binaria (2:1)	$n$	$4n$	$2^{n+1} - 1$
Asimétrica trinaría (3:1)	$n$	$4n$	$3^n$

Claramente se puede observar que para un mismo número de celdas en la configuración asimétrica binaria o trinaría se obtiene mayor número de niveles de tensión que en la configuración simétrica [13].

A lo largo de este trabajo se describen con mayor profundidad las bondades del Inversor Multinivel en Cascada Asimétrico Trinario (**IMCAT**) y se explora la posibilidad de ser empleado como interfaz entre un arreglo fotovoltaico y la red eléctrica de distribución.

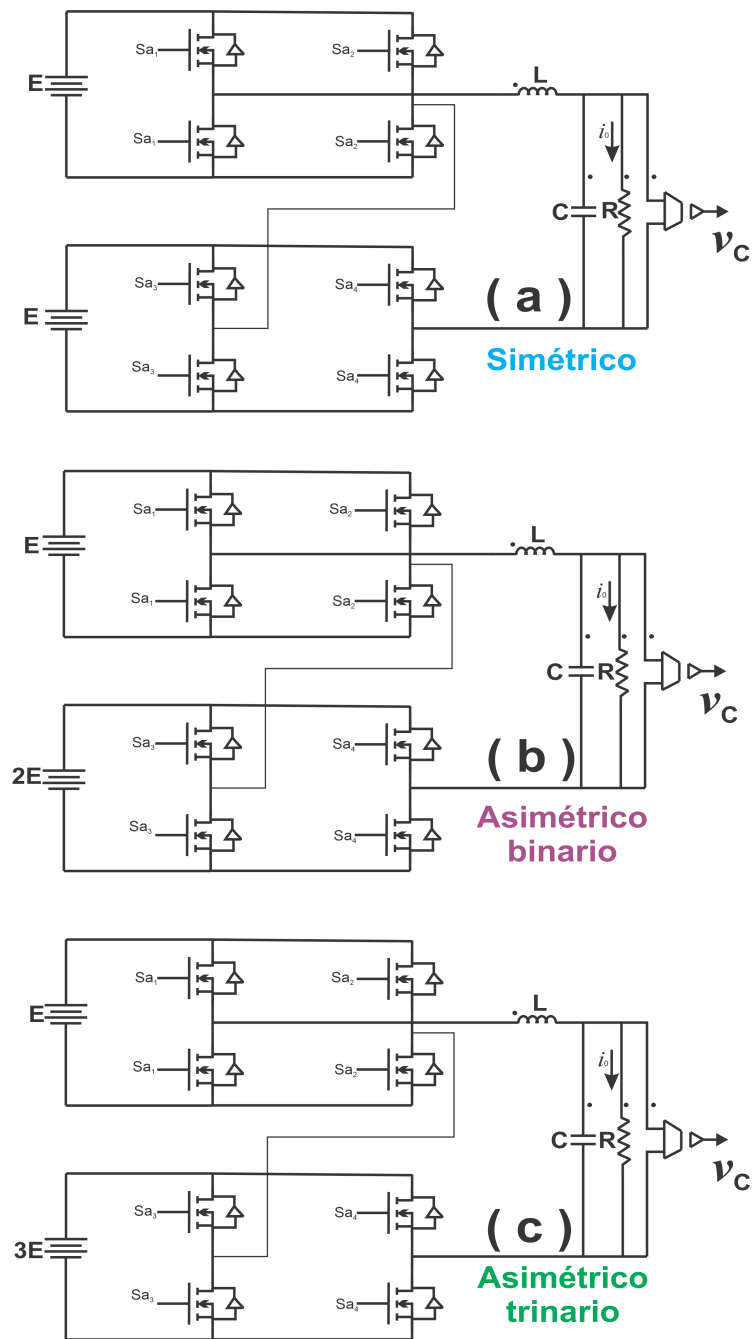


Figura 1.2. Inversor multinivel en cascada: (a) Configuración simétrica, (b) Configuración asimétrica de potencia 2 (Binario), (c) Configuración asimétrica de potencia 3 (Trinario).

## 1.2. Planteamiento del problema

Consiste en controlar la inyección de corriente hacia la red eléctrica desde un arreglo fotovoltaico empleando como enlace de potencia un inversor multinivel monofásico en topología asimétrica trinararia de dos celdas.

La extracción de potencia del arreglo fotovoltaico deberá ser la máxima posible y la técnica de control a utilizar contribuirá a mejorar aspectos tales como el factor de potencia y la distorsión armónica en el punto de conexión común. Dicha plataforma experimental autónoma no dependerá para su funcionamiento del uso de una computadora, en este caso, partiendo del hecho de que los arreglos de compuertas lógicas programables en campo (FPGAs) permiten la ejecución concurrente de procesamiento numérico, cada una de las etapas de gestión y control necesarias para el funcionamiento del inversor serán diseñadas y programadas en ese dispositivo. En la Figura 1.3 se presenta un esquema conceptual del sistema.

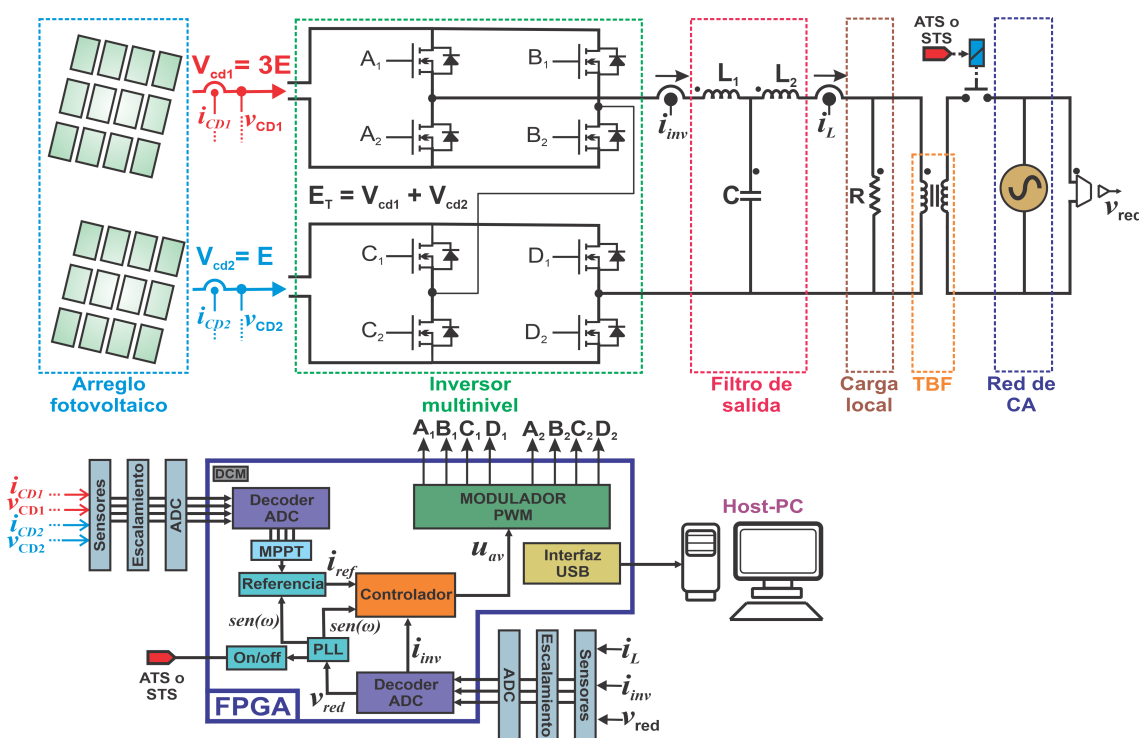


Figura 1.3. Esquema conceptual del sistema IMCAT.

## 1.3. Justificación

La tecnología de conversión CD/CA es una de las principales ramas en la electrónica de potencia, ya que es de vital importancia en todas las aplicaciones industriales y actualmente ha tomado un papel muy importante en relación a los sistemas de energía renovable. En ese sentido, los sistemas de energía renovable basados en celdas fotovoltaicas requieren una gran cantidad de convertidores CD/CA, los cuales funcionan como etapa de procesamiento y control del flujo de



potencia, abasteciendo corriente eléctrica en una forma óptima para ser usada por la carga, contribuyendo así a mejorar tópicos energéticos tales como el ahorro y la calidad de la misma, temas muy estudiados hoy en día.

### 1.3.1. Pertinencia

Tomando en cuenta que el uso de convertidores de potencia en las redes eléctricas de distribución tienen una amplia aceptación y que adicionalmente las topologías multinivel asimétricas ofrecen un desempeño muy por arriba de las tecnologías tradicionales, incluso que de la multinivel convencional gracias a sus características eléctricas, se justifica plenamente y es pertinente su aplicación en convertidores de inyección de energía fotovoltaica a la red de distribución eléctrica.

Adicionalmente, en la actualidad con el uso de los dispositivos FPGA para implementar algoritmos de control por retroalimentación se mejora notablemente el rendimiento de los convertidores de potencia en aspectos tales como el de transporte eficiente de potencia entrada-salida y en el ámbito económico.

### 1.3.2. Relevancia

La integración de diferentes tipos de fuentes de energía, sean renovables o no, es un tema que se está estudiando actualmente de manera muy amplia desde muchas perspectivas y seguirá siendo materia de estudio en las próximas décadas, debido a la transición energética encaminada hacia las renovables, que cada país impulsa en su política energética. El auge de las energías renovables en el mundo es impulsado principalmente por temas de seguridad energética y medio ambiente.

México cuenta con un potencial muy alto para la generación de energías renovables, especialmente solar, ya que cuenta con una posición privilegiada en las zonas de mayor irradiación solar a nivel mundial. Para nuestro país, es necesario cambiar de manera fundamental la estructura de la matriz energética y seguir añadiendo fuentes eólicas y solares. En ese sentido, es innegable que los avances tecnológicos se han convertido en un gran aliado y la electrónica de potencia juega un papel muy importante en ese proceso, ya que permite integrar este tipo de sistemas a la infraestructura de CA ya disponible.

## 1.4. Preguntas de investigación

De acuerdo a la revisión bibliográfica realizada en este documento relativo al estado en el que se encuentra el desarrollo teórico-práctico para el control de inversores multinivel asimétricos y sus aplicaciones actuales a continuación se exponen las siguientes preguntas de investigación:

- **Q1.** ¿Es posible emplear un inversor multinivel asimétrico trinario de dos celdas para inyección de energía desde un sistema fotovoltaico a la red eléctrica?
- **Q2.** ¿Se pueden mejorar aspectos tales como la distorsión armónica en la onda de voltaje de salida y el factor de potencia empleando un inversor multinivel asimétrico trinario de dos celdas conectado a la red eléctrica?

- **Q3.** ¿Se podrán implementar en un FPGA los algoritmos de control para el inversor multinivel asimétrico trinario tales como: inyección de corriente, sincronía (PLL<sup>3</sup>) y el de MPPT necesarios para el correcto funcionamiento del inversor y así garantizar el rechazo de perturbaciones externas debidas a la inclusión de cargas repentinas en el punto de conexión común?

## 1.5. Hipótesis

A partir de la formulación de las preguntas anteriores se establecieron las hipótesis del presente proyecto.

- **H1.** Dadas las características eléctricas y estructurales de la topología multinivel asimétrica tritaria, puede emplearse como enlace de potencia entre un sistema fotovoltaico y la red de suministro eléctrico.
- **H2.** Haciendo uso de la capacidad de producir un número elevado de niveles en la onda de salida de los inversores multinivel asimétricos se disminuye el valor de THD de corriente y voltaje.
- **H3.** Gracias a la propiedad de concurrencia en la ejecución de algoritmos y al uso de los elementos empujados que brindan los dispositivos FPGA, se pueden implementar en él los elementos de control necesarios para el correcto funcionamiento del inversor multinivel conectado a la red eléctrica garantizando el rechazo de perturbaciones externas presentes en la red de utilidad en el punto de conexión común.

## 1.6. Objetivos

Los objetivos del presente trabajo se organizaron de la siguiente forma:

### 1.6.1. Objetivo general

Analizar, diseñar e implementar un controlador para inyección de corriente a la red eléctrica basado en un FPGA para un inversor monofásico multinivel asimétrico trinario alimentado por un arreglo fotovoltaico.

### 1.6.2. Objetivos específicos

1. Obtener el modelo matemático adecuado para el inversor monofásico multinivel asimétrico trinario conectado a la red eléctrica por medio de las leyes de Kirchhoff de corriente y voltaje.
2. Analizar las propiedades del modelo matemático del inversor monofásico multinivel asimétrico trinario para determinar la técnica de control a diseñar.
3. Construir una arquitectura en punto flotante de precisión simple (32 bits) acorde al estándar IEEE-754 para cada módulo de control del inversor (PLL, modulador, controlador, etc.).
4. Construir la estructura del inversor monofásico multinivel asimétrico trinario.

<sup>3</sup>Lazo de seguimiento de fase, bucle de enganche de fase, o PLL (del inglés *phase-locked loop*.)

## 1.7. Metas y limitaciones

- Metas:
  - Implementar en un FPGA los módulos de control: para inyección de corriente, PLL, MPPT para un inversor monofásico multinivel asimétrico trinario de dos celdas conectado a la red eléctrica.
  - Publicar los resultados obtenidos en uno o varios artículos de revista de arbitraje estricto.
  - Diseño y construcción de una plataforma experimental de un inversor monofásico multinivel asimétrico trinario de dos celdas para inyección de potencia a la red eléctrica.
- Limitaciones:
  - La plataforma a construir será sólo monofásica.
  - La lógica contenida dentro de un FPGA no es ilimitada, por lo que se deberá optimizar el uso de los recursos internos del dispositivo.
  - La potencia planteada para el sistema se ajustó a la capacidad fotovoltaica disponible e instalada en el lugar donde se realiza el trabajo.

## 1.8. Aportaciones

Sistema basado en un dispositivo de lógica programable FPGA para el control de un inversor monofásico multinivel asimétrico trinario de dos celdas en condiciones para ser conectado a la red eléctrica.

La investigación de los temas relacionados con el sistema en cuestión, detonó la generación y publicación de algunos trabajos que integran la sinergia de tres de las áreas más relevantes en la ingeniería en electrónica: Electrónica de potencia, Control automático y sistemas digitales. Los trabajos generados, guardan relación directa con los diferentes tópicos que involucra el estudio de los sistemas de conversión eléctrica en tres de los cuatro esquemas de convertidores de potencia existentes: *CD-CA*, *CA-CD* y *CD-CD*.

Dichos trabajos se describen brevemente a continuación:

- Publicación de 3 artículos JCR (Q1) como primer autor sobre la aplicación de los FPGAs en técnicas o algoritmos para sistemas de control en convertidores para electrónica de potencia.
- Publicación de 2 artículos JCR como autor de correspondencia (Q2,Q3). Ambos sobre la aplicación de control automático a sistemas para electrónica de potencia.
- Publicación de 1 artículo JCR (Q1) como segundo autor sobre la aplicación de control automático a un convertidor reductor-elevador en el área de electrónica de potencia.
- Publicación de 2 artículos indexados como segundo autor, resultado de dos trabajos de tesis que se desarrollaron bajo mi dirección. Ambos trabajos son sobre la aplicación de los FPGAs en sistemas de control en convertidores para electrónica de potencia y máquinas eléctricas.

## 1.9. Organización de la tesis

El presente documento se encuentra organizado de la forma siguiente: En el capítulo 2 se realiza la descripción de los conceptos que dan sustento teórico y que ayudan a entrar en contexto sobre los temas tratados y se describe la metodología empleada para el desarrollo de los trabajos que serán descritos a lo largo del documento. En el capítulo 3 se desarrolla la fase 1 de la metodología de diseño, es decir, se obtiene el modelo matemático del sistema IMCAT, se analizan sus propiedades y se formula el controlador y observador. Enseguida se realiza una simulación de todo el sistema para validar el funcionamiento del IMCAT completo. Una vez que se da por válida y efectiva la propuesta por medio de la simulación, se procede en el capítulo 4 a realizar la fase 2 de la metodología la cual consiste en diseñar para el dispositivo de lógica reconfigurable. En el capítulo 5 se encuentran las conclusiones y las perspectivas de desarrollo futuro de este trabajo de investigación. Finalmente, en los apéndices A, B, C y I se agrega información complementaria a cada capítulo, mientras que en los apéndices D, E, F, G y H se muestran las publicaciones generadas sobre técnicas de control aplicadas a convertidores en electrónica de potencia, cuya realización ayudaron que en gran medida, a aclarar el camino para la realización de este trabajo.

## Capítulo 2

# Análisis de Fundamentos

**Resumen:** En este capítulo se realiza la mención de los conceptos y las tecnologías más importantes que se relacionan con este trabajo, esto incluye a las topologías de inversores simétricas y asimétricas, técnicas de modulación multiportadora, algoritmos de enganche de fase (PLL) y una breve descripción de las aplicaciones en electrónica de potencia basadas en dispositivos de lógica reconfigurable. Lejos de hacer un análisis profundo de cada concepto, se busca proveer de sustento teórico al diseño del controlador.

Hoy en día, se reconoce que las actividades humanas están cambiando significativamente la composición de la atmósfera terrestre y están provocando de esa forma, una inminente amenaza que nos puede llevar a un cambio climático infortunado [15].

Actualmente, los combustibles fósiles se han convertido en un producto esencial de toda sociedad moderna y las estrategias que se desarrollaron a lo largo de los años se enfocaron a garantizar su suministro ininterrumpido [16].

A lo largo del tiempo, la población ha crecido y también su demanda de bienes industriales y de energía. Como resultado del estilo de vida actual, se están usando más y más dispositivos electrónicos, y contrario al incremento de esta demanda, los combustibles fósiles disminuyen constantemente. En ese sentido, las investigaciones se han dirigido en consecuencia a satisfacer esta necesidad, la industria energética en todo el mundo percibe a las energías renovables como una fuente importante de suministro energético, motivo por el cual en este momento, para muchos países, son investigaciones de primera línea [17].

Una pieza importante que enlaza a los sistemas de energía eléctrica y los sistemas de energía renovable, son los convertidores electrónicos de potencia, estos son una pieza esencial para controlar y convertir la potencia eléctrica desde un intervalo que va desde las milésimas de Watt ( $mW$ ), por ejemplo, en nuestros celulares, hasta potencias en el orden de Gigawatts ( $GW$ ) producidas en grandes centrales de generación [16].

Los convertidores de potencia han tenido un amplio desarrollo gracias a que los nuevos dispositivos semiconductores son capaces de manejar voltajes y potencias altos, por lo que existe una clara tendencia hacia el mejoramiento de las tecnologías aplicadas a la electrónica de potencia, así como en el desarrollo de técnicas de control confiables que ayuden a reducir las pérdidas de energía originadas por la propia conversión y generación y así obtener una eficiencia alta, mejorar la calidad de la energía, su distribución, así como la integración de nuevas fuentes energéticas. Debido al

incremento en la demanda de energía eléctrica por los consumidores, la constante disminución de las reservas de energéticos fósiles y el incremento de los precios de la producción energética, se ha acrecentado la necesidad de mejorar las tecnologías actuales de obtención y procesamiento de energía, por lo tanto se han podido explorar otras forma de obtención de energía, tales como las energías renovables [16–19].

Las energías renovables a nivel mundial representan aproximadamente el 18 % de la generación eléctrica, la contribución mas importante es la de las energías hidráulica y eólica. La participación de las energías renovables tal como la solar fotovoltaica, solar térmica, eólica y la bioenergía ha crecido rápidamente en los últimos años en el mercado, esto se atribuye a las inversiones realizadas en algunos países en áreas de investigación y desarrollo que iniciaron hace más de dos décadas [20]. En México, durante el 2012, la SENER<sup>1</sup> publicó el Programa Sectorial de Energía 2013 – 2018 y posteriormente el Programa Especial para el Aprovechamiento de Energías Renovables para la administración federal 2014 – 2018. En el primero de éstos se informó sobre la capacidad efectiva instalada en Megawatts (MW) y la generación en Gigawatts/hora (GWh) de la generación de fuentes renovables y no renovables, mientras que en el segundo se mencionó a las reformas llevadas a cabo por el gobierno federal en materia de energía, leyes secundarias y reglamentos. Durante esa reforma, la Ventanilla de Energías Renovables (VER) fue una de las acciones de la SENER para contribuir al cumplimiento de la metas de participación máxima de 65 % de combustibles fósiles en la generación de energía eléctrica para el año 2024, del 60 % en el 2035 y del 50 % en el 2050, establecidas en la Ley para el Aprovechamiento de las Energías Renovables. Al 31 de diciembre de 2012, según datos de la SENER, la capacidad efectiva de fuentes renovables en el sistema Eléctrico Nacional constituyó el 20.55 % del total consumido en México<sup>2</sup>; sin embargo, durante este periodo no se contempló una meta puntual para la energía solar, no obstante el incremento exponencial de la penetración de los sistemas fotovoltaicos contribuyó a que la generación anual estuviera por arriba de los 2 GWh. Para diciembre de 2013, la generación de energía bruta anual por medio de la tecnología fotovoltaica fue de 13.09 GWh<sup>3</sup>, comparando con el año 2012 se puede percibir que hubo un incremento directo en la generación bruta aproximadamente en un 530 % e indirectamente se puede apreciar que la capacidad instalada también creció proporcionalmente. Para 2014 el crecimiento en la generación bruta anual se estimó en 70.4 GWh<sup>4</sup>.

Al 2022, los últimos datos proporcionados por la SENER, muestran un incremento en la participación de las energías renovables en la matriz energética de México. Se observa un incremento sustancial principalmente en la generación de energía eólica y solar fotovoltaica. Sí bien en México, la reforma en materia energética ha logrado un incremento en la participación de las renovables en la matriz energética en México, su implantación práctica a levantado suspicacias y nuevamente será reformulada.

Por otra parte, si consideramos la capacidad energética del Sol —estrella que perdurará aun durante millones de años—, así como la posición geográfica de México, la cual es privilegiada, ya que permite tener un promedio de radiación solar de hasta  $5 \text{ kWh}/\text{m}^2$ , es relevante reforzar las

---

<sup>1</sup>Secretaría de Energía, <http://www.energia.gob.mx/>.

<sup>2</sup>Informe sobre la participación de las energías renovables en la generación de electricidad en México, SENER, diciembre de 2012

<sup>3</sup>Informe sobre la participación de las energías renovables en la generación de electricidad en México, SENER, diciembre de 2013

<sup>4</sup>Informe sobre la participación de las energías renovables en la generación de electricidad en México, SENER, diciembre de 2014

políticas tanto públicas como de apoyo a la investigación y de desarrollo tecnológico que fomenten el aprovechamiento sustentable de la energía solar en nuestro país.

La difusión y aplicación a gran escala de los sistemas fotovoltaicos requiere el desarrollo de métodos específicos que permitan, por un lado, optimizar su diseño y funcionamiento, y por otro, evaluar su impacto en el conjunto del sistema eléctrico. La innovación en los campos de sistemas de energía fotovoltaica y electrónica de potencia, hace de esta tecnología, una importante área de investigación, particularmente a las relacionadas con las técnicas de modelado y control de los mismos. El diseño de controladores capaces de rechazar perturbaciones en los paneles fotovoltaicos y ante cambios de la carga repentinos, representa uno de los principales campos de estudio en la implementación de este tipo de sistemas. En ese sentido, los sistemas fotovoltaicos conectados a la red eléctrica constituyen una de las aplicaciones de la energía solar fotovoltaica que ha logrado una constante expansión en los últimos años y todo parece indicar que continuarán expandiéndose con vigor en el futuro. Esto se debe principalmente a la creciente toma de conciencia sobre los problemas medioambientales que ocasiona la estructura actual de producción de electricidad. La cual es fuertemente dependiente de la quema de combustibles fósiles o de la destrucción de grandes extensiones de terreno para colocar hidrogenadores [16].

Las investigaciones recientes sobre sistemas fotovoltaicos interconectados a la red se han abordado desde tres enfoques: energético, funcional y medioambiental [16].

1. Energético, trata de la aplicación de la energía solar fotovoltaica y su eficiencia, ya que si la generación se da en el mismo lugar del consumo, se evitan pérdidas por transporte y distribución. El avance de la electrónica de potencia y de las técnicas de transformación, han logrado reducir las pérdidas e incrementar la eficiencia.
2. Funcional, los generadores fotovoltaicos son susceptibles de ser empleados como elementos en la construcción, cubriendo aspectos arquitectónicos tales como el estético, protector, recubrimientos, etc.
3. Medioambiental, al emplearse para la generación en sistemas aislados o conectados a la red reducen las emisiones de agentes contaminantes a la atmósfera tales como  $CO_2$ ,  $SO_2$  y  $NO_2$ , todos ellos liberados principalmente, por la generación de energía eléctrica obtenida a partir de combustibles fósiles.

Los enfoques antes mencionados buscan hacer un uso eficiente de la energía eléctrica en diferentes campos e inciden directamente sobre varios sectores de la industria de la transformación, y principalmente en la transmisión y distribución de energía eléctrica de CA y de CD de alto voltaje [18,19]. En ese sentido, la tarea del investigador en el área de electrónica de potencia, encuentra un nicho en desarrollar nuevas formas de obtener energía de una manera económica, limpia y sobre todo en armonía con el medio ambiente que nos rodea [17].

En relación al desarrollo de los convertidores de potencia tales como los inversores, cuya función es integrar los sistemas de generación de energía renovable a la red de distribución y transmisión eléctrica, esta integración debe hacerse de una manera segura y eficiente, por tanto, es necesario construir convertidores de alta potencia que aseguren la integración de estas etapas y garanticen la calidad de la energía [22,23].

De acuerdo a la Figura 2.1 el diseño de los inversores en relación al dispositivo de conmutación ha

llevado a seguir dos caminos [17]:

- Aumentar la capacidad en el manejo de la corriente y del voltaje en el inversor. Esto se consigue mediante la elección de semiconductores de potencia que manejen potencias elevadas a una frecuencia de conmutación entre los 10 y 20 kHz, éste tipo de solución, ya es actualmente una tecnología madura y esta representada por los llamados inversores clásicos.
- Manejar voltajes y potencias elevados empleando dispositivos semiconductores de mediana potencia. Este tipo de tecnología aún está en proceso de desarrollo y dentro de este grupo se encuentra a los inversores multinivel.

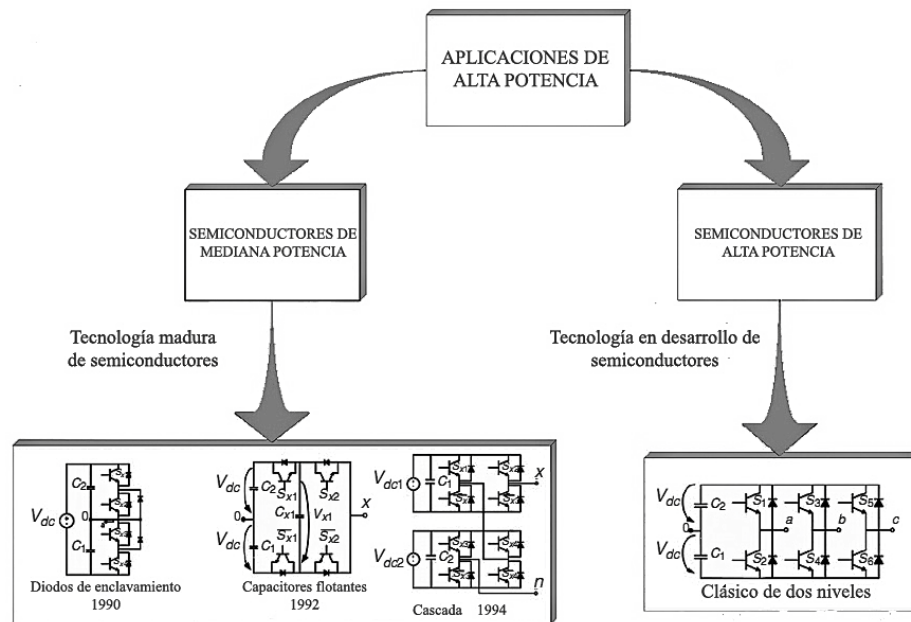


Figura 2.1. Comparativa del inversor clásico de dos niveles y la topología multinivel en relación a la tecnología de semiconductor que emplean [17].

Las tendencias recientes en la tecnología de los semiconductores de potencia propician un equilibrio entre la potencia de los dispositivos y su capacidad de bloqueo de voltaje. Actualmente se combinan las propiedades de dispositivos semiconductores de potencia tales como los IGBTs (por su alta capacidad de bloqueo de voltaje) y los dispositivos con alta velocidad de conmutación y alto voltaje basados en tiristores controlados por compuerta integrada (IGCTs), para que de manera sinérgica, se obtengan mejores resultados en los inversores [24].

La Figura 2.2 muestra de manera simplificada la clasificación de los convertidores usados en aplicaciones de mediana y alta potencia, en esta división se hace hincapié en cómo se conecta la fuente de voltaje y la carga, la cual puede ser de manera directa o indirecta) [11]. La forma usual consiste en conectar la carga directamente a la fuente de voltaje a través de semiconductores de potencia, lo cual permite mediante algún método de control adecuado, vigilar la transferencia de potencia de manera apropiada.

De acuerdo a la Figura 2.2, el convertidor más usado en conversión directa en aplicaciones de alta potencia es el cicloconvertidor, cuya construcción consiste de manera muy general, en la conexión



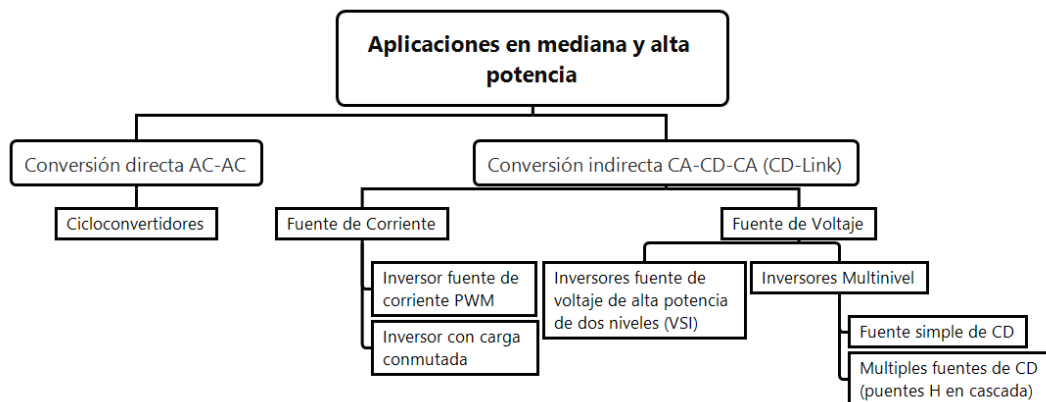


Figura 2.2. Clasificación de las topologías de los convertidores en mediano y alto voltaje.

de dispositivos de conmutación en serie, los cuales se conectan directamente entre la fuente de voltaje y la carga. Un cicloconvertidor convierte un sistema de CA de tres fases con amplitud de voltaje y frecuencia constante a un sistema de CA de tres fases, pero con magnitud variable tanto en frecuencia como en amplitud de voltaje [25].

Por otro lado, los convertidores indirectos se dividen básicamente en los tipos *fuentes de corriente* y en *fuentes de voltaje*, esto en función de como se administra el bus de CD. Dentro de los convertidores indirectos, los inversores fuente de voltaje, son más atractivos por su funcionalidad y su desarrollo ha sido más significativo en la última década, comparado con los inversores fuente de corriente. Los inversores fuente de voltaje están divididos en dos grupos: los inversores de dos o tres niveles y los inversores multinivel. Estos últimos, son los que actualmente ofrecen las mejores prestaciones y corrigen las deficiencias de los llamados inversores clásicos de dos o tres niveles, ya que por medio de la conexión de los dispositivos semiconductores en serie, se logran alcanzar niveles de voltaje y potencia elevados [25].

Debido al rápido crecimiento de las aplicaciones de la electrónica de potencia, se amplió la perspectiva de conocimiento relativo a las estructuras multinivel, a la fecha sus aplicaciones son variadas [11], por ejemplo, las instalaciones que involucran el uso de múltiples paneles fotovoltaicos aislados entre sí, pueden proveer fácilmente el voltaje necesario a los inversores con esta topología. La combinación de paneles fotovoltaicos en arreglos en serie y paralelo para alcanzar altos voltajes o altas potencias como fuentes independientes favorece a la topología multinivel de puentes en cascada [11, 25–27].

## 2.1. Inversores multinivel

Después de la propuesta de la topología del inversor multinivel reportada en [28], desarrollada en el año de 1979 y consolidada hasta mediados del año de 1991<sup>5</sup>, este tipo de convertidores ha recibido una atención creciente de tal manera que en los última década se ha logrado su empleo incluso en aplicaciones de alta potencia gracias a la inclusión de mejoras en su construcción, como

<sup>5</sup>Fue publicado por Nabae en 1980 en una conferencia internacional de la *IEEE (IEEE APEC '80)* [29] y la misma idea fue publicada en 1981 en la *IEEE Transactions on Industry Application* [30]. En esa ocasión se presentó un convertidor NPC (*Neutral Point Clamped*) cuya estructura es parecida al convertidor clásico de dos niveles, pero con la adición de dos diodos por fase.

por ejemplo el convertidor multinivel multimodular (CMM<sup>6</sup>) y por las mejoras en los dispositivos de conmutación tales como mayor velocidad de conmutación, menores pérdidas por caídas de tensión y mayores voltajes de bloqueo que se emplean para construirlos [24].

Los inversores clásicos o de tres niveles han sido empleados en aplicaciones industriales desde hace mucho tiempo, sin embargo poseen algunos inconvenientes [31]. A continuación, se presentan algunas desventajas de la topología del inversor clásico y mas adelante se argumenta cómo se resuelven mediante el uso de la topología multinivel:

1. La frecuencia portadora debe de ser muy alta. Mohan en [32] sugiere un índice de modulación en frecuencia  $m_f > 21$ , por lo tanto si la frecuencia de modulación es de 60 Hz, se obtendría una frecuencia portadora mayor a 1 kHz. Usualmente, para obtener un bajo nivel de THD, la frecuencia de portadora se selecciona entre 2-20 kHz.
2. La altura de los pulsos es muy alta. En una forma de onda PWM normal, la altura de todos los pulsos en alto son equivalentes en amplitud al voltaje de CD de alimentación. El voltaje de salida de un inversor PWM posee saltos muy grandes desde el nivel alto hasta el nivel cero; por ejemplo, si el bus de CD es de 400 V, todos los pulsos tienen un valor pico de 400 V, esto causa un valor muy grande de cambio en la pendiente de voltaje ( $dv/dt$ ), lo cual ocasiona fuerte interferencia electromagnética (EMI).
3. El ancho de pulso es muy pequeño cuando la salida de voltaje que se desea es muy pequeño. Por ejemplo, si el bus de CD es de 400 V y se desea una salida de 10 V, el ancho de pulso correspondiente debe de ser aproximadamente de 2.5% del total del periodo de conmutación.
4. Los inconvenientes 2 y 3 originan gran cantidad de armónicos, por lo que se obtiene un alto valor de THD.
5. Los fenómenos provocados por los inconvenientes 2 y 3 de este listado provocan condiciones muy rigurosas de conmutación en los dispositivos de potencia, provocando grandes pérdidas de potencia por conmutación.
6. El circuito de control del inversor generalmente es complejo, y los dispositivos son costosos (dado que tienen que soportar altos voltajes y altas potencias). Por lo tanto, todo el inversor es costoso.

En ese sentido, los inversores multinivel poseen una topología por medio de la cual el voltaje de salida se acumula en forma horizontal por medio de niveles o escalones, los cuales se suman o restan. Usando este tipo de topología, se mejoran los problemas de los inversores clásicos antes mencionados [33]:

1. La frecuencia de conmutación de los dispositivos puede ser baja, incluso igual o sólo un pequeño múltiplo de la frecuencia de la señal de salida.
2. La altura de los pulsos es bastante baja, para un inversor multinivel con  $m$  niveles y una amplitud  $E$ , la altura de los pulsos es  $\frac{E}{m}$  o sólo un pequeño múltiplo. Usualmente esto causa una pendiente  $dv/dt$  baja y una interferencia electromagnética muy pequeña que incluso puede ser ignorada.

---

<sup>6</sup>Un convertidor multinivel modular (CMM) está basado en la interconexión en cascada de medios puentes, de tal manera que la característica de modularidad le permite expandir fácilmente su capacidad y permitiendo generar voltajes y corrientes de alta calidad incluso logrando eliminar la necesidad del empleo de filtros a la salida [30].

3. El ancho de todos los pulsos tienen valores razonables, comparados con la señal de salida.
4. Las mejoras 2 y 3 pueden no producir armónicos, por lo que el THD se reduce.
5. Las mejoras 2 y 3 ofrecen condiciones de conmutación suaves, por lo tanto los componentes tienen menos pérdidas de potencia por conmutación.
6. El circuito de control es relativamente simple y los componentes no son costosos, por lo tanto el inversor es más económico.

Los inversores multinivel han recibido mucha atención y su empleo se ha incrementado en la última década, debido principalmente a sus características que resultan ser muy atractivas. Existen varios tipos de inversores multinivel, por lo que la familia multinivel se puede observar en la Figura 2.3. Actualmente, los inversores multinivel más empleados pueden ser divididos en tres grandes

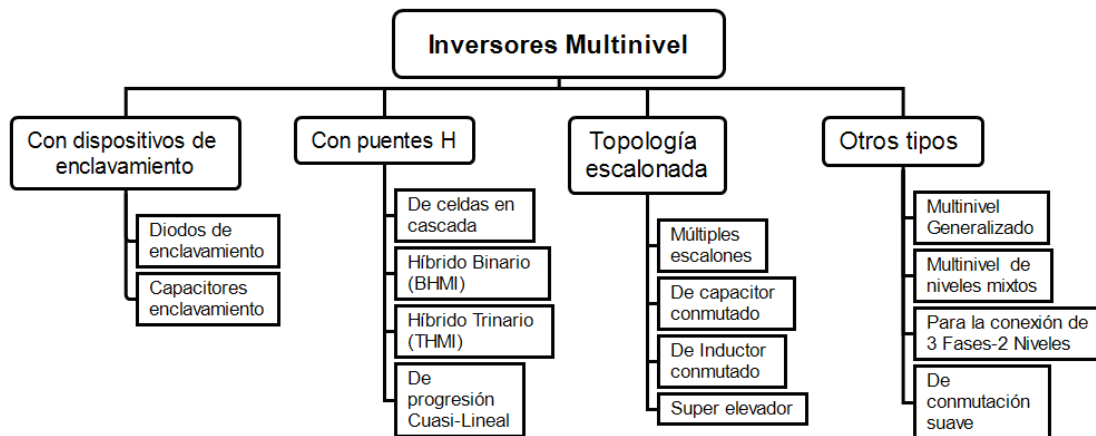


Figura 2.3. Árbol de la familia de los inversores multinivel.

grupos [34]:

- **De diodos de enclavamiento.** Estos inversores usan diodos de enlace y capacitores de CD para generar un voltaje de CA. Estos inversores son estructuras construidas para tener 3, 4 ó 5 niveles; la estructura con 3 niveles comúnmente es llamada NPC. Este tipo de estructura necesita solo una fuente de voltaje de CD para sintetizar una onda escalonada de CA [35].
- **De capacitores flotantes.** En esta topología los semiconductores se conectan en serie generando puntos de conexión donde se colocan capacitores extras [36].
- **De celdas en Cascada.** Estos inversores incluyen varias celdas en puente H (inversores puente completo) y se pueden emplear en aplicaciones de alto voltaje (dado que los dispositivos se colocan en serie) y alta potencia gracias a la capacidad de sintetizar formas de onda con bajo contenido armónico [24, 37].

El uso de las estructuras multinivel de las tres topologías tradicionales reportadas en [33, 34], también presentan algunas desventajas:

- Desbalance del nivel de voltaje que se produce en las fuentes de alimentación, a menos que cada voltaje sea proporcionado por una fuente aislada.

- Estrés de corriente en los componentes del convertidor.
- Costo de implementación elevado en comparación con los convertidores tradicionales, debido principalmente al número de dispositivos semiconductores necesarios para su construcción.
- En función del número de niveles que se desean, se necesitan varias fuentes independientes.

Para resolver la primera desventaja, en el año 2000 se propuso una topología generalizada para balancear automáticamente las fuentes de alimentación sin emplear circuitos de balanceo adicional, requerido principalmente en los convertidores multinivel del tipo de capacitores de enclavamiento [44]. Por otro lado, en [38] hacen nuevos desarrollos para reducir el número de semiconductores de conmutación y el número de capacitores en el convertidor, lo cual reduce los costos del convertidor y se logra tener un menor peso y tamaño, además de conseguir una mayor eficiencia.

En la familia de los inversores multinivel, la topología basada en la conexión en serie de puentes H es particularmente atractiva dada su modularidad y simplicidad de control. La topología de celdas en cascada no tiene problemas de balanceo de voltaje en las fuentes de alimentación tal como la de diodos y capacitores de enclavamiento, las cuales necesitan ser reiniciadas de manera especial [38]. Una desventaja de los inversores multinivel en el ámbito industrial, sobre todo, los de celdas en cascada es que los transformadores con varios devanados secundarios no son comunes en la industria, siendo esta una condición necesaria para obtener fuentes aisladas. Debido a esto, la topología antes mencionada se ha ido incorporando al medio industrial con relativa lentitud [17], sin embargo, su empleo en sistemas de generación solar fotovoltaica es adecuado dada la condición de aislamiento que guardan los paneles fotovoltaicos entre sí.

En [17] y [33] se comparan las tres topologías tradicionales de inversores multinivel tomando en cuenta características tales como el número de componentes, complejidad de control, eficiencia, tolerancia a fallos y modularidad; como resultado de dichas comparativas para el caso de aplicaciones en energías renovables se muestra que la elección de la topología más adecuada es la de celdas en cascada.

### 2.1.1. Aplicaciones de los Inversores multinivel

En la actualidad las topologías multinivel se emplean en una gran cantidad de soluciones industriales, las aplicaciones son variadas y se pueden ver con más detalle en la Figura 2.4. Por ejemplo, se emplean en convertidores del tipo CD-CD [39], en el sistema de tracción de vehículos eléctricos híbridos (HEV, *Hybrid Electric Vehicle*) tratados a detalle en [40, 41], en aviación [42], en fuentes de generación de energías renovables [18, 27], en la compensación de potencia reactiva y activa [43–45].

Los inversores multinivel son muy adecuados para aplicaciones en donde se requiere una alta densidad de potencia, ya que su estructura permite conectar las celdas en serie logrando potencias hasta de 31 MVA [17], esta estructura también se usa en aplicaciones en donde se requiere una buena calidad de la energía. En [42], por ejemplo se emplea como un filtro activo para evitar la entrada de radiofrecuencias en el sistema de alimentación de los módulos de control de los aviones de pasajeros. En [46, 47] se ha reportado el uso de esta topología en compensación de potencia reactiva. A lo largo de los años se han presentado mejoras en este convertidor multinivel en cascada, estas mejoras se presentan de manera detallada en [44].

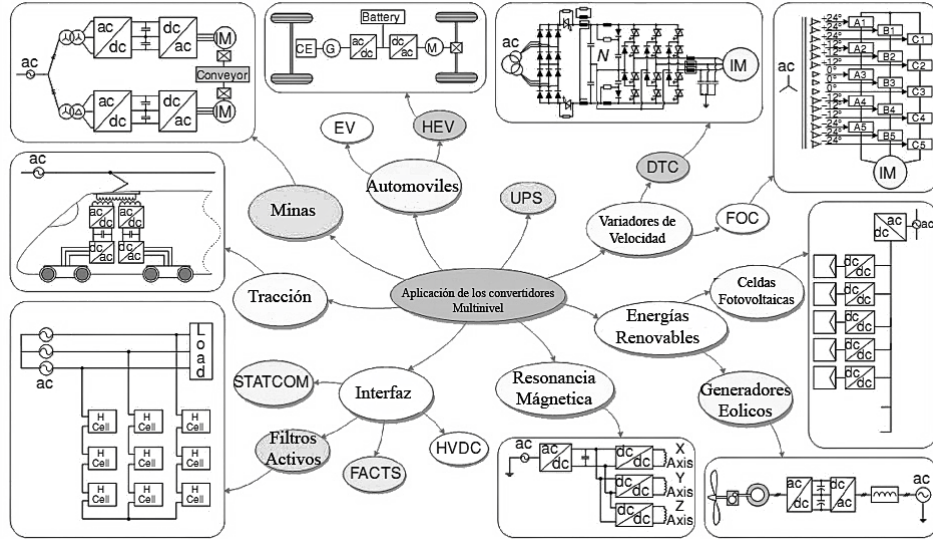


Figura 2.4. Aplicaciones de los convertidores multinivel [17].

### 2.1.2. Inversores Multinivel Asimétricos

Las ventajas de los convertidores multinivel simétricos en términos generales son su modularidad y su simplicidad de control; sin embargo, en años recientes surgió un tipo de inversor multinivel que posee la misma topología que los inversores simétricos, se les llama *inversores multinivel asimétricos*. Estos inversores usan diferentes voltajes en el bus de CD, por lo tanto, pueden realizar sumas y restas de voltajes para generar más niveles de tensión con el mismo número de componentes que los empleados por una estructura simétrica. Los inversores multinivel asimétricos pueden producir un voltaje de mejor calidad empleando un circuito más pequeño físicamente, esto conduce a disminuir la complejidad para su control, incluso es posible eliminar el filtro pasivo en la salida del inversor [48–50].

A continuación se describen dos configuraciones de las más empleadas.

#### 2.1.2.1. Inversor Multinivel Asimétrico de Potencia 2 (Binario)

En la Figura 2.5 (b) se muestra la estructura de la topología del inversor multinivel de dos celdas con relación de tensión 2:1, también llamado binario o de potencia dos (**IMHB**). Este convertidor mantiene la estructura del inversor en cascada tradicional (ver Figura 2.5 (a)), la diferencia principal radica en el nivel de tensión que entrega cada una de las fuentes de alimentación del bus de CD, las cuales mantienen una progresión 2:1 de acuerdo a la expresión (2.1).

$$2^0 \cdot E, 2^1 \cdot E, \dots, 2^{(S-1)} \cdot E \quad (2.1)$$

El número de celdas ( $S$ ) se relaciona directamente con la cantidad de fuentes de CD.

El número de niveles ( $N_{niveles}$ ) que se puede obtener del inversor binario asimétrico está dado por

la ecuación (2.2):

$$N_{niveles} = 2^{(S+1)} - 1 \quad (2.2)$$

El voltaje pico máximo  $v_{max}$  que se puede obtener de la salida del convertidor binario se relaciona con el voltaje de la celda alimentada por el voltaje más bajo en el arreglo ( $E^7$ ) y se puede calcular con la relación 2.3:

$$v_{max} = (2^S - 1) \cdot E \quad (2.3)$$

### 2.1.2.2. Inversor Multinivel Asimétrico de Potencia 3 (Trinarios)

Si la relación entre las fuentes de CD es de 3:1 (ver Figura 2.5 (c)), al convertidor se le conoce como inversor multinivel asimétrico trinario o en topología ternaria (**IMHT**). Este tipo de convertidor posee características semejantes a la topología binaria, pero ahora el incremento exponencial es en base 3.

El valor de las fuentes de voltaje de CD está dado por la progresión de la ecuación (2.4), donde  $E$  representa el voltaje de CD de la fuente de menor voltaje.

$$3^0 \cdot E, 3^1 \cdot E, \dots, 3^{(S-n)} \cdot E \quad (2.4)$$

El número de niveles ( $N_{niveles}$ ) que el convertidor trinario puede reproducir está dado por la ecuación (2.5).

$$N_{niveles} = 3^S \quad (2.5)$$

El valor del voltaje de pico máximo que se puede alcanzar está en relación directa con la tensión de la fuente de menor voltaje y se calcula con la expresión (2.6).

$$v_{max} = \frac{(3^S - 1)}{2} \cdot E \quad (2.6)$$

En la Tabla 2.1 se observa una comparativa para un mismo número de celdas y un mismo número de dispositivos de conmutación de cada una de las topologías de los convertidores ya mencionadas (IMHB y IMHT, también se incluyen las características de la topología convencional simétrica en cascada (IMCS)).

De manera comparativa, en [31, 51] se muestra la construcción de una estructura multinivel de 4 celdas en topología asimétrica trinaria, con la que obtienen 81 niveles de tensión; en el caso de que el arreglo fuera en topología binaria, se obtendrían solo 31 niveles de voltaje [55]. Si las fuentes equivalentes fueran iguales sólo obtendríamos 9 niveles de voltaje [52–54]. Basado en estos hechos, en [31] reconocen a la topología trinaria como la mejor forma de obtener una gran cantidad de niveles con una misma estructura de potencia sólo variando la relación en los voltajes de alimentación de CD.

<sup>7</sup>E, representa el valor de la fuente considerada como la unidad

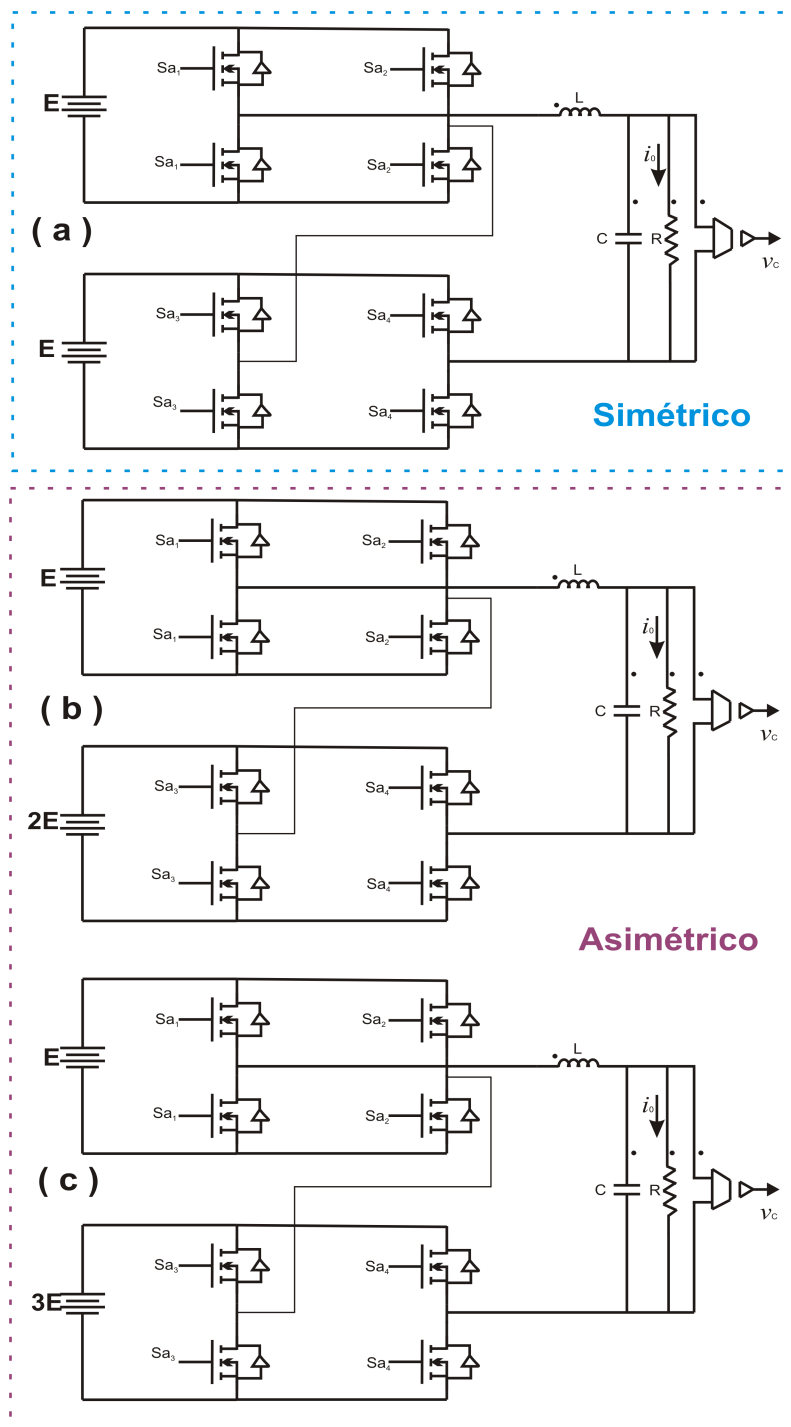


Figura 2.5. Inversor multinivel en cascada: (a) Simétrico, (b) Asimétrico de potencia 2 (Binario), (c) Asimétrico de potencia 3 (Trinario).

Tabla 2.1. Comparación entre las Topologías Multinivel Simétricas y Asimétricas

Características	IMCS	IMHB	IMHT
No. de niveles	$2S + 1$	$2^{S+1} - 1$	$3^S$
Tensión máxima ( $v_{max}$ )	$S \cdot E$	$(2^S - 1) \cdot E$	$\frac{(3^S - 1) \cdot E}{2}$
Alimentación de las celdas	$E$	$E : 2E : \dots 2^{(S-n)} \cdot E$	$E : 3E : \dots 3^{(S-n)} \cdot E$
No. de componentes	$4S$	$4S$	$4S$

S representa el número de celdas; E, el voltaje de la celda de menor voltaje

Son numerosas las topologías y técnicas de modulación que han sido estudiadas para que los convertidores multinivel se empleen en aplicaciones tales como el control de motores a nivel industrial, de enlace con la red eléctrica para sistemas de energía renovable entre otras. En la siguiente sección se mencionan, dada la extensión del tema, sólo algunas de las técnicas de modulación empleadas en inversores multinivel simétricos y asimétricos.

### 2.1.3. Técnicas de modulación para inversores simétricos

En la Figura 2.6 se muestran las técnicas de modulación usadas en inversores multinivel. Las técnicas mostradas tienen como objetivo principal disminuir los armónicos de orden bajo y controlar la onda de voltaje en la onda de salida del inversor [17].

De los dos grupos principales en los que se dividen las técnicas de modulación, los algoritmos basados en niveles de voltaje han sido los más estudiados y usados en estructuras multinivel [17]. La complejidad que involucra el trabajar en lazo cerrado con el inversor multinivel en cascada

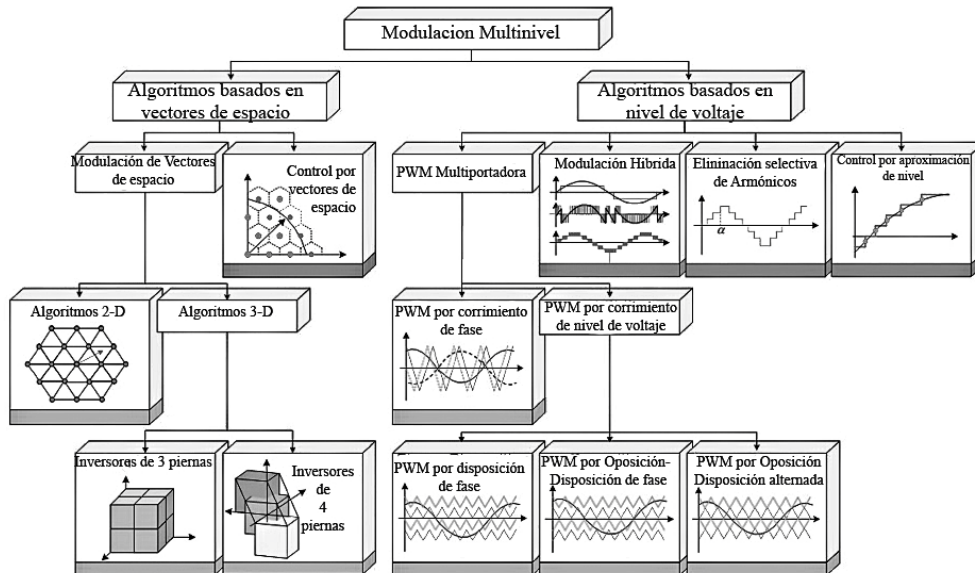


Figura 2.6. Clasificación de los métodos de modulación para convertidores multinivel [17].

depende del número de niveles que se utilicen en la estructura. De las topologías de inversores mencionados hasta ahora, es necesario recordar que son llamados *Inversores Multinivel Simétricos*,



porque el bus de CD que se emplea o los capacitores, según sea la topología empleada, poseen el mismo voltaje.

#### 2.1.4. Técnicas de modulación para inversores asimétricos

Las técnicas de modulación empleadas en este tipo de convertidores son semejantes a las empleadas en los inversores simétricos, salvo algunas pequeñas modificaciones; en el reporte del apéndice A se realizó el análisis de las técnicas de modulación de manera detallada, principalmente en el aspecto relacionado con la calidad de la señal obtenida. Este análisis se realizó para las topologías asimétricas binarias y trinarias.

Los resultados muestran que en el caso de las técnicas de modulación PD, POD, APOD e Híbrida Binaria su forma de onda posee 7 niveles de tensión, sin embargo el voltaje obtenido tiene una componente de baja frecuencia que origina una pequeña deformación de la onda de voltaje de salida antes de los cruces por cero de cada semiciclo. Analizando la calidad del voltaje obtenido para cada una de las modulaciones de progresión binaria, se puede argumentar que con la Modulación Híbrida Binaria se obtiene una mejor forma de onda después del filtro si se compara con la técnica de modulación de ancho de pulso sinusoidal.

Para el caso de los moduladores con progresión trinaria se puede observar que poseen 9 niveles de tensión; sin embargo, ocurre lo contrario que en la progresión binaria, es decir, en relación a la simetría de la onda de voltaje, las técnicas de modulación de ancho de pulso sinusoidal muestran mejores resultados que la modulación híbrida. Esto se debe principalmente al fenómeno que se presenta en la modulación híbrida trinaria llamado *caída de pulso* (pulse drop), efecto que disminuye la calidad de la onda de salida. La corrección de este efecto abre nuevas posibilidades de investigación en esta área [17].

Para finalizar, se puede argumentar que las estructuras multinivel asimétricas Binaria y Trinaria presentan mejores prestaciones que la estructura simétrica partiendo del hecho de que con el mismo número de dispositivos de conmutación de potencia se obtiene en ambas progresiones un mayor número de niveles. Esto redundará en una mejor calidad de onda a la salida del inversor. La estructura trinaria representa la mejor elección, pues con ella se obtiene el mayor número de niveles (9 niveles). Las técnicas de modulación de ancho de pulso sinusoidal, por el momento, son la mejor opción para controlar a los inversores multinivel de estructura trinaria [31].

## 2.2. Premisas de la aplicación de los FPGAs en sistemas de control en Inversores Multinivel

La precisión es un aspecto importante en el área de la ingeniería de control moderna. La teoría de control basada en sistemas continuos en el tiempo ya ha alcanzado ese objetivo y proporciona herramientas que aseguran la estabilidad asintótica y convergencia. Sin embargo, es complicado alcanzar cierto grado de precisión en el control de sistemas no lineales discretos en el tiempo, por ejemplo en sistemas que poseen actuadores con fricción controlados por computadora. Esto se debe principalmente a que la transformada Z (la herramienta común en el análisis de sistemas de tiempo discreto) no es aplicable a sistemas no lineales.

Las implementaciones de controladores realizadas en dispositivos digitales tales como los DSPs,

microcontroladores y CPUs, poseen retardos debido al procesamiento y estos retrasos son inevitables, por tanto, su aplicación da como resultado un sistema de naturaleza discreta. La discrepancia entre el uso de sistemas continuos en el tiempo y los discretos en el diseño y análisis en la implementación de controladores, ha sido durante un largo tiempo un problema en el control de sistemas electromecánicos, ya que el uso de uno u otro está en función de la precisión que se desea obtener en el controlador [56].

Una solución interesante a este tipo de problema es enriquecer el desarrollo de la teoría de control no lineal de sistemas discretos en el tiempo, pero esto resulta ser una solución de extrema dificultad. Otra solución, es emplear las técnicas de la teoría de control no lineal y usar FPGAs para la implementación del controlador [56].

Un FPGA, es un dispositivo digital reconfigurable de alto desempeño que contiene bloques lógicos cuya interconexión y funcionalidad se puede reconfigurar. La lógica reconfigurable de un FPGA, heredada de un Dispositivo Lógico Programable (PLD, *Programmable Logic Device*) [64], puede reproducir desde funciones tan sencillas como las llevadas a cabo por una puerta lógica o un sistema combinacional, hasta complejos sistemas en un chip (SoC, *System-On-Chip*). Al usar éste tipo de dispositivos se tiene la flexibilidad de modificar el circuito diseñado sin alterar algún circuito eléctrico físico. Un FPGA es un tipo de dispositivo que puede ser empleado como DSP o como un dispositivo lógico.

Desde el punto de vista computacional, no existe diferencia entre un sistema DSP/CPU y un sistema basado en FPGA configurado como DSP. Sin embargo, existen diferencias sustanciales entre un sistema DSP/CPU y un FPGA trabajando como dispositivo lógico.

En ese sentido, la diferencia más importante consiste en que un FPGA puede trabajar a velocidades que van desde decenas, hasta miles de MHz. Esto implica que los FPGA pueden operar a velocidades superiores de muestreo que la mayoría de los sistemas basados en CPU empleados en sistemas de control digital [56, 57].

Cuando un FPGA es empleado como dispositivo lógico, permite que los sistemas de control implementados en él, posean velocidades de muestreo muy altas, incluso a la frecuencia de reloj del dispositivo. En orden de magnitud, un FPGA es más rápido que las CPUs enfocadas a tareas de control, según lo muestra el estado del arte [57].

Las velocidades de muestreo muy altas, permiten que la implementación de un controlador tenga un comportamiento muy similar a un sistema continuo en el tiempo. Esto hace posible que la propuesta del control, aún implementada en un dispositivo discreto, posea características tales como la estabilidad asintótica y convergencia similares a los sistemas continuos en el tiempo. La premisa básica que sostiene el argumento anterior es que, una señal analógica puede ser vista como una señal digital muestreada con una apropiada velocidad y resolución [58].

Adicional a las altas velocidades de muestreo de los sistemas basados en FPGA, se tienen ventajas que los colocan por arriba de los sistemas basados en DSP/CPU, estas son: confiabilidad, bajo consumo eléctrico, modelado de arquitecturas paralelas, simplicidad en la configuración, reprogramabilidad, estructuras reconfigurables en línea y bajo costo, este último, comparado con el precio de los procesadores digitales de señal que son rápidos. Por ello, la tecnología FPGA es una buena elección para la implementación de algoritmos de control para prototipos [57–59].

La programación de un FPGA es realizada de dos maneras: por medio de lenguajes de descripción (HDL, *Hardware Description Languages*) o por medio de un ambiente gráfico de programación [58].

El primer tipo de programación es el más efectivo en términos de optimización y personalización del hardware para el sistema de control, pero requiere conocimientos profundos tanto del lenguaje de programación como de los recursos utilizables dentro del FPGA. Esta es la razón por la que muchos ingenieros del área de control recurren a la programación gráfica, por ejemplo el *System Generator de Xilinx Inc.* convierte bloques de *Simulink* en archivos de configuración de hardware para el FPGA de manera directa [59].

Sin embargo, asociado a la sencillez de generación de los ambientes gráficos de programación, estos poseen resultados limitados en diseños que resulten ser muy grandes, ya que fácilmente pueden exceder el tamaño de memoria del FPGA [57].

El modelado de los algoritmos puede realizarse con base en lenguajes descriptores de hardware HDL, estandarizados por la IEEE, tales como VHDL [65] o Verilog [66]. El uso de un HDL estandarizado tiene la importante ventaja de ser portable, es decir, el modelado del algoritmo puede ser sintetizado para otras plataformas sin ser modificado, o realizando algunas modificaciones ligeras. Finalmente, la síntesis de un algoritmo para un FPGA, es utilizado en la fabricación de circuitos de aplicación específica (ASIC, *Application-Specific Integrated Circuit*), lo cual abre amplias posibilidades para aplicaciones industriales en cuanto a términos de costo y desempeño [67, 68].

En relación al uso de los FPGAs en inversores multinivel, actualmente los microprocesadores que se adquieren en el mercado y que poseen generadores PWM, no pueden proveer los pulsos PWM para los convertidores multimodulares o convertidores multinivel [60], por lo que en [61–63], emplean dispositivos FPGAs (*Field Programmable Gate Array*) para hacer sólo el generador multicanal PWM o también llamado modulador multinivel.

En resumen, los sistemas basados en FPGA trabajando como dispositivos lógicos poseen claras ventajas sobre los sistemas de control basados en DSP/CPU, tales como precisión y rápida actualización en sus estados.

Para lograr una mejor personalización y optimización de los recursos del hardware interno del FPGA, la programación de cada módulo de control necesario en este trabajo se realizó por medio de lenguaje de descripción hardware (VHDL).

### 2.3. Conceptos relacionados a la interconexión de inversores a la red eléctrica

Los inversores que son conectados a la red, comparados con los inversores aislados necesitan la implementación de funciones adicionales, tales como sincronización y funciones de protección. Los sistemas de almacenamiento que son necesarios en sistemas fotovoltaicos aislados no son tan importantes en los sistemas conectados a la red eléctrica. Sin embargo, cabe mencionar que al día de hoy, los sistemas de almacenamiento se están volviendo muy importantes, sobre todo cuando se elige una integración inteligente de sistemas de respaldo con la red eléctrica [69].

En las secciones siguientes se describen los conceptos más importantes relacionados con la interconexión de los inversores a la red eléctrica.

### 2.3.1. Estructura y topologías de sistemas fotovoltaicos conectados a la red eléctrica

En los sistemas fotovoltaicos conectados a la red eléctrica, los paneles fotovoltaicos se configuran en arreglos de varias formas. Estos arreglos afectan directamente la estructura y la topología de los componentes electrónicos a usar. Generalmente este tipo de sistemas incluye un convertidor CD-CD y un convertidor CD-CA (inversor) para ser conectado a la red eléctrica. La combinación de paneles solares y convertidores determinan el costo, operación y eficiencia del sistema fotovoltaico en conjunto [69].

En la Figura 2.7 se muestran los esquemas de las configuraciones de arreglos fotovoltaicos más usados y a continuación se describe cada uno de ellos [69, 70]:

- **Configuración centralizada:** Se usa en plantas con potencias nominales mayores a 10 kWp, donde un alto número de paneles fotovoltaicos son conectados en serie o paralelo. Cada bloque tiene un diodo que previene el retorno de energía producida por la operación de los paneles con diferente irradiación solar o por la presencia de un sistema de almacenamiento que opere durante la noche; esto se muestra en la Figura 2.7 (a).
- **Configuración en cadena:** Es una versión simplificada de la configuración centralizada, cada cadena de paneles fotovoltaicos es conectada a un inversor (convertidor CD/AC). Si la cadena de paneles no tiene el nivel de voltaje apropiado se puede emplear un convertidor elevador o un transformador de baja frecuencia con el mismo fin, Figura 2.7 (b).
- **Configuración en cadena múltiple:** Es una evolución de la configuración en cadena. En este caso, cada cadena de paneles posee un convertidor que implementa un seguidor de punto de máxima potencia. En general, este tipo de arreglo mejora la eficiencia de una planta fotovoltaica, Figura 2.7 (c).
- **Configuración con módulos de CA:** Cada módulo fotovoltaico incorpora un inversor. Esta topología opera en el *modo conectar y funcionar*. Esta configuración es más costosa de mantener que las otras configuraciones y puede resultar en un problema al hacer que la potencia se incremente en la planta, Figura 2.7 (d).
- **Configuración modular:** Se basa en un diseño modular, se emplean convertidores de CD-CD y CD-CA los cuales comparten un bus común de CD. Si el sistema está conectado a la red eléctrica, es necesario el uso de un inversor. La rentabilidad del sistema es alto y de fácil mantenimiento, porque solo se reemplazaría el convertidor que resultara dañado, Figura 2.7 (e).

En cualquier caso, si el conjunto de paneles está conectado a la red eléctrica, se debe de proveer de un convertidor CD-CA que adapte las magnitudes del voltaje de CD del arreglo de paneles a la red de CA. Adicionalmente al inversor, es común usar un convertidor CD-CD tipo elevador, el cual ajustará el voltaje en CD al nivel necesario y ejecutará el algoritmo MPPT [69].

Es importante determinar si debe existir aislamiento galvánico, este generalmente se realiza por medio de un transformador, se debe determinar donde colocarlo, este puede ser de alta o de baja frecuencia (TAF<sup>8</sup>, TBF<sup>9</sup>). El transformador puede colocarse en la parte donde el convertidor opera

---

<sup>8</sup>TAF Transformador de alta frecuencia

<sup>9</sup>TBF: Transformador de baja frecuencia

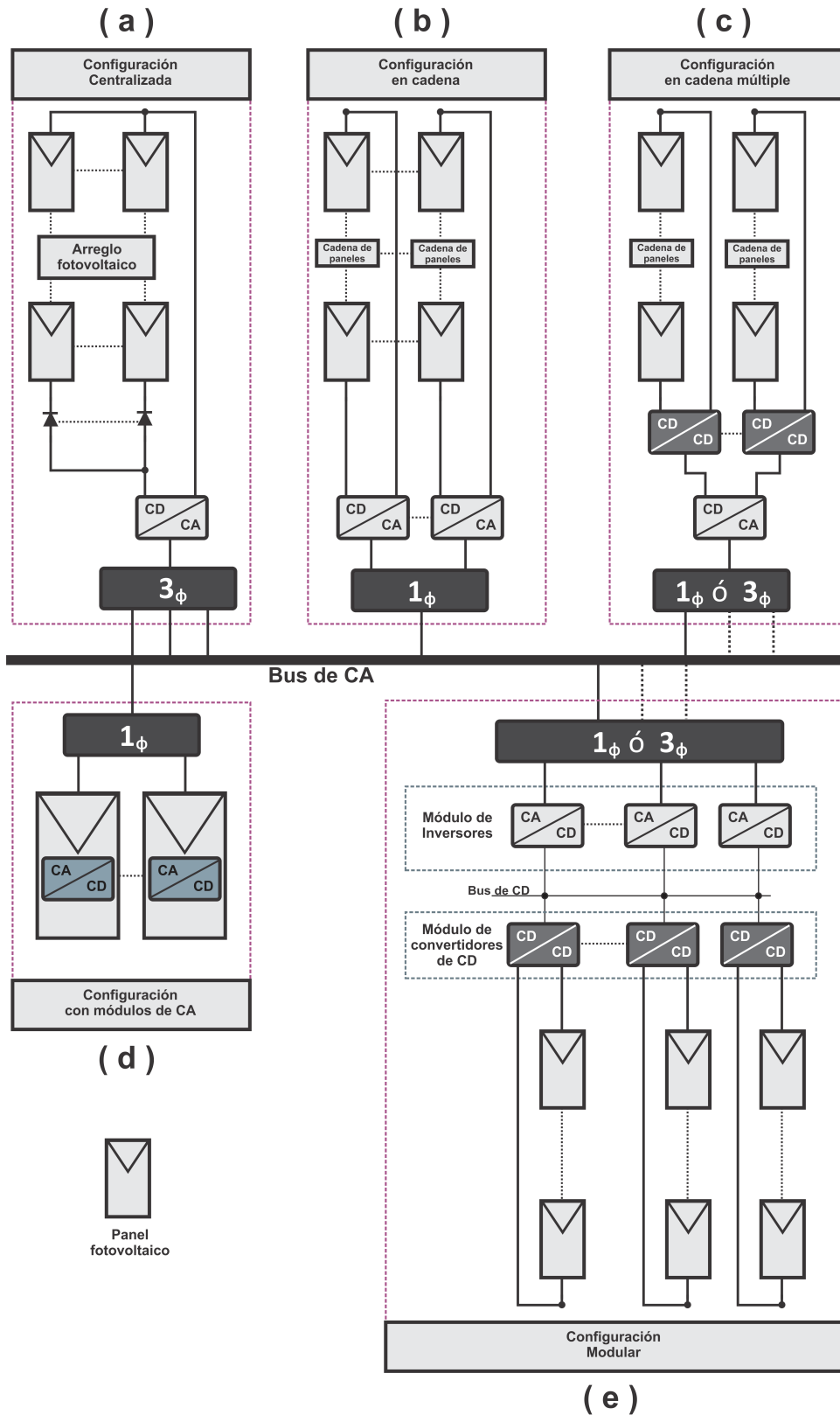


Figura 2.7. Configuraciones empleadas en los sistemas fotovoltaicos interconectados a la red eléctrica [69].

a alta frecuencia, a la frecuencia de conmutación del convertidor o en la parte donde opera a baja frecuencia (50 ó 60 Hz). Con base en estos criterios, las topologías del convertidor pueden ser clasificadas de acuerdo a la Tabla 2.2 [69–72].

En la Figura 2.8 se muestran algunos ejemplos de topologías con base en las referencias de la

Tabla 2.2. Topologías para sistemas fotovoltaicos interconectados a la red eléctrica

Características	Con convertidor de CD-CD			Sin convertidor de CD-CD	
	Con aislamiento	Sin aislamiento	Sin aislamiento	Con aislamiento	Sin aislamiento
-Topología	CD-CA/CD-CA TAF	CD-CD/CD-CA TBF	CD-CD/CD-CA	CD/CA TBF	CD/CA
-Componente de CD	Controlado	Cero	Controlado	Cero	Controlado
-Complejidad de diseño	Complejo	Medio	Medio	Simple	Simple y compacto
-MPPT	En el convertidor CD-CA	En el convertidor CD-CD	En el convertidor CD-CD	En el convertidor CD-CA	En el convertidor CD-CA
-Potencia	Media-alta	Alta	Media-alta	Alta	Baja
-Eficiencia	Buena	Media	Buena	Buena	Muy buena
-Tipo de transformador	No convencional, bajo peso y volumen	Común, volumen y peso considerable	No	Común, volumen y peso considerable	No
-Referencias	[73, 74]	[75, 76]	[77, 78]	[79-83]	[84-87]

Tabla 2.2.

Actualmente, las topologías multinivel tienen especial interés dado el bajo contenido armónico que producen en su onda de salida y que sus dispositivos de conmutación se encuentran sometidos a condiciones con menos estrés eléctrico. Esta es la razón por la que el número de inversores comerciales de este tipo se incrementa continuamente [69].

Finalmente, es necesario colocar un filtro entre la salida del inversor y la red eléctrica, los más comunes son los filtros **L**, **LC** o **LCL**.

### 2.3.2. Sincronización

Muchos inversores operan como fuente de corriente, ya que inyecta corriente a la red eléctrica con forma sinusoidal, una fase igual que la del voltaje de la red eléctrica y con un factor de potencia muy cercano a la unidad.

Para poder conectar un inversor a la red eléctrica de distribución es necesario sincronizar su salida de voltaje con el componente fundamental del voltaje de red. Independientemente de si el voltaje de la red se encuentra distorsionado, desbalanceado o que la frecuencia de la red varíe, la función de sincronización debe de estar disponible en todo momento.

En la Figura 2.9 se muestra un ejemplo de sincronización en estado estacionario para un sistema monofásico. En esa figura se puede apreciar que el voltaje de la red  $V_{red}$  está distorsionado, por lo que el sistema de sincronización debe ser capaz de extraer su componente fundamental y su secuencia positiva marcado en la figura como  $V_{red,1+}$ . Este componente se usa para generar el voltaje fundamental del inversor, llamado como  $V_{inv,1}$ . Esto asegura que la corriente inyectada a la red  $i_{Inv}$  esté en fase con la fundamental del voltaje de red  $V_{red}$ . Si el flujo de la potencia activa hacia la red se controla, el valor de la potencia, asumiendo que el factor de potencia es igual a la unidad, se puede calcular con la siguiente expresión (2.7) [69–71]:

$$P_{red} = (V_{red,1+})(i_{inv,1}) \tag{2.7}$$

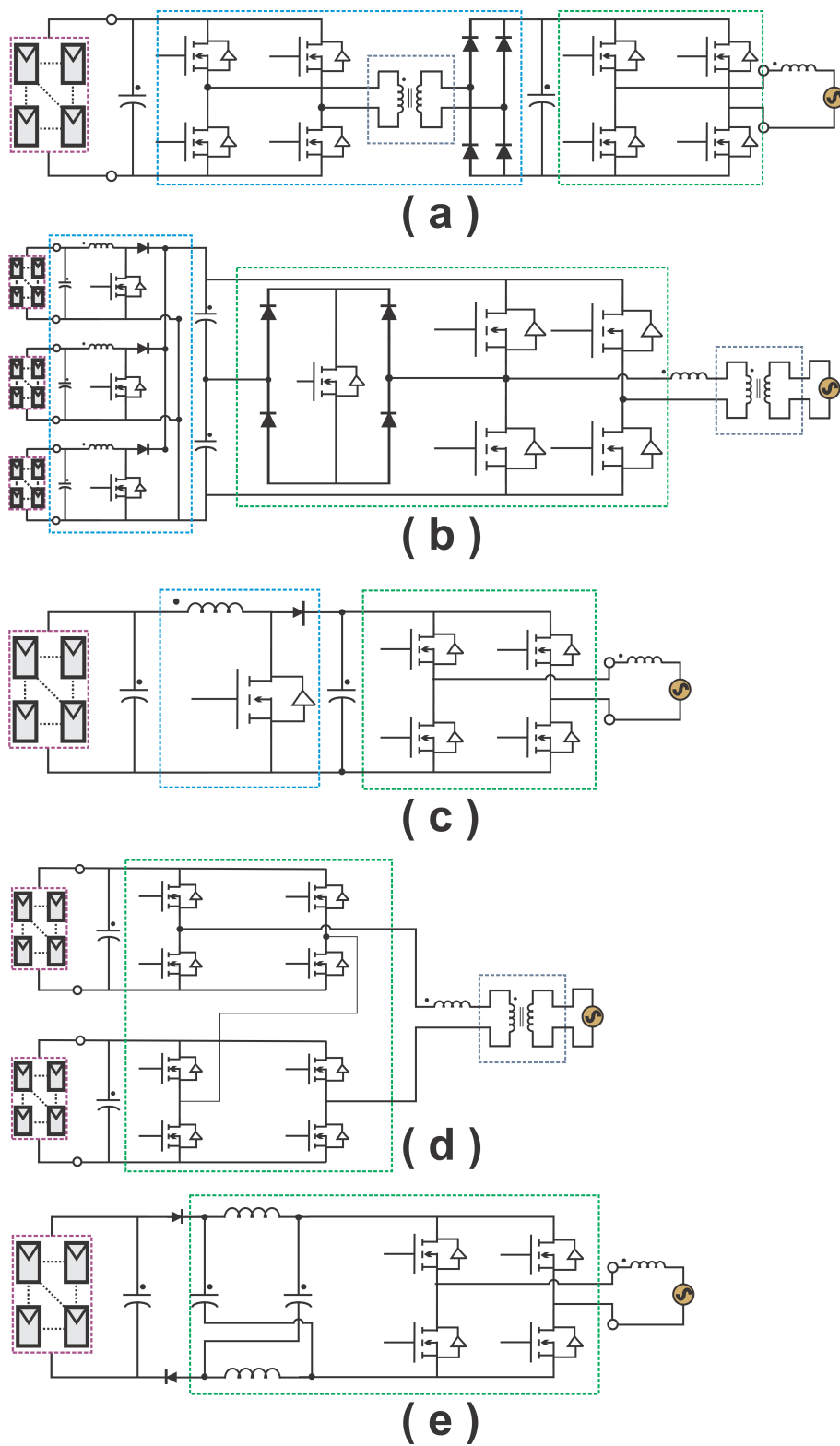


Figura 2.8. Ejemplos de topologías con base en la tabla 2.2: (a) CD/CA-CD/CA con TAF; (b) CD/CD-CD/CA con TBF; (c) CD/CD-CD/CA; (d) CD/CA con TBF; (e) CD/CA.

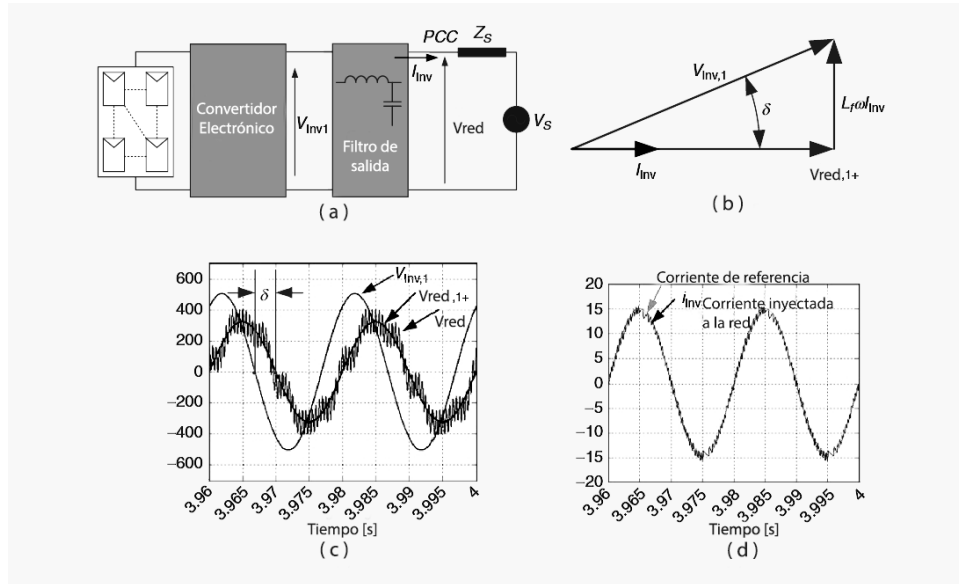


Figura 2.9. Ejemplo de formas de onda en un sistema interconectado a la red eléctrica [69]: (a) Esquema de conexión para el inversor; (b) Relación fasorial entre las magnitudes eléctricas del esquema de conexión; (c) Voltaje fundamental del inversor y de la red eléctrica; (d) Formas de onda de la corriente inyectada a la red eléctrica y de la referencia.

La tarea de obtener la fundamental del voltaje en el punto de conexión común (PCC) de un sistema fotovoltaico conectado a la red no es una tarea fácil. El voltaje de red puede contener disturbios ocasionados por los armónicos y desbalances presentes en la red, debido a resonancias en los dispositivos pasivos del inversor (resistencias, capacitores, inductores) y a la impedancia de la red ocasionadas por la frecuencia de conmutación de los dispositivos.

El sistema de sincronización debe garantizar una buena respuesta en estado estacionario y dinámico, también deberá cumplir con el requerimiento de filtrado. Un aspecto importante es que al iniciar el sistema, se debe sincronizar con la red antes de que el inversor empiece a inyectar energía [71].

En la bibliografía se han reportado y trabajado varias técnicas que permiten la sincronización del inversor con la red eléctrica, los más usados en sistemas monofásicos se comparan en la Tabla 2.3 [69, 88].

### 2.3.3. Métodos de enganche de fase

Uno de los problemas más importantes en los sistemas de energías renovables y también en los sistemas de CA de potencia, es la integración de los mismos a la red eléctrica. A este hecho se le conoce como sincronización y generalmente esta función se lleva a cabo por el inversor interconectado con la red de suministro eléctrico [80].

El ángulo de fase es una pieza de información muy importante. A nivel global, los fasores del sistema proveen información fundamental para el análisis del sistema en conjunto. A nivel local, la información del ángulo de fase es crucial para mejorar la interacción entre diferentes equipos y la red de suministro eléctrico [84].

Los convertidores electrónicos de potencia son usados como interfaz entre los generadores distribuidos y la red de suministro eléctrico. Los algoritmos de control para esos convertidores requieren



Tabla 2.3. Comparativa de las técnicas de sincronización más empleadas en sistemas fotovoltaicos monofásicos conectados a la red eléctrica

Método de sincronización	Inmunidad a la distorsión	Adaptación a los cambios de frecuencia	Robustez al desbalance	Respuesta dinámica	Costo computacional	Complejidad de implementación
MA	DCC	Baja, sufre de inestabilidad ante armónicos	Media	-	Baja, debe esperar el siguiente cruce por cero	Baja
	DTF	Alta	Alta	-	Baja	Alta
MDLA	FA	Media	Media	-	Muy-baja	Alto
	FK	-	Media-alta	-	-	Muy alto
	EMC	-	Media-alta	-	-	Medio
	ANN	-	Media-alta	-	Media-alta	Bajo
	PLL	Media	Media, debido a la presencia del segundo armónico interno.	-	Media	Medio-bajo
MDLC	EPLL	Alta	Alta, elimina el segundo armónico interno	-	Media-baja	Medio
	APLL	Media	Media-alta	-	Media-alta	Medio
	SRF-PLL	Alta	Alta, es adaptativo a la frecuencia	-	Media	Medio-alto

MA: Método analógico.

MDLA: Método digital en lazo abierto.

MDLC: Método digital en lazo cerrado

DCC: Detección de cruce por cero.

DTF: Digital basado en transformada de Fourier.

FA: Filtros adaptativos.

FK: Basados en Filtros de Kalman.

EMC: Estimación por mínimos cuadrados.

BRN: Basados en red neuronal.

PLL: Lazo de enganche de fase básico.

EPLL: PLL mejorado.

APLL: PLL adaptativo.

SRF-PLL: PLL de marco de referencia síncrono.

una información muy precisa de la fase, para asegurar la sincronización y garantizar la operación deseada. Teóricamente una señal en un sistema de CA se considera idealmente sinusoidal y posee una frecuencia  $\omega_n$ , sin embargo, en la práctica existen dos variaciones principales [71]:

- Existe distorsión de la señal debido a niveles de CD, armónicos, inter-armónicos, perturbaciones transitorias, huecos de voltaje y ruido; las no linealidades son causadas por algunos componentes del sistema y provocan distorsión de la señal de CA.
- La frecuencia no es exactamente  $\omega_n$  debido a cambios en las condiciones de consumo del sistema global.

Para resolver la primera de esas variaciones se emplean filtros lineales pasa bajas, con ellos se logra atenuar la distorsión y el ruido eléctrico. Sin embargo, un filtro refuerza la segunda variación, ya que debido a su presencia en el circuito, de manera intrínseca, se distorsiona la información del ángulo de fase provocando defasamiento entre la señal de entrada y la salida. Este problema se puede compensar, pero es necesario conocer la frecuencia en forma exacta [71].

Existen dos escenarios para la sincronización: el primero se efectúa antes de conectar el inversor a la red eléctrica y el otro es durante la operación del mismo.

Si el inversor u otra fuente de energía no se encuentran sincronizados con la red eléctrica al momento de ser conectados, se crea un transitorio de corriente que puede dañar el inversor. En operación normal, el inversor necesita seguir sincronizado para asegurar su operación adecuada; en ambos casos, la información de la red debe ser exacta y debe ser obtenida rápidamente. Dependiendo de la estrategia de control adoptada, la información de la red es una combinación de fase, frecuencia y amplitud de voltaje [85]. En sistemas de energía renovable se pueden utilizar dos tipos o clases

de métodos de sincronización: en lazo abierto y en lazo cerrado. Típicamente los métodos en lazo abierto incluyen la detección de cruce por cero y el filtrado del voltaje de red directamente, generalmente se emplea un filtro paso bajo para realizar esta actividad. Existen otros tipos de filtrado tales como el filtrado en espacio de vectores (SVF). Este método está basado en filtros de Kalman Extendidos [89], por citar alguno; sin embargo estos métodos poseen algunos inconvenientes, tales como la lentitud de respuesta y la alta sensibilidad a las distorsiones y desbalances de voltaje, adicionalmente, tienen bajo desempeño ante las desviaciones en la frecuencia [90], ambos fenómenos siempre están presentes y son inherentes a la red eléctrica de suministro [84, 85].

Los métodos en lazo cerrado introducen un mecanismo para asegurar que la información obtenida es exacta. Algunos métodos típicos de este tipo incluyen al PLL convencional, ampliamente usado en aplicaciones monofásicas, el PLL de marco de referencia síncrono rotativo (SRF-PLL), muy usado en aplicaciones de tres fases [86].

Actualmente los PLLs han sido adoptados como una parte muy importante en los controladores para aplicaciones de interconexión a la red eléctrica [91–96], en aplicaciones de energías renovables [94, 96], en FACTS (*Flexible AC Transmissions Systems*) [91, 95], en filtros activos de potencia [92], en aplicaciones de respaldo de energía [93] y en el control de calidad de energía [97]. La robustez y exactitud del PLL es esencial para la operación de esos controladores [91].

Desde hace algunos años, la técnica de enganche de fase basada en el integrador de segundo orden generalizado (SOGI) y el algoritmo de seguimiento sinusoidal (STA), también nombrado **EPLL** (PLL mejorado) ha llamado la atención de muchos investigadores.

Cabe mencionar que existen también métodos de detección en el dominio de la frecuencia, por ejemplo métodos basados en la transformada de Fourier [98, 99] y el método de la transformada discreta de Fourier en vectores de estado [100, 101]. Estos métodos requieren de almacenamiento masivo de datos, emplean muchos recursos computacionales y en consecuencia mayor tiempo de procesamiento [101], por lo tanto no es conveniente para aplicaciones en tiempo real.

Existen otras técnicas de sincronización empleadas en sistemas de tres fases, pero su revisión queda fuera de este trabajo.

A continuación se describen algunas de las técnicas mencionadas en la Tabla 2.3 y que son de vital importancia para el desarrollo de este trabajo.

### 2.3.3.1. Método de detección de cruce por cero

La detección de cruce por cero es la forma más simple para calcular la frecuencia y obtener la información de la fase de una señal sinusoidal [90].

Para convertidores de CA-CD contruidos con triacs o tiristores, el método de cruce por cero es a menudo el más usado para calcular el ángulo de disparo de los pulsos de compuerta [102, 103]. Para convertidores CD-CA, éste método se emplea para detectar la frecuencia y la fase del voltaje de red y así poder generar un voltaje sincronizado con la red eléctrica.

El método se muestra en la Figura 2.10, este consiste en reiniciar un temporizador cuando la señal cruza por cero. El intervalo entre los dos cruces es multiplicado por dos o sumado con el intervalo previo, y así obtener el periodo  $\mathbf{T}$  de la señal. Si se desea obtener la frecuencia de la señal se obtiene a partir de ( $f = \frac{1}{T}$ ). En algunos casos se puede usar un integrador para obtener la fase de la señal y cuando la señal cruce por cero, reiniciar el integrador.

Este método es muy simple y por lo tanto requiere recursos computacionales mínimos, sin embargo,

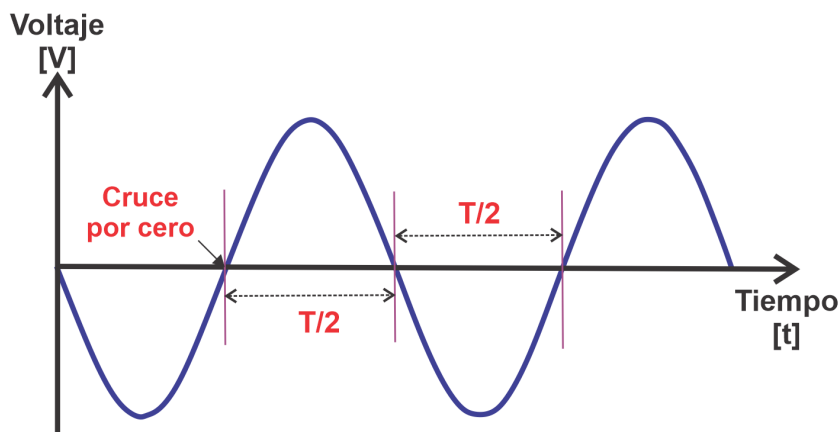


Figura 2.10. Método de cruce por cero.

existen algunos problemas al emplear dicho método: el método es muy lento, la información de la frecuencia se obtiene sólo cada medio ciclo y debido a que se suma el periodo de ambas mitades de ciclo, se supone que la frecuencia se ha mantenido constante, cuestión que en un sistema real no es del todo cierto [103].

El método de cruce por cero es muy vulnerable a saltos de fase, los cuales se dan, cuando se conectan cargas muy grandes o se enciende o apaga un interruptor que alimenta alguna carga. Un problema complicado de evitar con su uso es cuando se da un cruce por cero múltiple, debido a que la señal sinusoidal se encuentra contaminada por armónicos [104], esta situación, ya en la práctica, afecta a los convertidores analógico-digital empleados para la detección y conversión de la señal analógica, por lo que deben de ser bien calibrados y aislados de ruidos indeseables.

### 2.3.3.2. Lazo de enganche de fase básico (PLL)

Los problemas mencionados en la sección anterior sobre la distorsión y desviación de frecuencia, que no resuelve una simple detección de cruce por cero, pueden ser resueltos por medio de un lazo de enganche de fase o PLL (del término inglés *Phase-locked Loops*).

El PLL por medio de algunas operaciones no lineales y debido a sus características de simplicidad y robustez, resuelve simultáneamente la detección del ángulo de fase y atenúa la distorsión por medio de su filtro de paso bajo, esto último sin introducir desfaseamiento o distorsión en la fase a pesar de las variaciones de frecuencia [106].

En la Figura 2.11(a) se muestra el diagrama conceptual a bloques de un lazo de enganche de fase (PLL), este consiste en un módulo de detección del error de fase (DF), un filtro pasabajas (LF) y un oscilador controlado por voltaje (VCO).

La unidad del detector de fase mide la diferencia entre la señal de entrada y la señal de salida, después de ello se hace pasar esta diferencia por un filtro (LF) para extraer su componente de CD, el cual representa el error de fase. El componente de CD es amplificado y se hace pasar por el oscilador controlado por voltaje, el cual posee en su estructura un controlador Proporcional-Integral (PI) y un integrador. Pro medio del controlador PI, se genera el valor de la frecuencia de la señal de salida, esta magnitud de frecuencia aplicada al integrador permite obtener la fase de la

señal. Si la frecuencia de la señal de salida es enganchada con la frecuencia de entrada, entonces la diferencia en la fase de la señal de entrada y la de salida del detector de fase puede de manera eventual, ser cero. Cuando ello sucede, se dice que la fase de la señal de salida se engancha con la fase de la señal de entrada, por lo que se sincronizan. En la Figura 2.11(b) se muestra la estructura de control de un PLL simple. En éste, la unidad PD es un multiplicador, LF es un filtro pasa bajas y el VCO consiste en un controlador PI, un integrador y una función senoidal [107, 108].

Si en la Figura 2.11(b)), la señal de entrada es  $v = V_m \cos \theta_g$ , con fase  $\theta_g = \omega_g t + \varphi_g$  y una señal

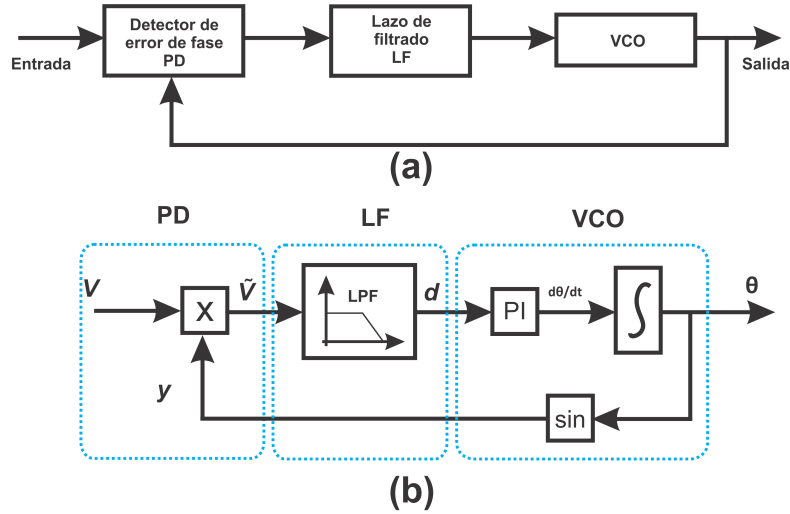


Figura 2.11. Estructura de un PLL: (a) Operación; (b) Diagrama a bloques del PLL básico.

de salida  $y = \sin \theta$  con fase  $\theta = \omega t + \varphi$ , la salida del detector de fase se puede expresar como:

$$\tilde{v} = vy = V_m \sin \theta \cos \theta_g = \frac{V_m}{2} \sin(\theta - \theta_g) + \frac{V_m}{2} \sin(\theta + \theta_g) \quad (2.8)$$

Para los dos componentes de la ecuación (2.8), factorizando y sustituyendo los valores de  $\theta_g$  y  $\theta$ , pueden ser escritos como:

$$\frac{V_m}{2} \sin [(\omega - \omega_g)t + (\varphi - \varphi_g)] \quad (2.9)$$

$$\frac{V_m}{2} \sin [(\omega + \omega_g)t + (\varphi + \varphi_g)] \quad (2.10)$$

Se observa que la ecuación (2.9) representa un término que es un componente de baja frecuencia y contiene la diferencia de fase entre  $v$  y  $y$ , el segundo término es un componente de alta frecuencia, representado por la ecuación (2.10), el cual no es de interés y es minimizado por el filtro, después de esto la salida del filtro de paso bajo esta dado por:

$$d = \frac{V_m}{2} \sin [(\omega - \omega_g)t + (\varphi - \varphi_g)] \quad (2.11)$$

El resultado de la ecuación (2.11) alimenta al controlador **PI** para generar la frecuencia estimada  $\omega = \dot{\theta}$  hasta que  $d = 0$ . La frecuencia estimada es integrada para extraer la fase de la señal de salida  $y = \sin \theta$ , la cual se retroalimenta al detector de fase para cerrar el lazo. En estado estacionario  $d$  es llevado a cero y  $\theta_g = \theta$ ,  $\omega = \omega_g$  y  $\varphi = \varphi_g$ , lo que indicaría que la señal de salida  $y$  está enganchada

con la señal de entrada  $v$ .

El PLL básico, a pesar de su simplicidad presenta algunas desventajas: existe una frecuencia del doble de la fundamental presente en el rizo de la señal de fase y que no es eliminado por el filtro de paso bajo, por lo que se provoca un error en la fase de la señal enganchada de varios grados.

Para resolver la situación anterior es natural pensar en agregar más filtros en el lazo, ello reduciría el rizo, pero debido a las nuevas etapas de filtrado, se incrementaría el tiempo de respuesta. Esto llevaría al PLL mas allá del rango permisible en aplicaciones de sistemas de potencia. Esta es la razón más importante por la cual la estructura básica PLL no es de mucho interés en la ingeniería de sistemas de potencia y sobre todo, en sistemas fotovoltaicos interconectados a la red eléctrica [71].

### 2.3.3.3. Algoritmo de seguimiento Sinusoidal (STA) o EPLL

Este método fue introducido con varios nombres, entre ellos el de algoritmo de seguimiento sinusoidal (STA, del inglés *Sinusoidal Tracking Algorithm*) [105], modelo de amplitud-fase (APM), modelo amplitud-fase-frecuencia [106] y PLL enriquecido (EPLL) [107,108], acá será referido como método **EPLL**.

El PLL mejorado (EPLL) remueve el principal problema que se origina en con el PLL básico (presencia del error de doble frecuencia). El EPLL realiza su tarea por medio de la estimación de la amplitud de la señal de entrada y con un nuevo lazo remueve el error, por lo tanto, minimiza el rizo de la señal; además de estimar la amplitud de la señal de entrada también provee de una versión filtrada de la misma señal de entrada, es decir, el EPLL adicionalmente no solo opera como un PLL, también es un filtro y un controlador a la vez. En resumen, el EPLL a pesar de su estructura sencilla es capaz de extraer hasta 10 magnitudes importantes de una señal senoidal [71]:

1. Angulo de fase estimado:  $\theta_o$
2. Frecuencia estimada:  $\omega_o$
3. Velocidad de cambio de la frecuencia estimada:  $\dot{\omega}_o$
4. Amplitud estimada:  $E(t)$
5. Velocidad de cambio en la amplitud:  $\dot{E}(t)$
6. Señal normalizada sincronizada:  $s$
7. Señal normalizada en cuadratura (90 grados retrasados):  $s^\perp$
8. Componente fundamental estimado:  $y$
9. Componente en cuadratura de la fundamental:  $y^\perp = E(t)s^\perp$
10. Distorsión total y ruido:  $e$

Un voltaje típico de la red de CA ( $v(t)$ ), tiene la siguiente forma general:

$$v(t) = \sum_{i=0}^{\infty} V_{mi} \sin \theta_{gi} + n(t) \quad (2.12)$$

Donde  $V_{mi}$  y  $\theta_{gi} = \omega_{gi} + \delta$  son la amplitud y la fase del  $i$ -ésimo componente armónico del voltaje y  $n(t)$  representa el ruido de la señal. El objetivo del PLL es extraer el componente  $e(t)$  de interés, el cual regularmente es el componente fundamental de la señal de entrada  $v(t)$ .

Si se toma a la señal estimada de salida como la expresión (2.13):

$$e(t) = E(t) \sin\left(\int_0^t \omega(\tau) d\tau + \delta(t)\right) \quad (2.13)$$

Donde:  $E(t)$  es la amplitud estimada,  $\omega(t) = \dot{\theta}_o$  es la frecuencia estimada y  $\theta(t) = \int_0^t \omega(\tau) d\tau + \delta(t)$  es la fase estimada de  $e(t)$ .

Se puede definir al vector de estados del sistema como:

$$\Psi(t) = \left[ E(t) \quad \omega(\tau) \quad \delta(t) \right]^T \quad (2.14)$$

Si el problema de diseño del PLL se formula como un problema de optimización, entonces se debe buscar el vector óptimo  $\Psi(t)$  que minimice la función de costo:

$$J(\Psi(t), t) = d^2(t) = [v(t) - e(t)]^2 \quad (2.15)$$

Donde  $d(t) = v(t) - e(t)$  es el error de seguimiento.

Existen varios métodos aplicados para resolver este problema, uno de ellos es el método del gradiente descendente [71, 105, 108, 109], para resolver el problema de optimización se puede formular el sistema que se muestra a continuación:

$$\frac{d\Psi(t)}{dt} = -\mu \frac{\partial [J(\Psi(t), t)]}{\partial \Psi(t)} \quad (2.16)$$

En (2.16),  $\mu$  representa una matriz diagonal de tal forma que minimice  $J$  a lo largo de la dirección de  $-\frac{\partial [J(\Psi(t), t)]}{\partial \Psi(t)}$ , resultando el conjunto de ecuaciones siguiente [71, 108]:

$$\begin{cases} \frac{dE(t)}{dt} = \mu_1 d \sin \theta \\ \frac{d\omega(t)}{dt} = \mu_2 E d \cos \theta \\ \frac{d\theta(t)}{dt} = \omega + \mu_3 \frac{d\omega(t)}{dt} \end{cases} \quad (2.17)$$

La representación en bloques del sistema (2.17) se presenta en la Figura 2.12.

### 2.3.4. Protecciones

La mayoría de códigos nacionales e internacionales que regulan a las plantas fotovoltaicas conectadas a la red, establecen valores máximos y mínimos de voltaje y frecuencia, por lo tanto al diseñar un inversor con esta característica, es necesario que cuente con estas protecciones. Cuando el valor RMS o la frecuencia se salen del intervalo permitido, la planta fotovoltaica debe ser desconectada de la red.

Otra protección que es común en sistemas interconectados a la red eléctrica es la protección de modo isla, la cual debe prevenir que el inversor continúe trabajando conectado a la red si ésta no se

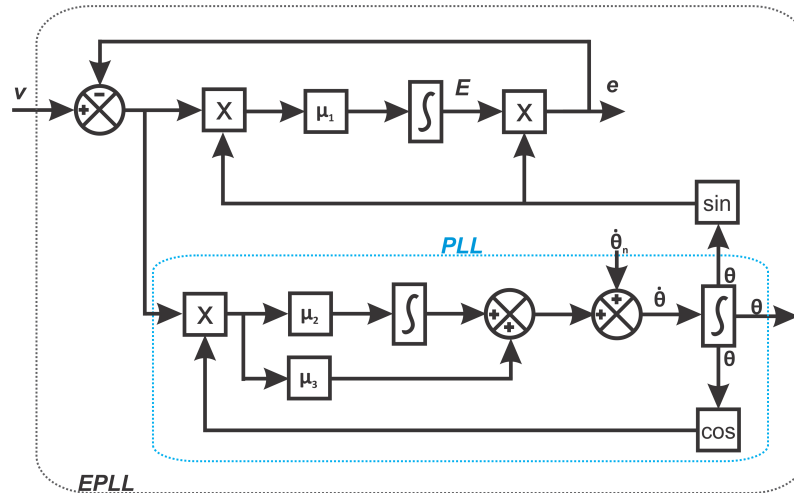


Figura 2.12. Estructura del EPLL [71]

encuentra energizada (por ejemplo, debido a una falla o a trabajos de mantenimiento en el sistema eléctrico). Hay varios métodos que intentan detectar la ausencia de voltaje en la red [110–112], estos pueden ser clasificados principalmente en dos grandes grupos, tal como se muestra en la Figura 2.13.

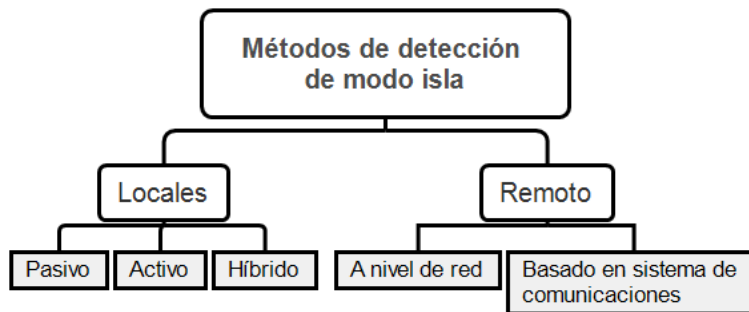


Figura 2.13. Clasificación de los métodos para detección de modo isla

### 2.3.5. Métodos de Seguimiento del Punto de Máxima Potencia

Maximizar la eficiencia del procesamiento de potencia de un arreglo fotovoltaico es inútil si no se asegura que se extraiga la máxima potencia del arreglo, tanto en estado estable como en condiciones de variación climática.

Existen múltiples técnicas para maximizar la extracción de potencia de los paneles solares [113], las cuales pueden ser comparados usando diferentes criterios (Ver Tabla 2.4), las técnicas más empleadas por su simplicidad son: control retroalimentado  $\frac{dP}{dt}$ ,  $\frac{dP}{dI}$ , conductancia incremental y perturbación-observación (P&O).

Tabla 2.4. Técnicas de MPPT más usadas [69]

Características mas importantes de algunas de las técnicas MPPT						
Técnica MPPT	Dependencia del arreglo	MPPT Verdadero	Analógico o digital	Velocidad	Complejidad	Sensores
-P&O	No	Si	Ambos	Variable	Baja	I y V
-Conductancia incremental	No	Si	Digital	Variable	Media	I y V
-Fraccional $V_{oc}$	Si	No	Ambos	Media	Baja	V
-Fraccional $I_{sc}$	Si	No	Ambos	Media	Media	I
-Lógica Difusa	Si	Si	Digital	Rápida	Alta	I ó V
-Red neuronal	Si	Si	Digital	Rápida	Alta	I ó V
-RCC	No	Si	Analógico	Rápida	Baja	V
-Control $dP/dt$ ó $dP/dI$	No	Si	Digital	Rápida	Media	I y V

### 2.3.6. Operación y eficiencia del MPPT

Los productos comerciales usan típicamente técnicas de perturbación-observación para calcular el punto de máxima potencia, miden instante tras instante el valor del voltaje que posee el panel fotovoltaico y así determinan su máxima potencia instantánea. Los métodos de perturbación-observación y el de conductancia incremental requieren un diseño paramétrico exacto y usualmente controlan a un convertidor CD/CD, el cual adapta el voltaje del arreglo de paneles solares con el bus de CD o cargador de baterías [114].

En la Figura 2.14 se muestran algunos ejemplos de la operación en términos generales de MPPT empleando un convertidor CD-CD.

Por las características que ofrece la técnica de perturbación y observación (P&O), se seleccionó para este trabajo.

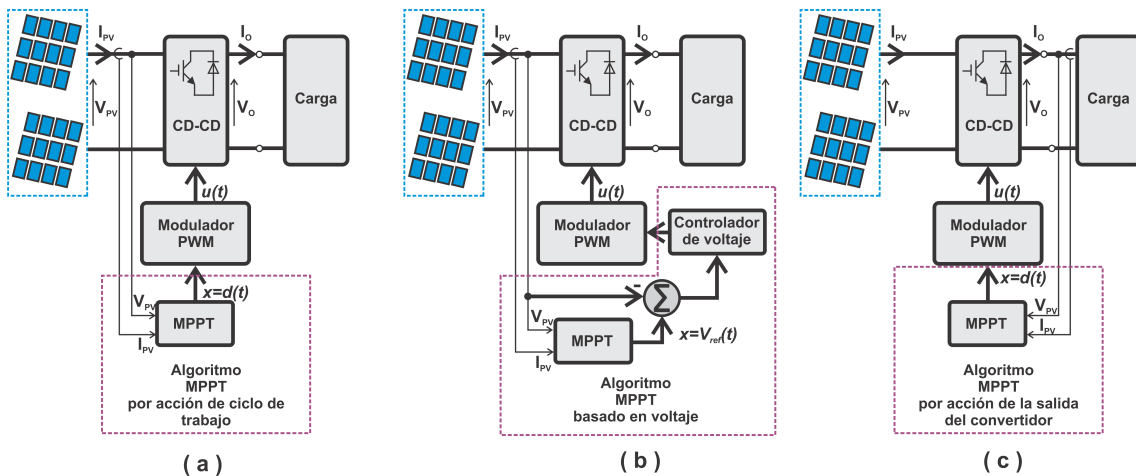


Figura 2.14. Diferentes técnicas de MPPT empleando convertidor CD-CD: (a) Por acción del ciclo de trabajo; (b) Por medio de una referencia de voltaje; (c) Observando la salida del convertidor. [69]



## 2.4. Metodología

La metodología para el desarrollo de este trabajo consta de diez etapas, las cuales se dividen en dos fases, esto se muestra en la Figura 2.15:

**Fase 1:** Esta fase es muy importante, en ella se analiza la viabilidad de la aplicación de la técnica

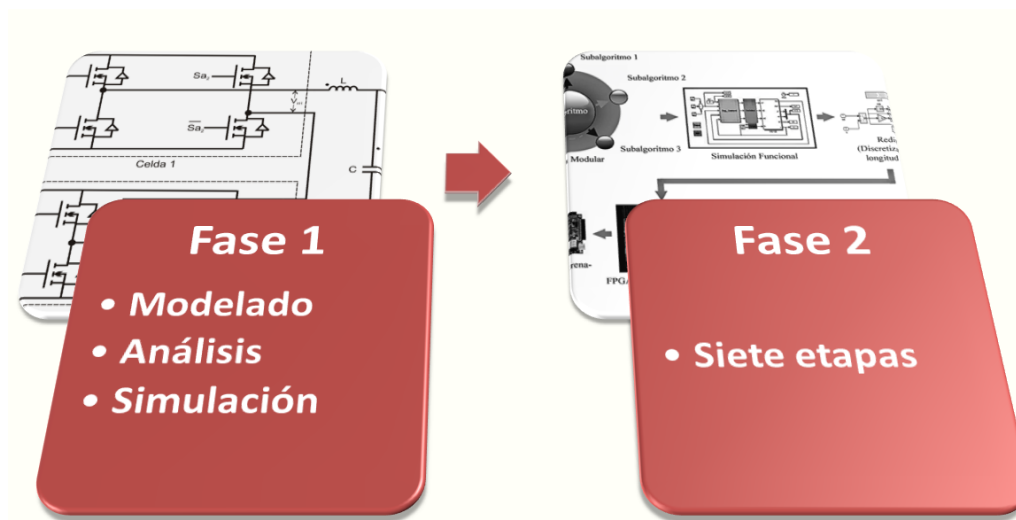


Figura 2.15. Fases de la metodología.

de control elegida, en esta fase se incluyen las tres primeras etapas relacionadas con el modelado, análisis y simulación del inversor monofásico multinivel, estas etapas son independientes del dispositivo a utilizar y se describen brevemente a continuación:

- [1] **Modelado:** En esta etapa se modela matemáticamente el inversor monofásico empleando las leyes de Kirchoff para la obtención de las ecuaciones diferenciales en forma continua del sistema.
- [2] **Análisis:** Dando seguimiento a la etapa anterior se analiza el modelo dinámico por medio de algunas herramientas matemáticas tales como el álgebra lineal y de teorías de control lineal y no lineal. Esta etapa es muy importante para el desarrollo del proyecto, ya que determina la factibilidad del diseño promedio del controlador basado en la técnica adecuada.
- [3] **Simulación:** En esta fase se simula el modelo matemático obtenido en forma continua en el tiempo, para realizar esta tarea se puede utilizar el software **SIMNON**. En esta fase se confirma el nivel de aproximación del modelo obtenido del sistema a través de la comparativa a nivel de simulación de las ecuaciones diferenciales que describen el comportamiento dinámico del sistema y el circuito eléctrico realístico del mismo a través de la co-simulación del software **Matlab/Simulink** y el software **PSIM**. Después de esta etapa se verifica el modelo dinámico del convertidor bajo estudio.

De manera paralela, durante esta fase se dimensiona y se construye el convertidor de potencia (ver apéndice I).

**Fase 2:** En esta fase la metodología ofrece una solución balanceada entre dos necesidades opuestas:

- Un método que se adapte amigablemente a ingenieros de control que no son expertos en electrónica digital.
- Buen desempeño del controlador.

Como se puede ver en la Figura 2.16, el diseño estará restringido por algunos aspectos relacionados con el algoritmo, es decir, será sensible a las dependencias en la aritmética del mismo, lo que nos lleva a verificar su modularidad. Esta restricción es muy importante, ya que los dispositivos de lógica reconfigurable tienen la propiedad de ejecución concurrente, sin embargo, algunos algoritmos, no se pueden ejecutar de esa forma, por lo que se deben tratar de manera secuencial. Por otra parte, las restricciones de tiempo quedan definidas en términos de la velocidad de muestreo necesaria para que el diseño pueda ejecutarse en tiempo real y eso depende principalmente del sistema a controlar. Un aspecto muy importante es considerar que al emplear dispositivos de lógica reconfigurable, los recursos del mismo no son ilimitados, por lo que una etapa de optimización y reutilización de módulos es necesaria. A continuación se describe en términos generales cada una de las etapas (ver [115–119]):

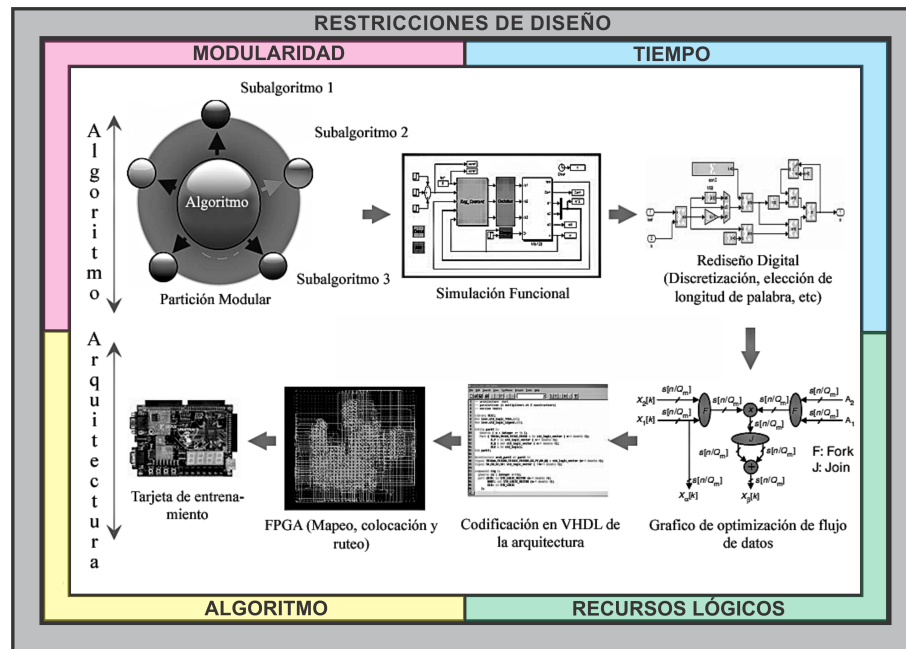


Figura 2.16. Metodología de diseño.

- **[4] Partición modular:** Este paso es crucial en la metodología y consiste en dividir el algoritmo de control en partes más pequeñas que serán llamados módulos, los cuales deben de ser fáciles de desarrollar y probar. En esta etapa se deben de identificar y extraer acorde a los conceptos de jerarquía y regularidad los módulos que sean independientes y los que puedan ser reusados (moduladores, estimadores, operaciones con vectores, etc.). La jerarquización se utiliza para dividir un diseño grande o complejo en partes más pequeñas que sean más manejables; la regularidad tiene que ver con maximizar el empleo de módulos que se puedan reutilizar.

- [5] **Simulación funcional:** En esta etapa se implementa el modelo funcional del controlador y se valida el funcionamiento con bloques en tiempo continuo empleando la herramienta MATLAB-Simulink.
- [6] **Rediseño digital:** Este paso es muy importante, en éste se incluye la realización del filtro digital, la elección del periodo de muestreo, la elección del formato de coeficientes y variables acorde a las necesidades y restricciones del control tales como: longitud de palabra, punto fijo o punto flotante, etcétera.

Las cuatro etapas finales están ligadas al tipo de dispositivo a emplearse, estas son:

- [7] **Gráfico de optimización del flujo de datos:** En esta etapa se modela el flujo de datos del algoritmo para tener el mejor balance en términos de tiempo/área, es decir se debe obtener una representación gráfica de cada módulo del algoritmo. La representación gráfica está compuesta de líneas y nodos, cada línea corresponde a una transferencia de datos y los nodos representan operaciones aritméticas o funciones lógicas o matemáticas.
- [8] **Codificación HDL:** Consiste en la transcripción del gráfico de flujo de datos de manera casi directa a código VHDL, es decir se obtiene de reemplazar cada nodo del gráfico con su correspondiente operador y cada línea con un bus de datos entre operadores. La transferencia de datos es controlada por una unidad de control, que regularmente es una máquina de estados finitos que está sincronizada por la señal de reloj.
- [9] **Implementación en FPGA:** Este es un proceso automático y es realizado por la herramienta EDA que se utilice, consiste en el mapeo de las funciones resultantes, colocación y ruteo.
- [10] **Validación experimental:** Consiste en ajustar el modelo obtenido auxiliándose del procedimiento HIL<sup>10</sup> (*Hardware in the Loop*).

---

<sup>10</sup>Durante este desarrollo, este procedimiento se emplea para sintonizar el controlador y acoplarlo al sistema físico del convertidor, el procedimiento consiste en un proceso iterativo de sintonía auxiliado de una interfaz USB u otro medio.



## Capítulo 3

# Fase 1: Modelado, análisis y simulación

**Resumen:** En este capítulo se realiza el análisis, diseño e implementación de un control de corriente para el sistema de interconexión nombrado IMCAT y se describen algunos conceptos relacionados. Como ya se mencionó en el capítulo anterior, la metodología se compone de dos fases: en la fase 1, particularmente para el sistema IMCAT, primero se revisa la pertinencia del filtro elegido, se analiza su comportamiento en términos de su frecuencia de resonancia y se elige una configuración. El circuito eléctrico resultante es examinado aplicando las Leyes de voltaje y corriente de Kirchhoff para obtener su modelo matemático y se analizan sus propiedades. Se determina la salida plana del sistema y se explota la propiedad de planitud para realizar la parametrización diferencial de las variables de estado del sistema en términos de dicha salida. Se realiza el planteamiento del problema de control y se diseña una ley de control con enfoque ADRC. En el mismo sentido, para minimizar los efectos transitorios presentes en la red eléctrica, estos se consideran como una perturbación al sistema, por lo tanto, se diseña un observador GPI para estimar y atenuar dichas perturbaciones una vez hecha la retroalimentación a la ley de control. Posteriormente se realiza la simulación de dos escenarios del sistema, con lo que se comprueba la efectividad de la propuesta.

### 3.1. Generalidades de la interconexión a la red eléctrica

Los inversores de potencia conectados a la red eléctrica de suministro, han incrementado su presencia en instalaciones residenciales e industriales, pero más notoriamente para interconectar fuentes de energía renovable a la red, estas pueden ser: turbinas eólicas, granjas solares o sistemas de generación híbrida [121]. Los inversores son conectados a la red eléctrica por medio de un filtro pasivo. Un filtro de enlace del tipo inductivo ( $L$ ), es una solución simple, disminuye la complejidad del controlador y de la construcción del sistema.

En la Figura 3.1 se muestra, de forma general, un diagrama de interconexión entre dos fuentes, la primera representa una fuente corriente, la cual puede ser un inversor y la otra, representa a la red de suministro eléctrico. La fuente inyecta la corriente  $i_g$  hacia la red eléctrica. Para este caso, la corriente puede provenir, por ejemplo, de un arreglo fotovoltaico y es considerada una fuente de

corriente con alta impedancia de salida.

En términos prácticos, no es conveniente conectar directamente una fuente de voltaje en paralelo con la red de suministro eléctrico, lo correcto es conectar ambas fuentes en paralelo por medio de un inductor, esto se muestra en la Figura 3.2 (a). La inductancia  $L$  sirve como impedancia de acoplamiento entre las dos fuentes de voltaje. Donde  $L$  no es un elemento disipativo, más bien, es un elemento de almacenamiento. En la Figura 3.2 (b), se muestra que al unir una fuente de voltaje  $v_i$  junto con un inductor  $L$ , se forma una fuente de corriente.

Si la corriente  $i_g$  proviene de una fuente renovable, por ejemplo, de un arreglo fotovoltaico, es

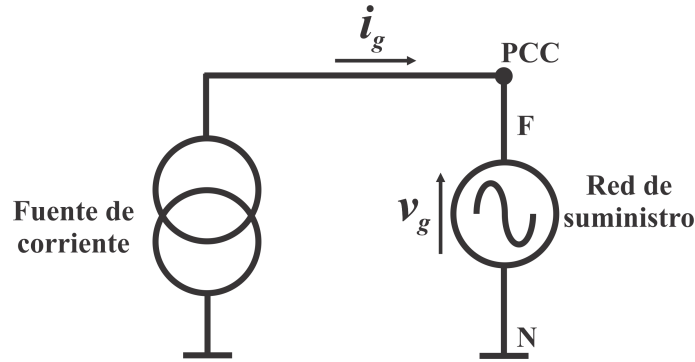


Figura 3.1. Diagrama general de interconexión.

necesario considerar que dicha corriente deberá ser la máxima posible, donde el límite, es la corriente máxima que el arreglo fotovoltaico puede proporcionarnos.

De acuerdo a la Figura 3.2 (b), el voltaje de la red  $v_g$ , se considera senoidal puro; sin embargo, en la práctica no siempre es así, ya que contiene armónicos y generalmente no se puede tener ningún control sobre la red de suministro, para el caso en cuestión, se supondrá que es puramente senoidal.

Para lograr maximizar la potencia activa desde el arreglo fotovoltaico, se debe considerar que la corriente  $i_g$  y el voltaje  $v_g$  se encuentran en fase, lo que permite que el factor de potencia sea unitario, tal como se muestra en la Figura 3.3.

La potencia instantánea  $P_{inst}$  para un sistemas con las características descritas por la Figura 3.3 se puede definir como:

$$P_{inst} = V_g I_g \quad (3.1)$$

Donde:

$$\begin{aligned} V_g &= V_m \sin(\omega t) \\ I_g &= I_m \sin(\omega t - \phi) \end{aligned} \quad (3.2)$$

En la ecuación (3.3), si se considera a  $v_g$  e  $i_g$ , con  $\phi = 0$ , la potencia instantánea se puede definir de la manera siguiente:

$$\begin{aligned} P_{inst} &= v_g i_g \\ &= V_m I_m \sin(\omega t) \sin(\omega t) \\ &= V_m I_m \sin^2(\omega t) \end{aligned} \quad (3.3)$$

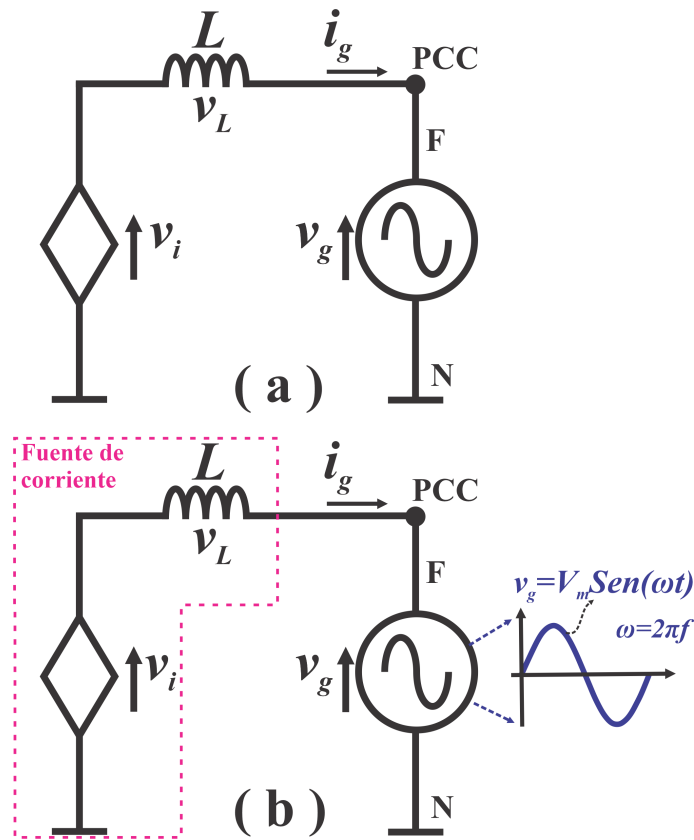


Figura 3.2. Diagrama general de interconexión.

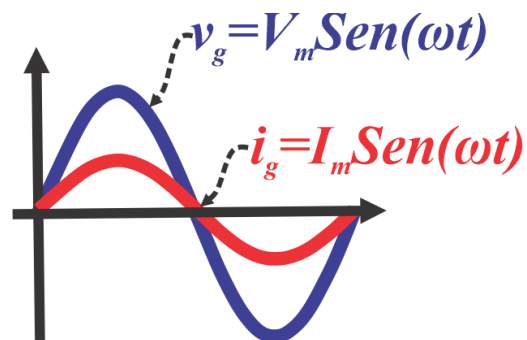


Figura 3.3. Voltaje  $v_g$  y corriente  $i_g$  de red en fase.

La potencia media o promedio se determina a partir de la instantánea, esto es, integrando sobre un periodo completo:

$$\begin{aligned} P_{media} &= \frac{1}{2\pi} \int_0^{2\pi} P_{inst} dt \\ &= \frac{V_m I_m}{2\pi} \int_0^{2\pi} \sin^2(\omega t) dt \end{aligned} \quad (3.4)$$

Al resolver la integral de la ecuación (3.4) se tiene:

$$P_{media} = \frac{V_m I_m}{2} \quad (3.5)$$

### 3.1.1. Análisis de un sistema con un inductor de enlace

Analizando por medio de la Ley de Voltaje de Kirchhoff (LVK) el lazo del circuito mostrado en la Figura 3.4 se tiene lo siguiente:

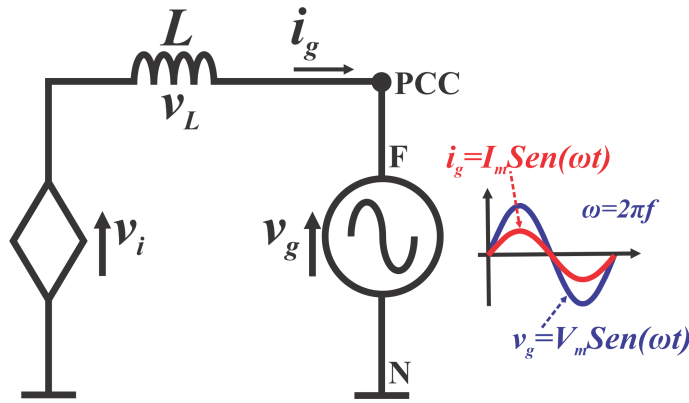


Figura 3.4. Sistema de interconexión con inductor de enlace.

$$v_g + \underbrace{v_L}_{:=L \frac{di_g}{dt}} = v_i \quad (3.6)$$

Sustituyendo los valores para  $v_g$  e  $i_g$  en la expresión (3.6) y resolviendo la derivada temporal se tiene:

$$V_m \sin \omega t + L \underbrace{\frac{dI_m \sin \omega t}{dt}}_{:=L\omega I_m \cos \omega t} = v_i \quad (3.7)$$

de la expresión (3.7) se obtiene lo siguiente:

$$V_m \sin \omega t + L\omega I_m \cos \omega t = v_i \quad (3.8)$$

Por otro lado, partiendo de la ecuación (3.6) y ordenando se tiene:

$$\frac{di_g}{dt} = \frac{1}{L}(v_i - v_g) \quad (3.9)$$



Si se integra en ambos lados a la ecuación (3.9) obtenemos una expresión para la corriente  $i_g$  que pasa por el inductor:

$$i_g = \frac{1}{L} \int (v_i - v_g) dt \tag{3.10}$$

Si se sustituye a  $v_i$  y  $v_g$  por sus valores correspondientes en la ecuación (3.10) y se evalúa la integral se tiene:

$$\begin{aligned} i_g &= \frac{1}{L} \int (V_m \sin \omega t + L\omega I_m \cos \omega t - V_m \sin \omega t) dt \\ &= \frac{1}{L} \int (\cancel{V_m \sin \omega t} + L\omega I_m \cos \omega t - \cancel{V_m \sin \omega t}) dt \\ &= \frac{1}{L} \int (L\omega I_m \cos \omega t) dt \\ i_g &= I_m \sin \omega t \end{aligned} \tag{3.11}$$

Donde  $i_g = I_m \sin \omega t$  representa a la corriente sobre el inductor  $L$  con forma sinusoidal, misma que será inyectada a la red eléctrica.

Si se toma la expresión  $v_i = v_g + v_L$ , presentada en la ecuación (3.6), se puede deducir que el voltaje  $v_i$ , el cual puede describir al voltaje de un inversor, es más grande en magnitud que  $v_g$  y  $v_L$ , ya que es la suma de ambos. Por lo tanto,  $v_i$  puede servir de referencia para mantener el voltaje hacia la red eléctrica. Por todo lo anterior, se puede argumentar que la fuente que se desea conectar en paralelo con la red eléctrica debe cumplir dos condiciones:

- Ser una fuente de corriente controlada con forma de onda sinusoidal.
- La magnitud del voltaje pico de la fuente a conectarse (inversor), debe ser mayor al voltaje pico de la red eléctrica.

Ambas condiciones pueden observarse en la Figura 3.5.

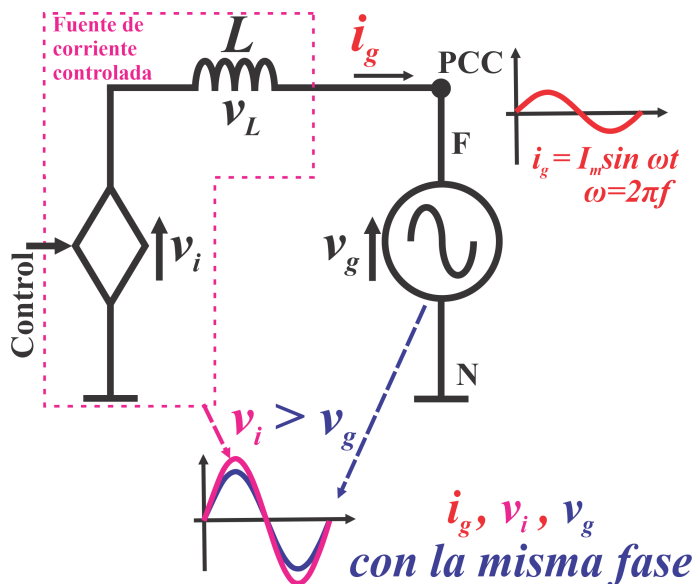


Figura 3.5. Condiciones para realizar la interconexión de dos fuentes de CA.

### 3.2. Enlace entre la red eléctrica y la fuente controlada de corriente

La forma tradicional de interconectar una fuente de corriente, por ejemplo un inversor, con la red de suministro eléctrico, se muestra en la Figura 3.4. Sin embargo, al emplear un solo inductor ( $L$ ) para el enlace, la frecuencia de conmutación del inversor debe incrementarse para lograr que el inductor logre un desempeño dinámico satisfactorio y permitir mayor atenuación de los armónicos causados por el PWM. Una mejor alternativa es emplear una configuración  $LCL$  para el enlace, ya que permite mejorar el filtrado de armónicos y disminuir la frecuencia de conmutación en el PWM del inversor. Esto es una ventaja importante, principalmente para aplicaciones de potencia elevada [120, 121].

En el mismo sentido, al incorporar un filtro  $LCL$  para el enlace, es natural que al ser de tercer orden, la estrategia de control involucrada, será más compleja para mantener la estabilidad del sistema y en consecuencia, será más susceptible a las interferencias causadas por la distorsión presente en el voltaje de red, lo que puede originar resonancias en el filtro, fenómeno que se debe minimizar, ya sea, por la acción del controlador o por la elección correcta de los elementos del filtro  $LCL$ . Para minimizar el fenómeno de resonancias en el enlace o filtro  $LCL$ , es común agregar amortiguamiento pasivo por medio de un resistor en serie o un arreglo  $RC$  en paralelo con el filtro  $LCL$ . En la siguiente sección se hablará de las configuraciones que permiten agregar amortiguamiento pasivo al filtro  $LCL$  y minimizar los efectos de resonancia en el mismo.

#### 3.2.1. Configuraciones para amortiguamiento pasivo en el filtro LCL

Partiendo del circuito mostrado en la Figura 3.6, el cual representa un filtro  $LCL$ , la función de transferencia  $G(s) = i_g(s)/v_{inv}$  que relaciona la salida  $i_g$  respecto a la entrada  $v_{inv}(s)$ , se puede obtener desde las ecuaciones de estado obtenidas por medio de un análisis de mallas y nodos aplicando las Leyes de Kirchhoff de voltaje (LVK) y corriente (LCK).

Aplicando LVK Para la malla 1, se tiene la siguiente expresión:

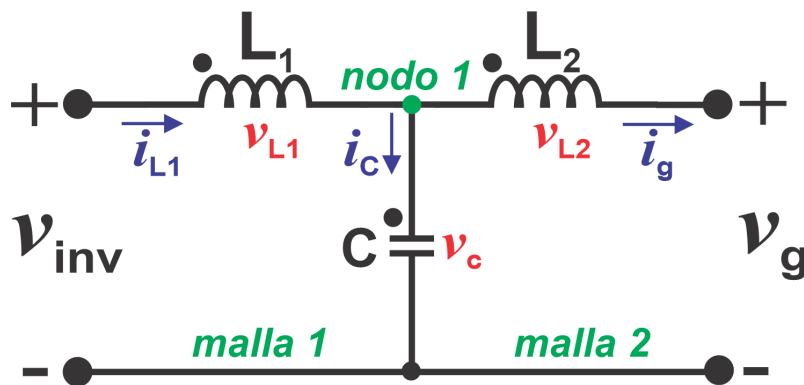


Figura 3.6. Filtro en configuración  $LCL$ .

$$v_i = v_{L1} + v_C \tag{3.12}$$

De la misma forma, aplicando LVK a la malla 2 y sin considerar a  $v_g$ , dado que se busca la función de transferencia que relacione el voltaje de entrada  $v_i$  y la corriente de salida  $i_g$ , esto es:

$$v_C = v_{L2} \quad (3.13)$$

Aplicando LCK al nodo 1 se tiene:

$$i_{L1} = i_C + i_g \quad (3.14)$$

sustituyendo (3.13) en (3.12):

$$v_i = v_{L1} + v_{L2} \quad (3.15)$$

y considerando el valor del voltaje de cada bobina como  $v_{L1} = L_1 \frac{di_{L1}}{dt}$  y  $v_{L2} = L_2 \frac{di_g}{dt}$ , por lo tanto, a partir de (3.15) se obtiene:

$$v_i = L_1 \frac{di_{L1}}{dt} + L_2 \frac{di_g}{dt} \quad (3.16)$$

sustituyendo la expresión (3.14) en (3.16):

$$v_i = L_1 \frac{d(i_C + i_g)}{dt} + L_2 \frac{di_g}{dt} \quad (3.17)$$

separando los términos de (3.17):

$$v_i = L_1 \frac{di_C}{dt} + (L_1 + L_2) \frac{di_g}{dt} \quad (3.18)$$

considerando la corriente del capacitor como  $i_C = C \frac{dv_C}{dt}$  y sustituyendo en (3.18) se tiene:

$$v_i = L_1 C \frac{d^2 v_C}{dt^2} + (L_1 + L_2) \frac{di_g}{dt} \quad (3.19)$$

sustituyendo el valor de  $v_{L2}$  de la expresión (3.13) en (3.19) se tiene:

$$v_i = L_1 C L_2 \frac{d^3 i_g}{dt^3} + (L_1 + L_2) \frac{di_g}{dt} \quad (3.20)$$

Para realizar la transformación al dominio de Laplace se aplican las identidades (3.21) y (3.22)

$$\mathcal{L}\left\{\frac{di_g}{dt}\right\} = s i_g(s) \quad (3.21)$$

$$\mathcal{L}\left\{\frac{d^3 i_g}{dt^3}\right\} = s^3 i_g(s) \quad (3.22)$$

por lo tanto, al aplicar la transformada de Laplace a la expresión dada en (3.20), se tiene lo siguiente:

$$v_i(s) = [(L_1 C L_2) s^3 + (L_1 + L_2) s] i_g(s) \quad (3.23)$$

por último, despejando de (3.23) se obtiene la función de transferencia siguiente:

$$G(s) = \frac{i_g(s)}{v_i(s)} = \frac{1}{(L_1 L_2 C) s^3 + (L_1 + L_2) s} \quad (3.24)$$

Factorizando el denominador de la expresión (3.24) se tiene:

$$G(s) = \frac{1}{(L_1 L_2 C)s} \cdot \frac{1}{(s^2 + \omega_r^2)} \quad (3.25)$$

con  $\omega_r = \sqrt{\frac{L_1 + L_2}{L_1 L_2 C}}$ , donde  $\omega_r$  es llamada frecuencia angular de resonancia y derivado de ella, se obtiene la frecuencia de resonancia  $f_r$ , de la siguiente forma:

$$f_r = \frac{\omega_r}{2\pi} \quad (3.26)$$

Si se desea agregar amortiguamiento a la ecuación (3.25), es necesario incluir un termino relacionado a "s" en el denominador, de la siguiente forma:

$$G(s) = \frac{1}{(L_1 L_2 C)s} \cdot \frac{1}{(s^2 + 2\zeta\omega_r s + \omega_r^2)} \quad (3.27)$$

donde  $\zeta$  representa la relación de amortiguamiento.

Al realiza un análisis de Bode a las funciones de transferencia dadas en (3.25) y (3.27), con valores para los elementos pasivos del filtro de  $L_1 = 2 \text{ mH}$ ,  $L_2 = 5 \text{ mH}$ ,  $C = 5 \text{ }\mu\text{F}$  (ver el apéndice B ) y un coeficiente de amortiguamiento con un valor de  $\zeta = 0.7$ . Los resultados de dicho análisis se muestran en la Figura 3.7 y se observa en rojo que sin amortiguamiento en el filtro *LCL* (ecuación 3.25), ocurren dos situaciones:

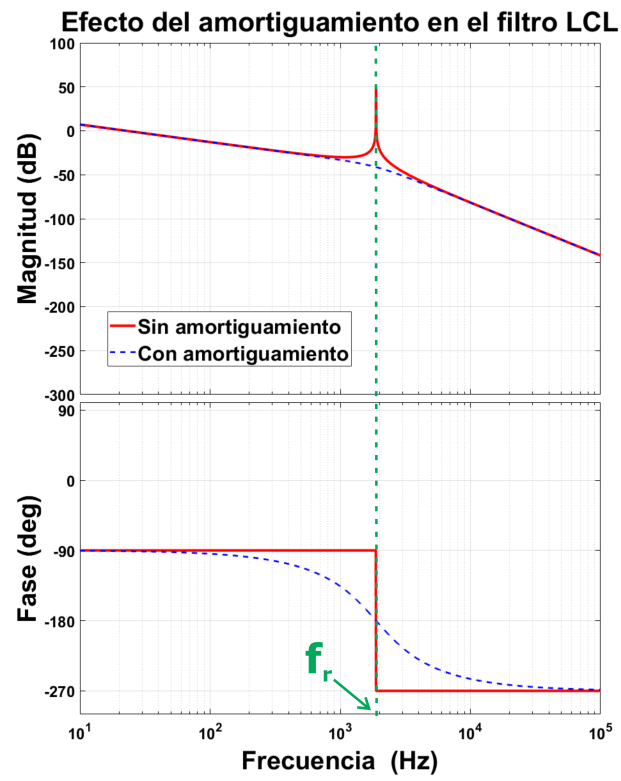
- En términos de la magnitud, en el recorrido de la frecuencia se presenta un pico precisamente en la frecuencia de resonancia ( $f_r$ ), misma que de acuerdo a la expresión (3.26), está en función del valor de los elementos del filtro. Para minimizar ese efecto, se puede ubicar a la frecuencia de conmutación del PWM ( $f_{sw}$ ), por abajo o por arriba del valor de  $f_r$ , sin embargo, el voltaje de la red ( $v_g$ ), generalmente no es puramente senoidal y puede contener armónicos cercanos a  $f_r$ , ocasionando peligro de resonancia y ser destructivo.
- En términos de la fase, en la frecuencia de resonancia ( $f_r$ ) se crea un cambio abrupto de fase de  $-180^\circ$ , por lo que el sistema se puede volver inestable y dicho fenómeno es indeseable.

De la misma forma, en la Figura 3.7 se puede observar en azul punteado que al agregar amortiguamiento, el pico en la frecuencia de resonancia  $f_r$  se aplana, conservando las características del filtro *LCL*, tanto en bajas, como en altas frecuencias; en el mismo color, se observa como el cambio de fase en  $f_r$  se suaviza.

En términos prácticos, la forma directa para minimizar el efecto de resonancia en el filtro *LCL*, es agregar amortiguamiento por medio de un resistor  $R_x$  a los elementos del filtro, esto puede ser en serie o en paralelo. A esto se le nombra *amortiguamiento pasivo*. De acuerdo a la posición que puede tomar el resistor  $R_x$ , existen seis combinaciones posibles, las cuales se muestran en la Figura 3.8.

El primer caso consiste en colocar un resistor llamado  $R_{L1}$  o  $R_{L2}$  en serie con  $L_1$  o con  $L_2$ , esto se muestra en las Figuras 3.8a y 3.8b. De manera respectiva, la función de transferencia para cada caso queda definida por las expresiones (3.28) y (3.29) respectivamente.

$$G_1(s) = \frac{1}{L_1 L_2 C s^3 + L_2 C R_{L1} s^2 + (L_1 + L_2)s + R_{L1}} \quad (3.28)$$

Figura 3.7. Efecto del amortiguamiento en un filtro *LCL*.

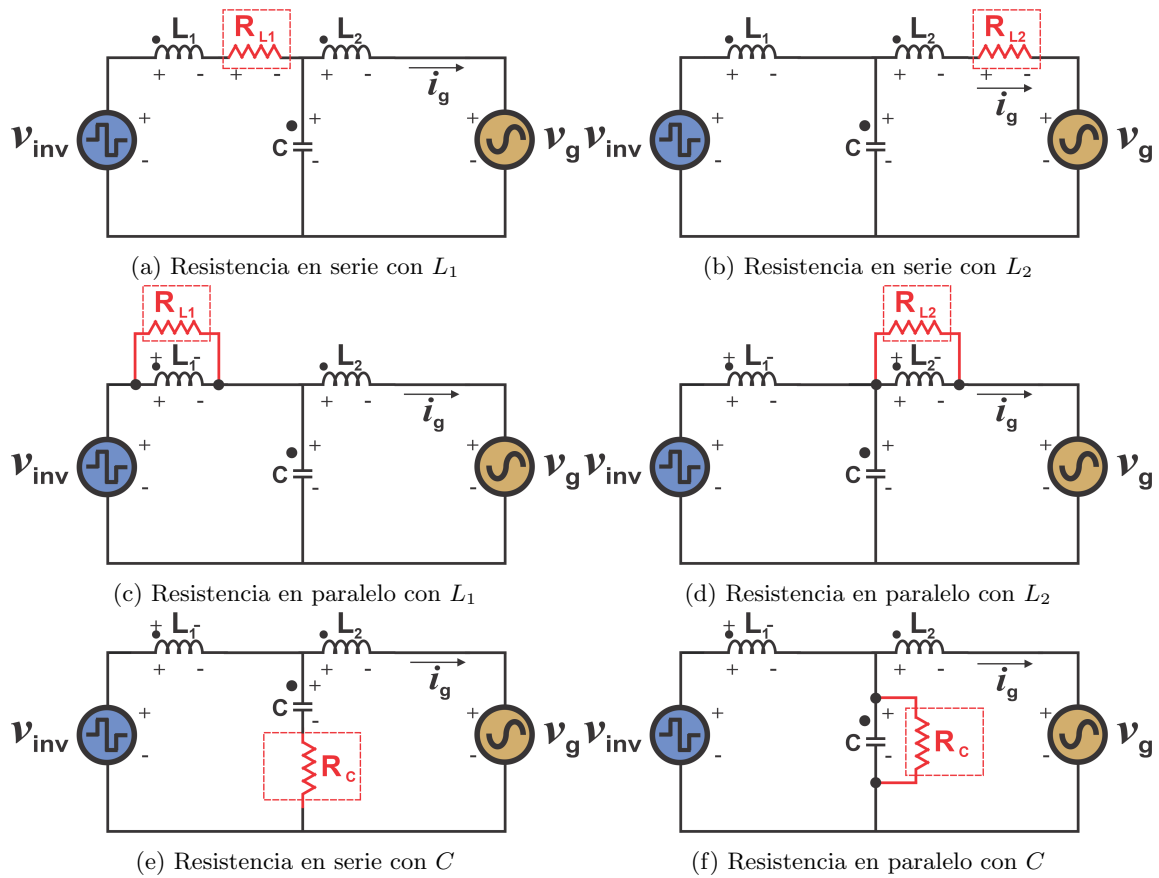


Figura 3.8. Combinaciones posibles para el amortiguamiento pasivo en un filtro  $LCL$

$$G_2(s) = \frac{1}{L_1 L_2 C s^3 + L_1 C R_{L_2} s^2 + (L_1 + L_2) s + R_{L_2}} \quad (3.29)$$

En las Figuras (3.8c) y (3.8d), las resistencias  $R_{L_1}$  y  $R_{L_2}$  se conectan en paralelo con  $L_1$  o  $L_2$  respectivamente. Las funciones de transferencia para cada uno de estos casos quedan expresadas por las ecuaciones (3.30) y (3.31).

$$G_3(s) = \frac{L_1/R_{L_2} s + 1}{L_1 L_2 C s^3 + L_1 L_2/R_{L_2} s^2 + (L_1 + L_2) s} \quad (3.30)$$

$$G_4(s) = \frac{L_2/R_{L_2} s + 1}{L_1 L_2 C s^3 + L_1 L_2/R_{L_2} s^2 + (L_1 + L_2) s} \quad (3.31)$$

Las últimas dos combinaciones se muestran en las Figuras 3.8e y 3.8f, en ellas se conecta un resistor  $R_C$  en serie o paralelo con el capacitor del filtro  $LCL$ , las funciones de transferencia se muestran por las ecuaciones (3.32) y (3.33) respectivamente.

$$G_5(s) = \frac{C R_C s + 1}{L_1 L_2 C s^3 + (L_1 + L_2) C R_C s^2 + (L_1 + L_2) s} \quad (3.32)$$

$$G_6(s) = \frac{1}{L_1 L_2 C s^3 + L_1 L_2/R_C s^2 + (L_1 + L_2) s} \quad (3.33)$$

Con el fin de analizar el comportamiento de cada uno de los casos mostrados en la Figura 3.8, se realizó un análisis de Bode a las funciones de transferencia representadas por las expresiones (3.28) – (3.33). Para ello, se diseñó un filtro  $LCL$  y se obtuvieron los siguientes valores para los elementos pasivos del filtro:  $L_1 = 2\mu H$ ,  $L_2 = 5\mu H$ ,  $C = 5\mu H$  (Ver diseño del filtro  $LCL$  en el apéndice B). Para el caso en donde se coloca el resistor en serie, se emplearon tres valores:  $R_x = 0\ \Omega$ ,  $R_x = 1\ \Omega$  y  $R_x = 10\ \Omega$ , donde  $x$  puede ser  $L_1, L_2, C$  (ver Figuras 3.8a, 3.8b, 3.8e). En el mismo sentido, para los casos mostrados en las Figuras 3.8c, 3.8d y 3.8f, donde el resistor se conectan en paralelo, los valores para  $R_x$  fueron tres:  $R_x = \infty$ ,  $R_x = 1\ \Omega$  y  $R_x = 10\ \Omega$ .

El resultado de dicho análisis para cada uno de los casos se muestra en la Figura 3.9.

### 3.2.2. Análisis del filtro LCL y justificación

Con base en los resultados obtenidos en la Figura 3.9, se puede argumentar lo siguiente:

- Para el caso donde la resistencia se coloca en serie con los inductores  $L_1$  y  $L_2$ , lo cual se muestra en las Figuras 3.9a y 3.9b, la zona de frecuencias bajas se ve afectada, como se observa, en esa zona las frecuencias sufren una atenuación, la cual se incrementa de manera proporcional con el valor del resistor.
- Contrario al caso anterior, cuando se coloca el resistor en paralelo, ya sea con  $L_1$  o  $L_2$ , ocurre un cambio en la zona de frecuencias altas, esto se puede ver en las Figuras 3.9c y 3.9d. El filtro disminuye considerablemente su capacidad de filtrado en las frecuencias superiores a la frecuencia de resonancia  $f_r$ .
- Para el caso donde se coloca una resistencia en serie con el capacitor  $C$ , ocurre lo mismo que en los dos casos anteriores, la capacidad del filtro se ve alterada, sobre todo en la zona de las frecuencias altas (ver Figura 3.9e).

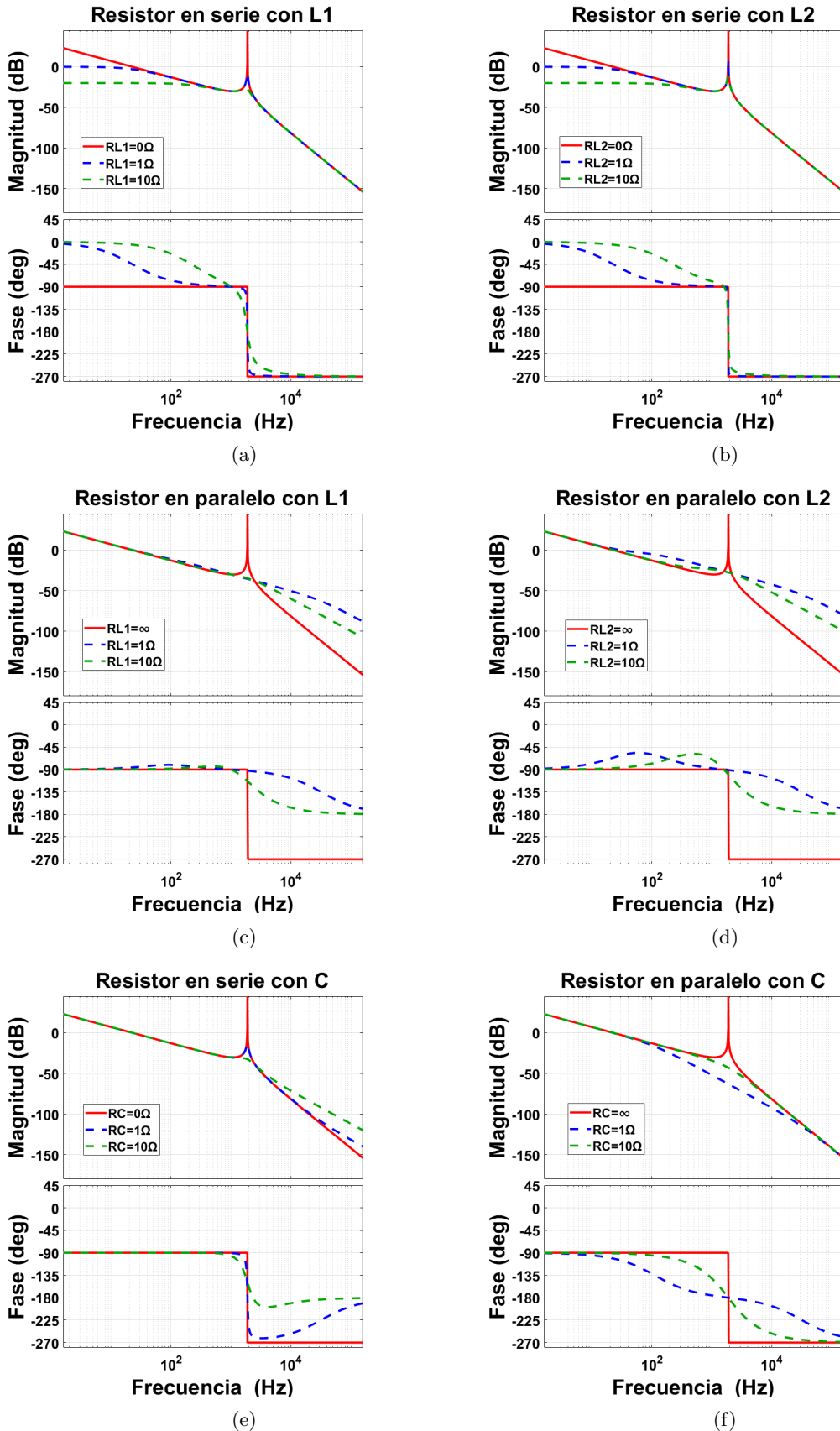


Figura 3.9. Análisis de Bode para cada caso mostrado en la Figura 3.8



En todos los casos anteriores, los diagramas de fase mostrados en las Figuras 3.9a – 3.9e, muestran cambios indeseados entre la señal de entrada y la salida del filtro. Esto ocurre, según sea el caso, en frecuencias altas y bajas.

- Por otra parte, en la Figura 3.9f que muestra el caso donde se coloca el resistor en paralelo con el capacitor  $C$ , ocurren los siguientes efectos: se minimiza la magnitud del pico en la frecuencia de resonancia  $f_r$ , el efecto de amortiguamiento que se puede observar, muestra que la magnitud del pico es directamente proporcional al valor de la resistencia, ya que a menor valor del resistor, puede observarse un aplanado de la frecuencia de resonancia. En términos de la fase, la transición de la misma se suaviza, tanto en las frecuencias superiores a la de resonancia, como en las inferiores a la misma.

### 3.3. Fase 1 de la Metodología de desarrollo

Siguiendo la metodología propuesta en el capítulo 2 y que ha sido empleada con éxito en los apéndices E, F y G, se da paso a la primera de las dos fases que componen a la metodología. La Fase 1 se muestra en la Figura 3.10 e inicia al obtener el modelo matemático del sistema, realizar el análisis del mismo y la simulación en algún paquete de software. El sistema Inversor Multinivel

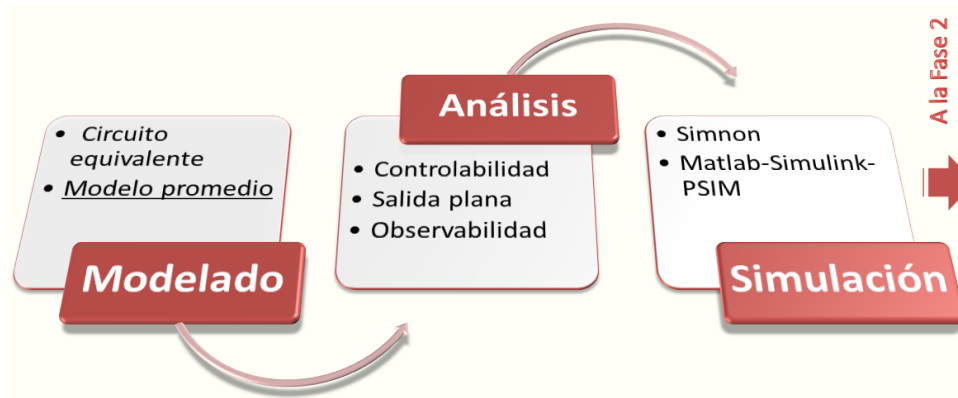


Figura 3.10. Fase 1 de la metodología: modelado, análisis y simulación.

de Celdas Asimétrico Trinario (IMCAT) se muestra en la Figura 3.11.

#### 3.3.1. Modelo matemático del sistema IMCAT

A partir de la Figura 3.11 se toman las siguientes consideraciones:

- El valor de salida de voltaje de cada puente ( $V_{Hj}$ ) dependerá del voltaje del arreglo fotovoltaico ( $V_{CDj}$ ), de los estados de conmutación de los dispositivos superiores ( $T_{j1}, T_{j3}$ ) y de sus complementarios ( $T_{j2}, T_{j4}$ ) respectivamente, esto queda resumido en la siguiente ecuación:

$$V_{Hj} = \underbrace{(T_{j1} - T_{j3})}_{P_j} V_{CDj} \quad (3.34)$$

donde  $j = 1, 2, \dots, n$ .

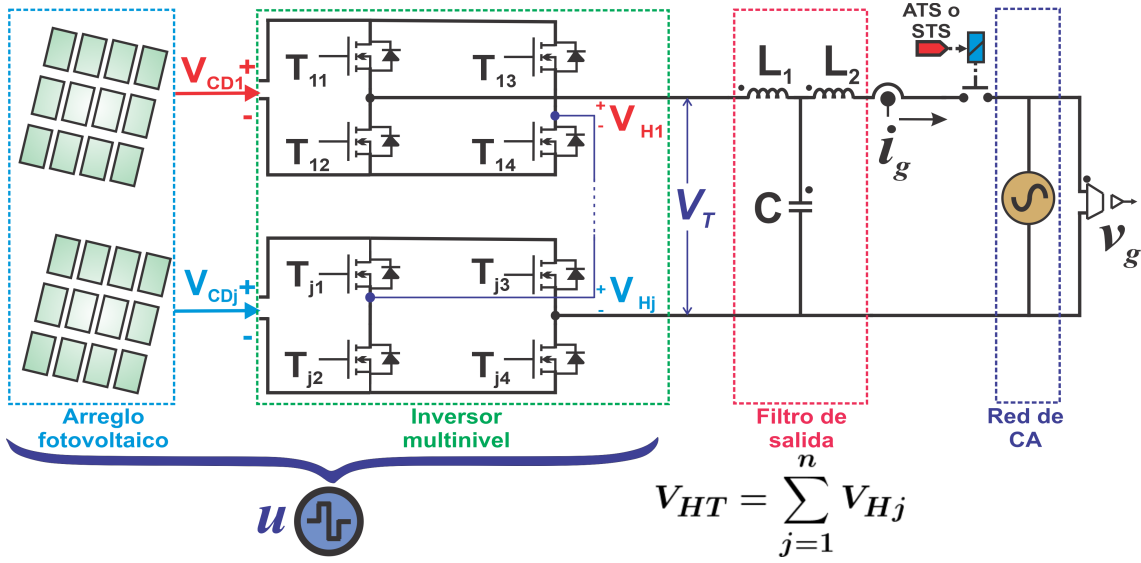


Figura 3.11. Esquema general del Inversor Multinivel de Celdas Asimétrico Trinario (IMCAT).

- El estado en el que se encuentra cualquiera de los dispositivos de conmutación del convertidor multinivel ( $T_{xx}$ ) solo tiene dos valores, es decir  $T_{xx} \in \{0, 1\}$ , por tanto, el término  $P_j$  en la ecuación (3.34) puede tomar valores  $P_j \in \{-1, 0, 1\}$ . Por lo que la ecuación (3.34) puede reescribirse de la siguiente forma:

$$V_{Hj} = P_j \mathbf{V}_{CDj} \quad (3.35)$$

donde  $j = 1, 2, \dots, n$ .

De la ecuación (3.35) se puede deducir, que el valor del voltaje de cada celda ( $V_{Hj}$ ), dependerá del valor del voltaje del arreglo fotovoltaico, por ello, puede tomar valores dentro del conjunto  $V_{Hj} \in \{-\mathbf{V}_{CDj}, 0, \mathbf{V}_{CDj}\}$ .

Si se define la suma de los voltajes  $V_{Hj}$  como  $V_{HT}$ , se tiene:

$$\begin{aligned} V_{HT} &= \sum_{j=1}^n \mathbf{V}_{Hj} \\ &= \mathbf{V}_{H1} + \mathbf{V}_{H2} + \dots + \mathbf{V}_{Hn} \end{aligned} \quad (3.36)$$

para  $j = 1, 2, \dots, n$ .

- Si ahora se considera un intervalo real continuo  $\Upsilon \in [-1, 1]$ , particionado de acuerdo a la expresión (3.37), el cual expresa un conjunto de valores discretos finito, donde  $m$  es un valor entero. Se puede notar que la familia de subintervalos formado por cualquier par de elementos consecutivos dentro de  $U_m$ , construyen los escalones de la conmutación multinivel.

$$U_m = \left\{ -1, -\frac{m-1}{m}, \dots, -\frac{1}{m}, 0, \frac{1}{m}, \dots, \frac{m-1}{m}, 1 \right\} \quad (3.37)$$

Si en la ecuación (3.35) se reemplaza a  $P_j$  por  $U_m$ , entonces se puede escribir como:

$$V_{Hj} = U_m \mathbf{V}_{CDj} \quad (3.38)$$

para  $j = 1, 2, \dots, n$

Generalizando a partir de las ecuaciones (3.36)-(3.38) y observando la Figura 3.11 se puede deducir la siguiente expresión:

$$\begin{aligned}
 V_T &= uV_{HT} \\
 &= u \sum_{j=1}^n \mathbf{V}_{Hj} \\
 &= u(\mathbf{V}_{H1} + \mathbf{V}_{H2} + \dots + \mathbf{V}_{Hn})
 \end{aligned} \tag{3.39}$$

para  $j = 1, 2, \dots, n$ .

Donde  $u \in U_m \subset [-1, 1]$ , es la función multinivel de posición de los interruptores  $T_{xx}$ .

Después del análisis realizado, el sistema IMCAT puede representarse por medio de un esquema eléctrico de pequeña señal como se muestra en la Figura 3.12. Se agregaron algunos elementos parásitos en serie con los elementos pasivos  $L_1$ ,  $L_2$  y  $C$ , los cuales se nombraron como  $r_{L1}$ ,  $r_{L2}$  y  $r_C$  respectivamente.

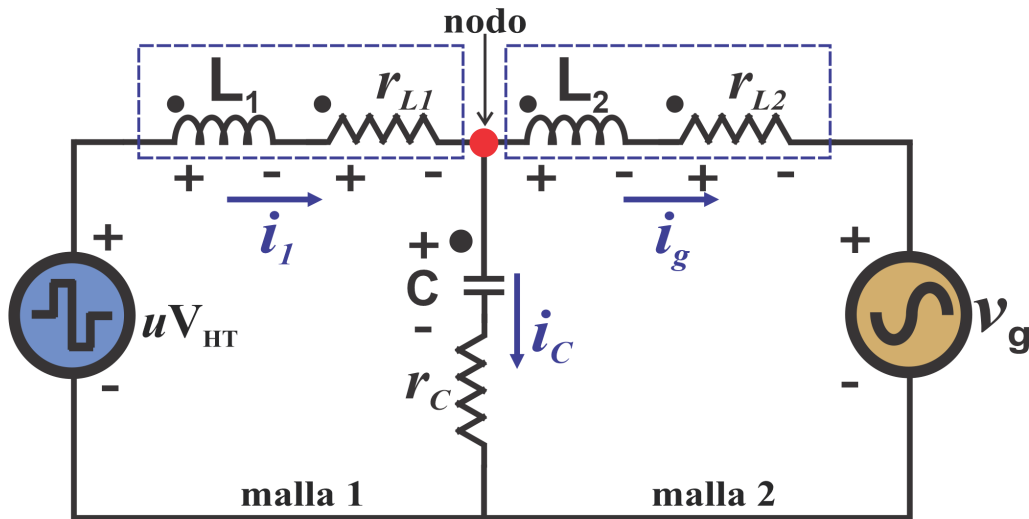


Figura 3.12. Esquema eléctrico de pequeña señal del IMCAT.

Aplicando la **Ley de Voltaje de Kirchhoff (LVK)** a la malla 1 mostrada en la Figura 3.12 se tiene:

$$\begin{aligned}
 V_T &= V_{L1} + i_1 r_{L1} + v_C + r_C i_C \\
 uV_{HT} &= L_1 \frac{di_1}{dt} + i_1 r_{L1} + v_C + r_C i_C
 \end{aligned} \tag{3.40}$$

Despejando de la ecuación (3.40) al término diferencial se tiene:

$$\frac{di_1}{dt} = \frac{1}{L_1} [uV_{HT} - i_1 r_{L1} - v_C - r_C i_C] \tag{3.41}$$

Aplicando la **Ley de Corrientes de Kirchoff (LCK)** al nodo en la Figura 3.12 se tiene:

$$\begin{aligned} i_1 &= i_g + i_c \\ i_1 &= i_g + C \frac{dv_C}{dt} \quad \therefore \\ C \frac{dv_C}{dt} &= i_1 - i_g \end{aligned} \quad (3.42)$$

Despejando el termino diferencial de (3.42) se tiene:

$$\frac{dv_C}{dt} = \frac{1}{C} [i_1 - i_g] \quad (3.43)$$

Analizando por medio de LVK a la malla 2 se tiene:

$$\begin{aligned} v_C &= r_C i_C + V_{L2} + i_g r_{L2} + v_g(t) \quad \therefore \\ V_{L2} &= v_C - i_g r_{L2} - r_C i_C - v_g(t) \\ L_2 \frac{di_g}{dt} &= v_C - i_g r_{L2} - r_C i_C - v_g(t) \end{aligned} \quad (3.44)$$

Despejando el termino diferencial de la ecuación (3.44), se obtiene lo siguiente:

$$\frac{di_g}{dt} = \frac{1}{L_2} [v_C - i_g r_{L2} - r_C i_C - v_g(t)] \quad (3.45)$$

Para establecer el modelo final del sistema IMCAT, se plantean las siguientes consideraciones: la resistencia serie (**ESR**, *Equivalent Series Resistance*) del capacitor  $C$  llamada  $r_C$ , en términos prácticos es muy baja, por lo que su caída de tensión se despreciará; en el mismo sentido, en la práctica, los valores de resistencia serie  $r_{L1}$  y  $r_{L2}$  poseen valores pequeños pero significativos, con mínima diferencia, por lo que para este caso se consideraran iguales, esto es  $r_{L1} = r_{L2} = r_L$  y finalmente, asumiendo una alta frecuencia en la política de conmutación de los interruptores, se puede reemplazar a los estados actuales, por estados promedio, por lo que con base en las ecuaciones (3.41), (3.43) y (3.45), el sistema que define el comportamiento dinámico del sistema IMCAT interconectado a la red eléctrica queda modelado por el conjunto de ecuaciones dadas en (3.46).

$$\begin{aligned} \frac{di_1}{dt} &= \frac{1}{L_1} [-i_1 r_L - v_C + u_{av} V_{HT}] \\ \frac{dv_C}{dt} &= \frac{1}{C} [i_1 - i_g] \\ \frac{di_g}{dt} &= \frac{1}{L_2} [v_C - i_g r_L - v_g(t)] \end{aligned} \quad (3.46)$$

donde  $u_{av} \in [-1, 1]$  y  $v_g = V_m \sin \omega_n t$ .

### 3.3.2. Análisis del modelo

Si en el sistema de ecuaciones (3.46) mostrado en la sección anterior se considera a  $v_g(t)$  como una perturbación, la representación matricial del sistema sin perturbación ( $v_g(t) = 0$ ) se puede

escribir como:

$$\begin{bmatrix} \dot{i}_1 \\ \dot{v}_C \\ \dot{i}_g \end{bmatrix} = \begin{bmatrix} -\frac{r_L}{L_1} & -1 & 0 \\ \frac{1}{C} & 0 & -\frac{1}{C} \\ 0 & 1 & -\frac{r_L}{L_2} \end{bmatrix} \begin{bmatrix} i_1 \\ v_C \\ i_g \end{bmatrix} + \begin{bmatrix} \frac{V_{HT}}{L_1} \\ 0 \\ 0 \end{bmatrix} u_{av} \quad (3.47)$$

El sistema (3.47), posee la forma de un sistema lineal como se muestra a continuación:

$$\dot{x} = Ax + Bu \quad (3.48)$$

donde:

$$A = \begin{bmatrix} -\frac{r_L}{L_1} & -1 & 0 \\ \frac{1}{C} & 0 & -\frac{1}{C} \\ 0 & 1 & -\frac{r_L}{L_2} \end{bmatrix}; \quad B = \begin{bmatrix} \frac{V_{HT}}{L_1} \\ 0 \\ 0 \end{bmatrix}; \quad x = [i_1 \ v_C \ i_g]^T \quad (3.49)$$

### 3.3.2.1. Obtención de la salida plana del sistema IMCAT

Es bien sabido que un sistema lineal es plano si y solo si el sistema es controlable [122]. En ese sentido, en un sistema que es plano, es posible obtener una parametrización completa de cada una de las variables del sistema (incluyendo la entrada de control) en términos de un conjunto finito de variables, las cuales se denominan *salidas planas* y un número finito de sus derivadas temporales [123]. Para realizar la planificación y el seguimiento de trayectorias deseadas, la propiedad de planitud en un sistema permite llevarlo a cabo de forma más efectiva.

La salida plana puede ser obtenida de la representación lineal del sistema mostrado en (3.47) y (3.48), donde  $A \in \mathbb{R}^{3 \times 3}$  y  $b \in \mathbb{R}^3$ .

La salida plana es alguna variable ( $y$ ) proporcional al producto de la última fila de la matriz inversa de la matriz de controlabilidad  $C$  multiplicada por el vector de estados  $x$  [122, 123], esto es:

$$\begin{aligned} y &= [0 \ 0 \ \dots \ 1] [C]^{-1} x \\ &= [0 \ 0 \ \dots \ 1] [B \ AB \ \dots \ A^{n-1}B]^{-1} x \end{aligned} \quad (3.50)$$

Para el caso particular del sistema mostrado en (3.47) se tiene:

$$y = [0 \ 0 \ 1] [B \ AB \ A^2B]^{-1} x \quad (3.51)$$

Realizando las operaciones correspondientes se tiene:

$$y = [0 \ 0 \ 1] \begin{bmatrix} \frac{V_{HT}}{L_1} & -\frac{1}{L_1^2} r_L V_{HT} & \frac{1}{L_1} V_{HT} \left( -\frac{1}{C} + \frac{1}{L_1^2} r_L^2 \right) \\ 0 & \frac{1}{CL_1} V_{HT} & -\frac{1}{CL_1^2} r_L V_{HT} \\ 0 & 0 & \frac{1}{CL_1} V_{HT} \end{bmatrix}^{-1} \begin{bmatrix} i_1 \\ v_C \\ i_g \end{bmatrix} = \frac{CL_1}{V_{HT}} i_g \quad (3.52)$$

De acuerdo al resultado obtenido en la ecuación (3.52), la salida plana del sistema IMCAT es la corriente  $i_g$ .

### 3.3.2.2. Parametrización diferencial del sistema IMCAT

Con base en la salida plana  $y = i_g$  obtenida, se realiza la parametrización diferencial de cada una de las variables del vector de estados  $x = [i_1 \ v_C \ i_g]^T$  mostrado en (3.47), es decir, del sistema sin perturbación, quedando de la siguiente forma:

$$\begin{aligned} i_1 &= CL_2\ddot{y} + Cr_L\dot{y} + y \\ v_C &= L_2\dot{y} + r_Ly \\ i_g &= y \end{aligned} \quad (3.53)$$

En el mismo sentido, la parametrización diferencial de la entrada de control promedio  $u_{av}$  es la siguiente:

$$u_{av} = \frac{1}{V_{HT}} [CL_1L_2\ddot{y} + (L_1 + L_2)Cr_L\dot{y} + (L_1 + Cr_L^2 + L_2)\dot{y} + 2r_Ly] \quad (3.54)$$

Al realizar la parametrización diferencial del sistema mostrado en (3.46), el cual se considera perturbado con  $v_g \neq 0$  se tiene:

$$\begin{aligned} i_1 &= CL_2\ddot{y} + Cr_L\dot{y} + y + Cv_g \\ v_C &= L_2\dot{y} + r_Ly + v_g \\ i_g &= y \end{aligned} \quad (3.55)$$

y la ley de control promedio:

$$u_{av} = \frac{1}{V_{HT}} [CL_1L_2\ddot{y} + (L_1 + L_2)Cr_L\dot{y} + (L_1 + Cr_L^2 + L_2)\dot{y} + 2r_Ly + CL_1\ddot{v}_g + Cr_L\dot{v}_g + v_g] \quad (3.56)$$

agrupando términos se tiene:

$$\begin{aligned} u_{av} &= \frac{CL_1L_2}{V_{HT}} \ddot{y} + \frac{(L_1 + L_2)Cr_L}{V_{HT}} \dot{y} + \frac{L_1 + Cr_L^2 + L_2}{V_{HT}} \dot{y} + \frac{2r_L}{V_{HT}} y \\ &\quad + \frac{1}{V_{HT}} [CL_1\ddot{v}_g + Cr_L\dot{v}_g + v_g] \end{aligned} \quad (3.57)$$

### 3.3.3. Planteamiento del problema de control

Con base en el modelo dinámico del sistema IMCAT perturbado dado por (3.46) y en su parametrización diferencial en términos de su salida plana  $y = i_g$ , misma que es mostrada en las ecuaciones (3.55) y (3.56). La tarea consiste en determinar una ley de control por retroalimentación  $u_{av}(y, \dot{y}^*(\tau))$  que obligue a la corriente de red  $i_g$ , a seguir una referencia  $i_g^*(\tau)$ , manteniendo el error del seguimiento cercano a cero, a pesar de las incertidumbres en los parámetros del sistema ( $L_1$ ,  $L_2$  y  $C$ ), variación endógena o exógena de los mismos y fluctuaciones en el voltaje de red  $v_g(\tau)$ .

#### 3.3.3.1. Suposiciones

- Para el controlador, la única variable que se medirá es la corriente  $i_g$ .
- Para el diseño del controlador y observador se supondrá que el voltaje de red  $v_g$  es puramente senoidal, es decir  $v_g = A \sin \omega t$ .

- El valor de los parámetros  $C$ ,  $L_1$  y  $L_2$  son nominalmente conocidos.
- La perturbación total al sistema  $\tilde{\rho}(y, \dot{y}, \ddot{y}, P_g(\tau))$  se supone acotada y compuesta por la variación de los parámetros ya sean endógenas o exógenas de los mismos, así como de las incertidumbres en el voltaje de red  $P_g(\tau)$ .

### 3.3.4. Solución por medio de ADRC y observador GPI

Dado el modelo dinámico del sistema IMCAT perturbado mostrado en (3.46), el cual se encuentra sujeto a cambios desconocidos en el voltaje de red  $v_g$  variantes en el tiempo, pero absolutamente acotados, y explotando que el sistema es plano, se propone el diseño de un observador GPI para estimar la perturbación total del sistema y lograr su cancelación haciendo uso de un controlador ADRC, de manera similar a lo mostrado en el trabajo del apéndice H, sección H.1. A partir de la expresión (3.57), se puede establecer el modelo de entrada-salida perturbado, despejando a la variable de más alto orden, por lo que se obtiene una ecuación diferencial variante en el tiempo con la forma siguiente:

$$\ddot{y} = \frac{V_{HT}}{CL_1L_2}u_{av} - \frac{(L_1 + L_2)Cr_L}{CL_1L_2}\ddot{y} - \frac{L_1 + Cr_L^2 + L_2}{CL_1L_2}\dot{y} - \frac{2r_L}{CL_1L_2}y - \underbrace{\frac{1}{CL_1L_2}[CL_1\ddot{v}_g + Cr_L\dot{v}_g + v_g]}_{\text{Perturbaciones de red } (P_g)} \quad (3.58)$$

Como es deseable que la corriente  $i_g$  siga a una referencia  $y^* = i_g^* = A_C \sin \omega t$ , donde  $A_C$  es la amplitud de la corriente de referencia. A partir de (3.58) y definiendo a  $y_0 = y$ ,  $y_1 = \dot{y}$ ,  $y_2 = \ddot{y}$  y  $y_3 = \ddot{y}$  como las variables de fase, el modelo entrada-salida dado en (3.58) se puede escribir de la siguiente forma:

$$\begin{aligned} \dot{y}_0 &= y_1 \\ \dot{y}_1 &= y_2 \\ \dot{y}_2 &= \kappa u_{av} + \tilde{\rho}(\tau) \end{aligned} \quad (3.59)$$

donde:

$$\kappa = \frac{V_{HT}}{CL_1L_2} \quad (3.60)$$

y el termino  $\tilde{\rho}(\tau)$  mostrado en la ecuación (3.59), representa a las incertidumbres del modelo, desviaciones en los parámetros  $L_1$ ,  $L_2$ ,  $C$  y a las perturbaciones generadas por el voltaje de red  $v_g$ , y queda definido de la forma siguiente:

$$\tilde{\rho}(y, \dot{y}, \ddot{y}, P_g) = -\frac{(L_1 + L_2)Cr_L}{CL_1L_2}\ddot{y} - \frac{L_1 + Cr_L^2 + L_2}{CL_1L_2}\dot{y} - \frac{2r_L}{CL_1L_2}y - \underbrace{\frac{1}{CL_1L_2}[CL_1\ddot{v}_g + Cr_L\dot{v}_g + v_g]}_{:=P_g} \quad (3.61)$$

### 3.3.4.1. Diseño del observador

Para estimar la perturbación  $\tilde{\rho}(\tau)$  dada en (3.59) y descrita en (3.61), se propone un observador GPI con la siguiente estructura [123]:

$$\begin{aligned}
 \hat{y}_0 &= \hat{y}_1 + \lambda_4(y_0 - \hat{y}_0) \\
 \hat{y}_1 &= \hat{y}_2 + \lambda_3(y_0 - \hat{y}_0) \\
 \hat{y}_2 &= \kappa u_{av} + p_1 + \lambda_2(y_0 - \hat{y}_0) \\
 \dot{p}_1 &= p_2 + \lambda_1(y_0 - \hat{y}_0) \\
 \dot{p}_2 &= \lambda_0(y_0 - \hat{y}_0)
 \end{aligned} \tag{3.62}$$

donde  $\hat{y}_0$ ,  $\hat{y}_1$  y  $\hat{y}_2$  son el estimado de la corriente del sistema y sus derivadas sucesivas respectivamente. El estado  $p_1$  dentro de la estructura del observador, acumula el estimado de la señal de perturbación  $\tilde{\rho}(y, \dot{y}, \ddot{y}, P_g)$ .

La estimación de la perturbación se cumple, si se elige a las ganancias  $\lambda_0, \lambda_1, \lambda_2, \lambda_3, \lambda_4$ , de tal manera que las raíces del polinomio característico estén ubicadas en el semiplano izquierdo del plano complejo, lo más lejos posible del eje imaginario.

Para ello, se define el error de observación como  $e_0 = y_0 - \hat{y}_0$ , el cual se desarrolla de acuerdo al siguiente sistema de ecuaciones:

$$\begin{aligned}
 \dot{e}_0 &= e_1 - \lambda_4 e_1 \\
 \dot{e}_1 &= e_2 - \lambda_3 e_1 \\
 \dot{e}_2 &= \sigma + p_1 - \lambda_2 e_1 \\
 \dot{p}_1 &= p_2 + \lambda_1 e_1 \\
 \dot{p}_2 &= \lambda_0 e_1
 \end{aligned} \tag{3.63}$$

Si se realizan algunas manipulaciones algebraicas, el sistema mostrado en (3.63) se puede escribir en una sola ecuación diferencial, como se muestra en seguida:

$$\overset{(5)}{e}_0 + \lambda_4 \overset{(4)}{e}_0 + \lambda_3 \overset{(3)}{e}_0 + \lambda_2 \ddot{e}_0 + \lambda_1 \dot{e}_0 + \lambda_0 e_0 = \overset{(3)}{\varphi} \tag{3.64}$$

Aplicando la transformada de Laplace a (3.63), el polinomio característico obtenido es el siguiente:

$$P_o(s) = s^5 + \lambda_4 s^4 + \lambda_3 s^3 + \lambda_2 s^2 + \lambda_1 s + \lambda_0 \tag{3.65}$$

con base en el polinomio (3.65), se propone el polinomio deseado del tipo Hurwitz siguiente:

$$P_d(s) = (s^2 + 2\zeta_o \omega_{no} s + \omega_{no}^2)^2 (s + p_o) \tag{3.66}$$



comparando las expresiones (3.65) y (3.66), las ganancias para el observador propuesto en (3.63) quedan definidas de la forma siguiente:

$$\begin{aligned}
\lambda_0 &= \omega_{no}^4 p_o \\
\lambda_1 &= 4\zeta_o \omega_{no}^3 p_o + \omega_{no}^4 \\
\lambda_2 &= 4\zeta_o \omega_{no}^3 + 2\omega_{no}^2 p_o + 4\zeta_o^2 \omega_{no}^2 p_o \\
\lambda_3 &= 2\omega_{no}^2 + 4\zeta_o^2 \omega_{no}^2 + 4\zeta_o \omega_{no} p_o \\
\lambda_4 &= 4\zeta_o \omega_{no} + p_o
\end{aligned} \tag{3.67}$$

### 3.3.4.2. Prueba de estabilidad del observador

Haciendo la siguiente selección de variables:

$$\begin{aligned}
x_1 &= e_1 \\
x_2 &= \dot{e}_1 \\
x_3 &= \ddot{e}_1 \\
x_4 &= \overset{(3)}{e}_1 \\
x_5 &= \overset{(4)}{e}_1
\end{aligned} \tag{3.68}$$

Se tiene que:

$$\begin{aligned}
\dot{x}_1 &= x_2 \\
\dot{x}_2 &= x_3 \\
\dot{x}_3 &= x_4 \\
\dot{x}_4 &= x_5 \\
\dot{x}_5 &= -\lambda_4 x_5 - \lambda_3 x_4 - \lambda_2 x_3 - \lambda_1 x_2 - \lambda_0 x_1 + \overset{(3)}{\varphi}
\end{aligned} \tag{3.69}$$

Por lo que la ecuación (3.64) se puede escribir en la forma:

$$\begin{aligned}
\dot{\mathbf{x}} &= \mathbf{A}\mathbf{x} + \mathbf{B}u \\
e_1 &= \mathbf{C}\mathbf{x}
\end{aligned} \tag{3.70}$$

donde:

$$\mathbf{A} = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ -\lambda_0 & -\lambda_1 & -\lambda_2 & -\lambda_3 & -\lambda_4 \end{pmatrix}; \quad \mathbf{B} = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix}; \quad u = \overset{(3)}{\varphi}$$

$$\mathbf{C} = \begin{pmatrix} 1 & 0 & 0 & 0 & 0 \end{pmatrix}$$

**Definición 1** ([124]) Una función  $\beta : \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{K}$ , si es continua, estrictamente creciente y  $\beta(0) = 0$ .

**Definición 2** ([124]) Una función  $\beta : \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{K}_{\infty}$  si es de clase  $\mathcal{K}$  y también  $\beta(s) \rightarrow \infty$  conforme  $s \rightarrow \infty$ .

**Definición 3** ([124]) Una función  $\beta : \mathbb{R}_{\geq 0} \times \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{KL}$  si para cada  $t \geq 0$  la función  $\beta(\cdot, t)$  es de clase  $\mathcal{K}$ , y para cada  $s \geq 0$  fija decrece a cero conforme  $t \rightarrow \infty$ .

**Definición 4** ([124], [125]) El sistema (3.70) se dice localmente estable de entrada al estado (ISS) si existe una función  $\beta$  de clase  $\mathcal{KL}$ , y una función  $\gamma$  de clase  $\mathcal{K}$  y constantes  $K_1, K_2 \in \mathbb{R}_+$ , tal que:

$$e_1(t) \leq \beta(\|\mathbf{x}(0)\|, t) + \gamma(\|u\|_{\infty}), \quad \forall t$$

para todo  $\mathbf{x}(0) \in D$  y  $u \in D_u$  que satisfacen:  $\|\mathbf{x}(0)\| < K_1$ , y  $\sup_{t>0} \|u\| < K_2$ .

La conocida fórmula de variación de parámetros da la siguiente solución a la ecuación de estado dada en (3.70):

$$\mathbf{x}(t) = \exp(\mathbf{A}t) \mathbf{x}(0) + \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B}u d\tau \quad (3.71)$$

Usando (3.71) en (3.70) se tiene que:

$$e_1(t) = \mathbf{C} \exp(\mathbf{A}t) \mathbf{x}(0) + \mathbf{C} \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B}u d\tau \quad (3.72)$$

Sí el conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  se eligen de manera tal que la matriz  $\mathbf{A}$  es Hurwitz, entonces es posible establecer la siguiente desigualdad:

$$\begin{aligned} e_1(t) &\leq \|\mathbf{C} \exp(\mathbf{A}t) \mathbf{x}(0)\| + \left\| \mathbf{C} \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B}u d\tau \right\| \\ &\leq \underbrace{\|\exp(\mathbf{A}t)\| \|\mathbf{x}(0)\|}_{\beta(\|\mathbf{x}(0)\|, t) \in \mathcal{KL}} + \underbrace{\|\mathbf{B}\| \|u\| \int_0^t \|\exp(\mathbf{A}(t-\tau))\| d\tau}_{\gamma(\|u\|_{\infty}) \in \mathcal{K}_{\infty}} \end{aligned} \quad (3.73)$$

Ya que existe  $\beta \in \mathcal{KL}$  y  $\gamma \in \mathcal{K}_{\infty}$ , entonces, de acuerdo con la Definición 4, la dinámica del error de observación es ISS, es decir, las soluciones para la dinámica del error de observación están acotadas por  $\gamma(\|u\|_{\infty})$  y el sistema es asintóticamente estable a  $e_1(t) = 0$  para  $u = 0$ . Además sí el conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  se eligen de modo tal que la matriz  $\mathbf{A}$  es Hurwitz, con valores propios en orden creciente  $l_1(\mathbf{A}) < l_2(\mathbf{A}) < l_3(\mathbf{A}) < l_4(\mathbf{A}) < l_5(\mathbf{A})$ , se sabe que,  $\|\exp(\mathbf{A}t)\| \leq \alpha \exp(-l_1 t)$ , con  $\alpha = \|\mathbf{T}\| \|\mathbf{T}^{-1}\|$ , donde  $\mathbf{T}$  es una matriz tal que  $\mathbf{T}^{-1} \mathbf{A} \mathbf{T}$  es diagonal. Usando el hecho anterior en (3.73), se obtiene:

$$\begin{aligned} e_1(t) &\leq \exp(-l_1 t) \|\mathbf{x}(0)\| + \alpha \kappa_3 \int_0^t \exp(-l_1(t-\tau)) d\tau \\ &\leq \exp(-l_1 t) \|\mathbf{x}(0)\| + \frac{\alpha \kappa_3}{l_1} (1 - \exp(-l_1 t)) \end{aligned} \quad (3.74)$$

Consecuentemente  $\|e_1(t)\|$  converge exponencialmente a una esfera de radio  $\rho = \frac{\alpha \kappa_3}{l_1}$  conforme  $t \rightarrow \infty$ . Donde  $\kappa_3$  es la cota superior para la tercera derivada de la perturbación total  $\varphi$ , es decir, de acuerdo con la cuarta suposición de la sección 3.3.3.1 se cumple que  $\|u\| = \left\| \begin{pmatrix} (3) \\ \varphi \end{pmatrix} \right\|_{\infty} \leq \kappa_3$ .

**Observación 1** El hecho de que la dinámica del error de observación tenga la propiedad de estabilidad de entrada al estado (ISS), permite establecer una especie de principio de separación que asegura que las ganancias del observador  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$ , se pueden elegir en forma independiente sin que sus valores afecten la selección de las ganancias del controlador.

**Observación 2** El primer término en (3.74) puede dominar para  $t$  pequeño, y esto sirve para cuantificar la magnitud del comportamiento transitorio del observador como una función del tamaño inicial del estado  $\mathbf{x}(0)$  y del valor  $l_1$ . Esta propiedad permite elegir de manera juiciosa al conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  a fin de tener un término transitorio aceptable.

**Observación 3** El primer término en (3.73) se desvanece para un  $t$  suficientemente grande. Así la dinámica del error de observación satisface la propiedad de ganancia asintótica. Es decir, para todo  $t$  suficientemente grande, la trayectoria existe y se acerca arbitrariamente a una esfera cuyo radio es proporcional a la cota de  $u$  e inversamente proporcional a  $l_1$ . En el lenguaje del control robusto, la estimación podría ser denominada una condición de límite final.

### 3.3.4.3. Diseño de la estrategia de control

Partiendo del modelo entrada-salida del sistema perturbado (3.58), se propone una ley de control tipo PD clásica, complementada por el observador GPI descrito en (3.62), con lo que se logra tener un esquema de rechazo activo de perturbaciones (ADRC) el cual queda expresado como:

$$u_{av} = \frac{1}{\kappa} [\ddot{y}^* - \gamma_2(y_2 - \ddot{y}^*) - \gamma_1(y_1 - \dot{y}^*) - \gamma_0(y - y^*) - p_1] \quad (3.75)$$

donde:

$$\frac{1}{\kappa} = \frac{CL_1L_2}{V_{HT}} \quad (3.76)$$

y se considera que  $i_g = y$  representa la corriente inyectada a la red, la cual deberá ser medida;  $y_1$ ,  $y_2$  y  $p_1$  se obtienen del observador mostrado en (3.62). Cabe remarcar que  $p_1$  representa el valor estimado de la perturbación  $\tilde{\rho}(y, \dot{y}, \ddot{y}, P_g)$

Por otra parte,  $i_g^* = y^*$ , representa la corriente de referencia con una amplitud  $A$ , que se desea inyectar a la red eléctrica, con las señales de referencia adicionales siguientes:

$$\begin{aligned} i_g^* &= y^* = A \sin(\omega t) \\ \dot{y}^* &= A\omega \cos(\omega t) \\ \ddot{y}^* &= -A\omega^2 \sin(\omega t) \\ \ddot{y}^* &= -A\omega^3 \cos(\omega t) \end{aligned} \quad (3.77)$$

Las ganancias para el controlador  $\gamma_0$ ,  $\gamma_1$  y  $\gamma_2$ , se eligen de tal forma que las raíces del polinomio característico siguiente:

$$P_C(s) = s^3 + \gamma_2 s^2 + \gamma_1 s + \gamma_0 \quad (3.78)$$

se ubiquen en el semiplano izquierdo del plano complejo. Por lo tanto, se propone el siguiente polinomio Hurwitz deseado:

$$P_C(s) = s^3 + (\omega_C^2 p_C) s^2 + (\omega_C^2 + 2\zeta_C \omega_C p_C) s + (2\zeta_C \omega_C + p_C) \quad (3.79)$$

Al comparar (3.78) y (3.79), las ganancias del controlador mostradas en (3.75) se pueden obtener por medio de las siguientes expresiones:

$$\begin{aligned}\gamma_0 &= 2\zeta_C\omega_C + p_C \\ \gamma_1 &= \omega_C^2 + 2\zeta_C\omega_C p_C \\ \gamma_2 &= \omega_C^2 p_C\end{aligned}\tag{3.80}$$

### 3.3.5. Simulación

En este apartado se realiza la simulación del sistema IMCAT y se verifica el funcionamiento del sistema en conjunto. Para realizar dicha tarea, se empleó el entorno de cosimulación MATLAB/Simulink-PSIM.

La simulación se realizó en dos partes:

- **Simulación del sistema sin paneles fotovoltaicos:** tiene la finalidad de validar el funcionamiento del lazo de control de corriente en conjunto con el observador.
- **Simulación del sistemas con paneles fotovoltaicos:** se agregan los paneles fotovoltaicos y los algoritmos de MPPT a cada arreglo, con la finalidad de validar el funcionamiento del sistema completo.

Tomando como referencia los resultados obtenidos en la sección anterior, se realizó la integración de los siguientes subsistemas, según sea el caso:

- Inversor multinivel asimétrico trinario.
- Filtro de salida del tipo LCL.
- Modulador multiportadora del tipo APOD-SPWM trinario.
- Algoritmo de enganche de fase (EPLL).
- Algoritmo de MPPT (P&O)
- Controlador con enfoque ADRC y estimador GPI.
- Fuentes de CD o paneles fotovoltaicos.

Los valores para el filtro *LCL* se calculan en el apéndice B y las magnitudes de los diferentes parámetros empleados en la simulación, así como las ganancias empleadas en los subsistemas del controlador, observador y EPLL se concentran en la siguiente tabla:

Como se describe anteriormente, primero se realizó la simulación del lazo de control considerando fuentes de CD en lugar de paneles fotovoltaicos y en la siguiente etapa de simulación, se sustituyen las fuentes de CD por arreglos fotovoltaicos. En el siguiente apartado se muestran los resultados obtenidos del primer escenario de simulación.

**Simulación del sistema sin paneles fotovoltaicos** En la Figura 3.13 se muestran los bloques construidos en MATLAB/Simulink. El contenido de cada bloque se puede observar en el apéndice C, en las listas C.1, C.2, C.3 y C.4; mientras que el bloque marcado en el recuadro con línea punteada en la misma figura, representa al inversor multinivel, el cual fue construido en PSIM y

Tabla 3.1. Parámetros empleados en las simulaciones del sistema IMCAT

Parámetro	Magnitud	Unidad
Fuente de CD de HV (Prueba 1)	150	[V]
Fuente de CD de LV (Prueba 1)	50	[V]
Arreglo fotovoltaico $HV^*$ (Prueba 2)	162	[V]
Arreglo fotovoltaico $LV^*$ (Prueba 2)	54	[V]
Inductor lado de inversor ( $L_1$ )	2	[ $\mu$ H]
Inductor lado de red ( $L_2$ )	5	[ $\mu$ H]
Capacitor de filtro ( $C_F$ )	5	[ $\mu$ F]
Frecuencia de conmutación	10	[kHz]
Tiempo de muestreo	10	[ $\mu$ s]
<b>Ganancias del observador:</b> $\zeta_o = 1, \omega_{no} = 1.5 \times 10^4, p_o = 1.5 \times 10^4$		
	$\lambda_0 =$	$3.375 \times 10^{12}$
	$\lambda_1 =$	$2.531 \times 10^{17}$
	$\lambda_2 =$	$3.375 \times 10^{13}$
	$\lambda_3 =$	$2.25 \times 10^9$
	$\lambda_4 =$	$9 \times 10^8$
<b>Ganancias del controlador:</b> $\zeta_C = 1, \omega_C = 1.5 \times 10^4, p_C = 1.5 \times 10^4$		
	$\gamma_0 =$	$5 \times 10^{11}$
	$\gamma_1 =$	$2 \times 10^8$
	$\gamma_2 =$	$2.5 \times 10^4$
<b>Ganancias del PLL</b>		
	$\mu_1 =$	200
	$\mu_2 =$	100
	$\mu_3 =$	0.01

\*Las características de los paneles fotovoltaicos se presentan en la siguiente sección (ver Tabla 3.2).

se emplea en la cosimulación (ver Figura 3.14).

Para realizar esta simulación se plantean los siguientes escenarios:

- La prueba del lazo de control se realizó con tres amplitudes para la señal de referencia de corriente  $A = 5, 10, 20 A$ , esto es:  $ig_{(ref)} = 5 \sin wt$ ,  $ig_{(ref)} = 10 \sin wt$  e  $ig_{(ref)} = 25 \sin wt$ .
- Para verificar el funcionamiento del lazo de control ante perturbaciones del voltaje de red ( $v_g$ ), se generó un voltaje contaminado por el tercero, quinto armónico y de igual forma, se adicionó un componente de alta frecuencia. El voltaje de prueba aplicado, se describe por la siguiente función variante en el tiempo:

$$v_g(t) = \begin{cases} 0 & \text{si } 0 \leq t < 0.29 \\ A \sin wt & \text{si } 0.29 \leq t < 0.4 \\ \sum_{i=1,3}^n \frac{A}{n} \sin nwt & \text{si } 0.4 \leq t < 0.5 \\ \sum_{i=1,3,5}^n \frac{A}{n} \sin nwt & \text{si } 0.5 \leq t < 0.6 \\ \sum_{i=1,3,5}^n \frac{A}{n} \sin nwt + \frac{A}{20} \sin 10000wt & \text{si } 0.6 \leq t < 0.8 \end{cases} \quad (3.81)$$

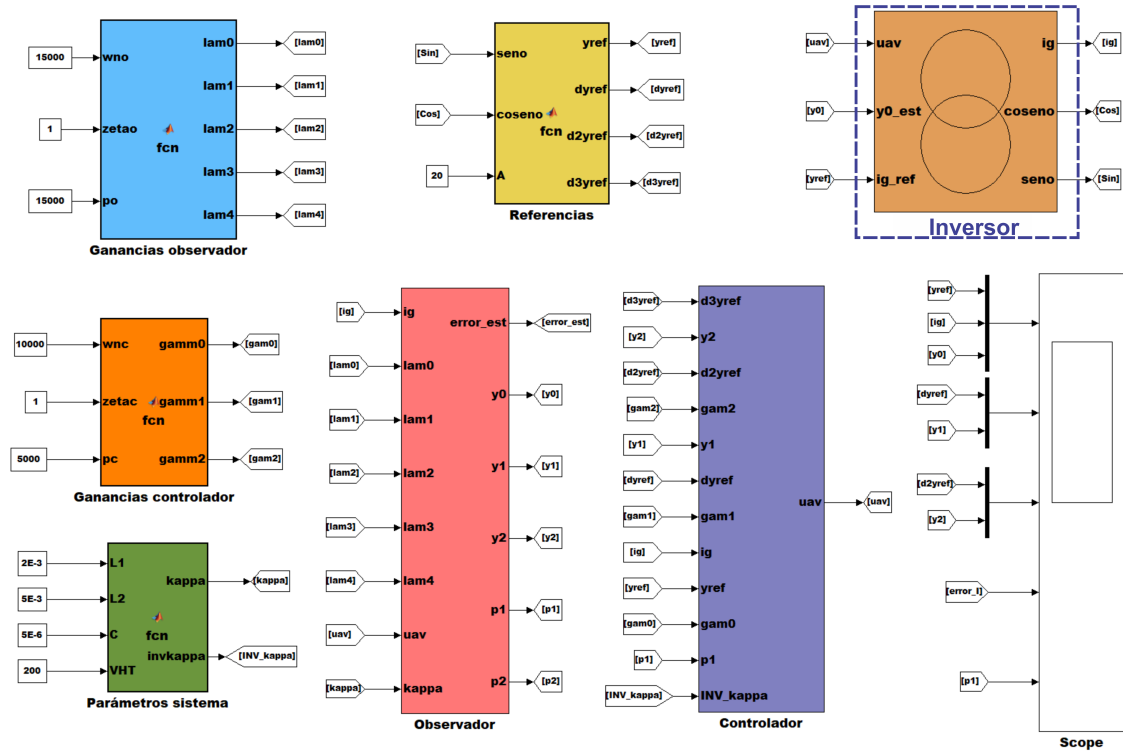


Figura 3.13. Bloques en MATLAB/Simulink.

Los resultados de la simulación para los escenarios  $i_{g(ref)} = 5 \sin wt$ ,  $i_{g(ref)} = 10 \sin wt$  e  $i_{g(ref)} = 20 \sin wt$ , se muestran en la Figuras 3.15, 3.16 y 3.17 respectivamente.

Para todos los escenarios, se compara la corriente de red ( $i_g$ ) y la corriente de referencia ( $i_{g(ref)}$ ), se muestra el error de seguimiento, el cual permanece pequeño, la señal de control, el voltaje descrito por la ecuación (3.81), la señal de salida del EPLL, la cual se mantiene puramente senoidal a pesar de que el voltaje de red posee contenido armónico y finalmente, el voltaje de salida del inversor trinario multinivel con nueve niveles.

En la Figuras 3.18 (a) y 3.18 (c) se muestra la comparación entre la corriente de red  $i_g$  y la corriente de referencia  $i_{g(ref)}$  y el error de seguimiento respectivamente; en la Fig. 3.18 (b) y 3.18 (d) se compara la corriente estimada por el observador  $y_0 = i_{g(estimada)}$  y la corriente de red  $i_g$ , así como el error de estimación respectivamente.

En la Figura 3.19 se muestran las señales más importantes obtenidas por el algoritmo de enganche de fase (EPLL): se compara el voltaje de red  $v_g$  con la señal obtenida del EPLL; se muestran las señales en cuadratura  $\sin \omega t$  y  $\cos \omega t$  obtenidas del voltaje de red  $v_g$  descrito por la ecuación (3.81) y al final, el ángulo de fase  $\theta$  de  $v_g$ .

Para el caso del sistema IMCAT, la corriente de referencia  $i_{g(ref)} = y^* = A \sin(\omega t)$  y sus derivadas temporales mostradas por las expresiones (3.77), se generan a partir de las señales en cuadratura, obtenidas del algoritmo de enganche de fase.

La Figura 3.20 muestra las formas de onda obtenidas de cada una de las celdas que conforman el inversor multinivel. La Figura 3.20 (a), muestra la salida de la celda que posee el menor voltaje ( $V_{bajo}$ ), mientras que en la Figura 3.20 (b) se puede observar la señal de salida de la celda de mayor

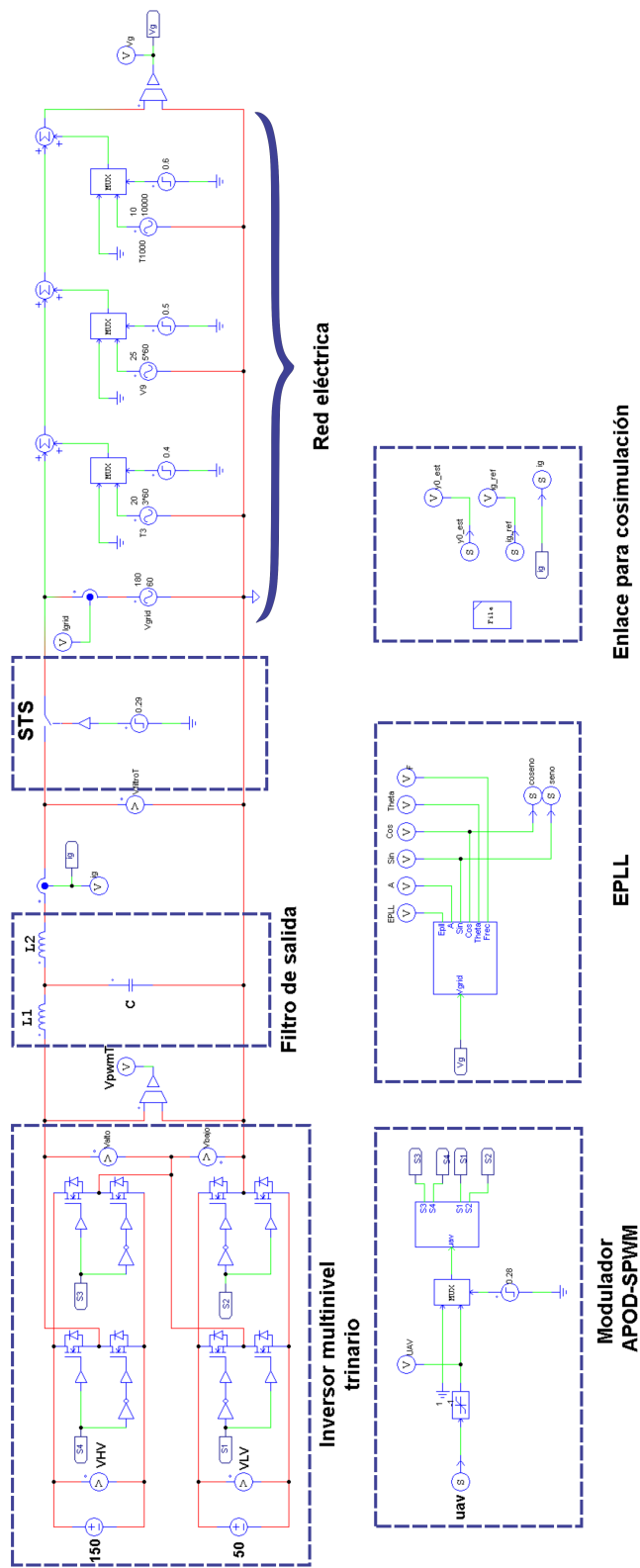


Figura 3.14. Inversor multinivel monofásico en configuración trinario interconectado a la red eléctrica.

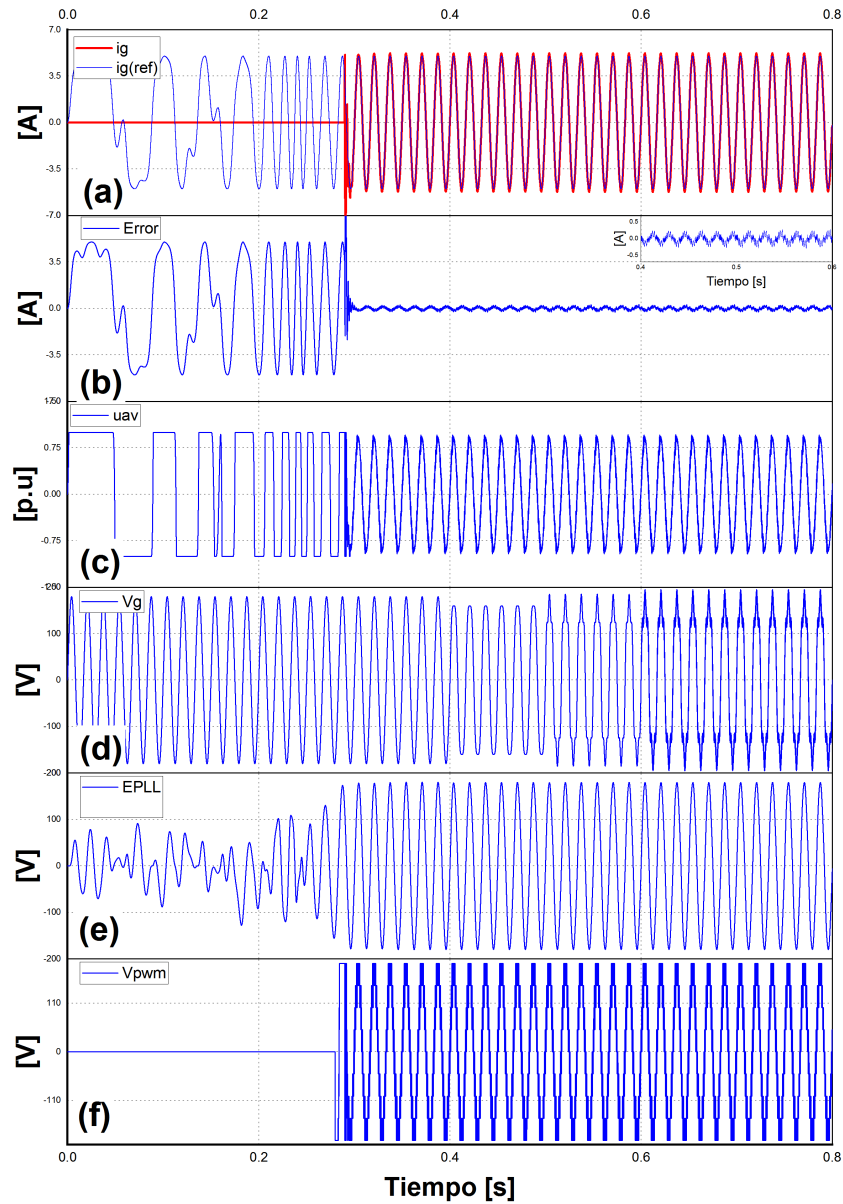


Figura 3.15. Resultado de simulación con  $i_{g(ref)} = 5 \sin wt$ : **(a)** Comparativa de la corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia  $i_{g(ref)}$ ; **(b)** Error de seguimiento; **(c)** Señal de control ( $u_{av}$ ); **(d)** Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); **(e)** Señal del EPLL; **(f)** Voltaje de salida del inversor trinario (nueve niveles).



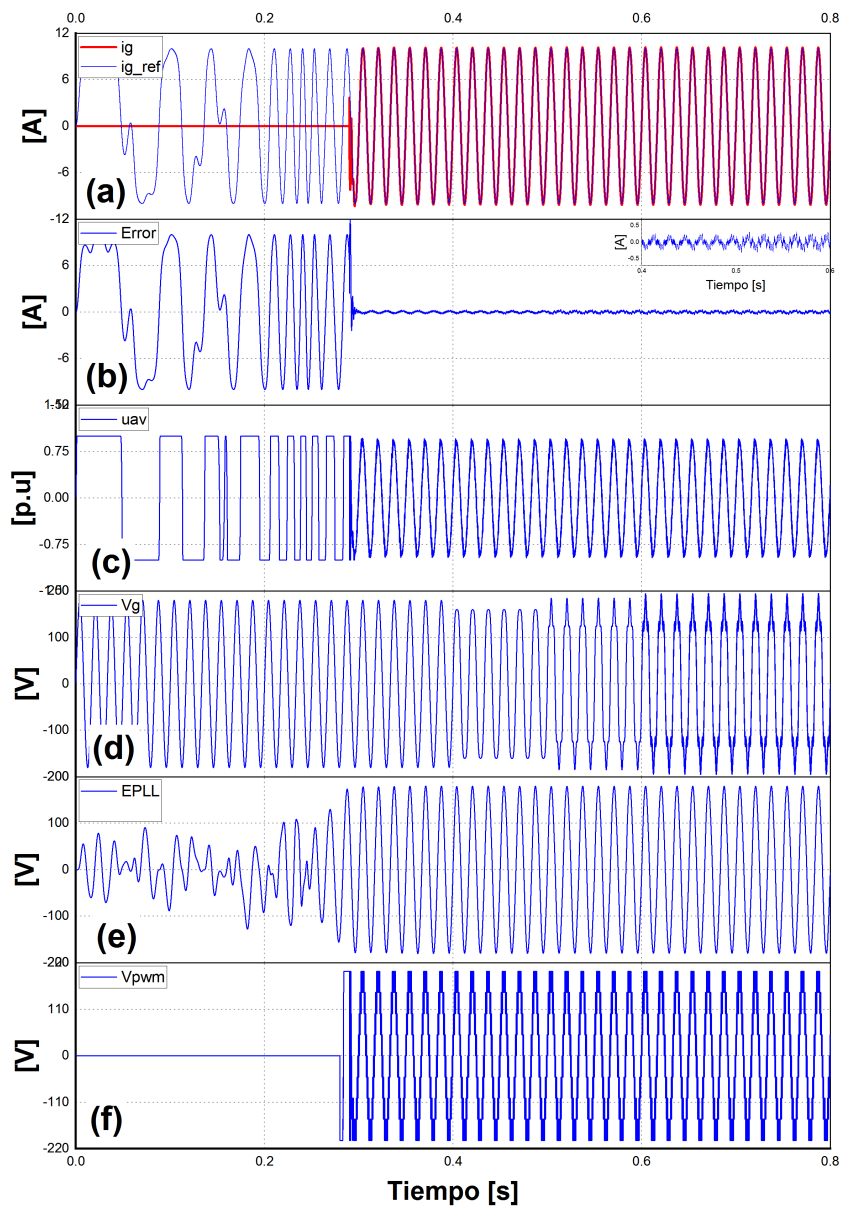


Figura 3.16. Resultado de simulación con  $i_{g(ref)} = 10 \sin wt$ : (a) Comparativa de la corriente corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia  $i_{g(ref)}$ ; (b) Error de seguimiento; (c) Señal de control ( $u_{av}$ ); (d) Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); (e) Señal del EPLL; (f) Voltaje de salida del inversor trinario (nueve niveles).

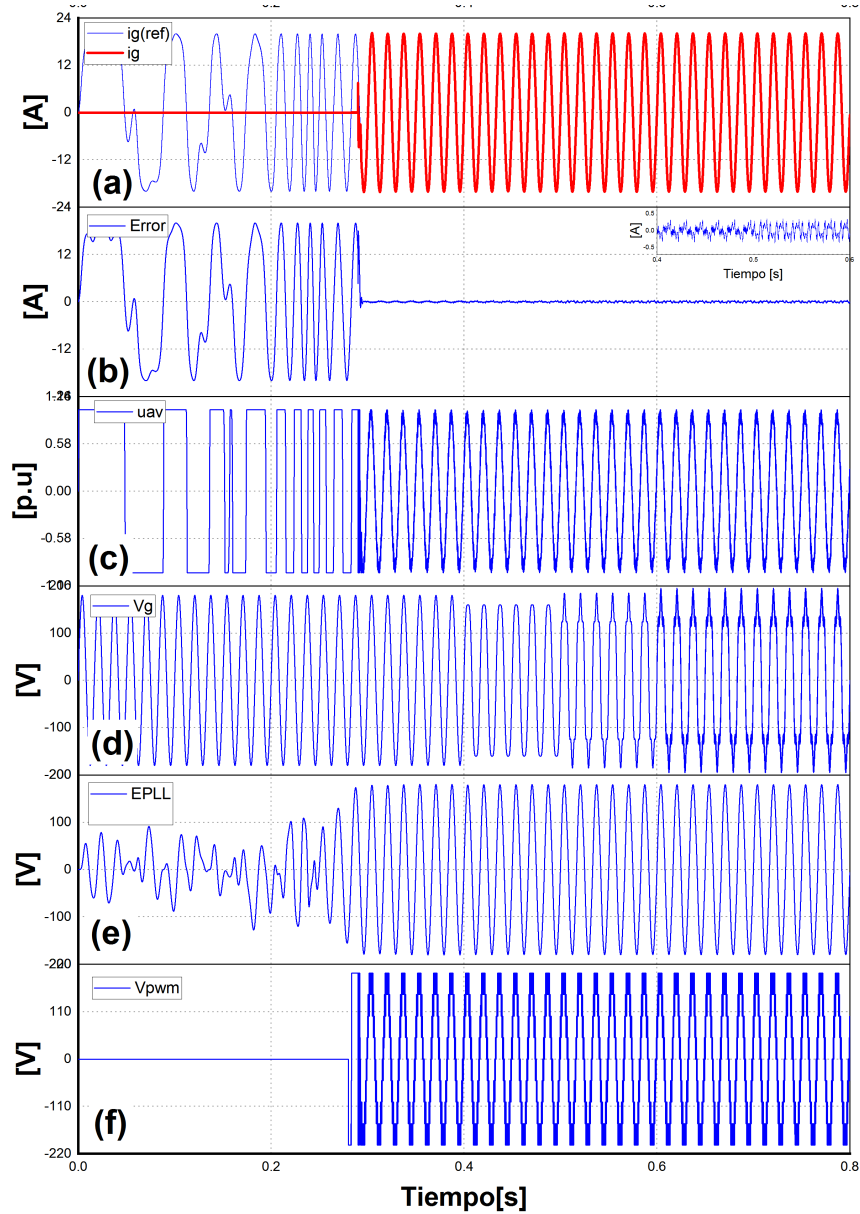


Figura 3.17. Resultado de simulación con  $ig_{(ref)} = 20 \sin wt$ : (a) Comparativa de la corriente inyectada a la red ( $ig$ ) contra la corriente de referencia  $ig_{(ref)}$ ; (b) Error de seguimiento; (c) Señal de control ( $u_{av}$ ); (d) Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); (e) Señal del EPLL; (f) Voltaje de salida del inversor trinario (nueve niveles).

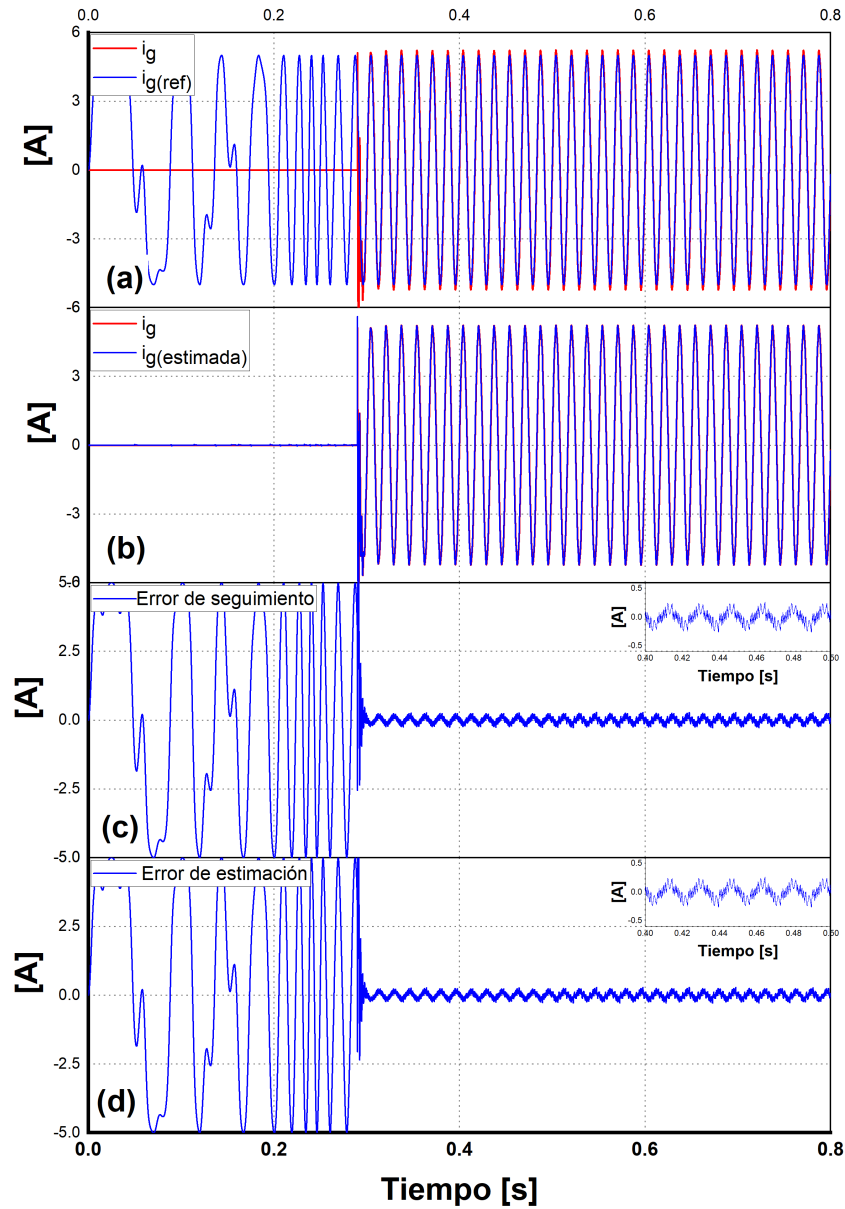


Figura 3.18. Señales de corriente y sus respectivos errores: (a) Corriente de red vs. corriente de referencia deseada; (b) Corriente de red vs. corriente estimada por el observador; (c) Error de seguimiento; (d) Error de estimación.

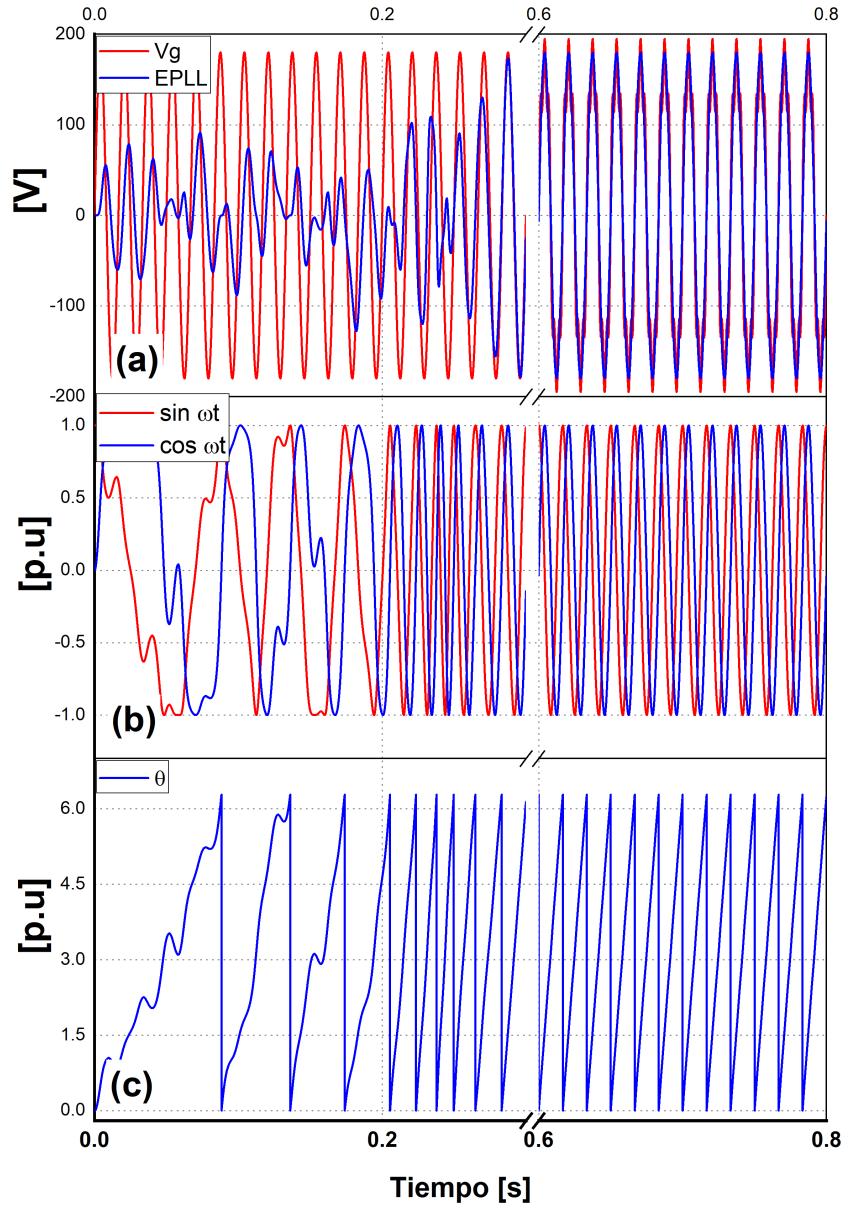


Figura 3.19. Señales obtenidas del algoritmo de enganche de fase (EPLL): (a) Señal del PLL vs voltaje de red definido por la ecuación (3.81); (b) Señales en cuadratura con amplitud unitaria; (c) Ángulo de fase del voltaje de red.

voltaje ( $V_{alto}$ ). Es importante comentar que,  $V_{bajo}$  posee más transiciones por ciclo, mientras que  $V_{alto}$  conmuta casi a frecuencia de red, esta consideración cobra importancia ya que el voltaje de alimentación de la celda de alto voltaje, es tres veces más alto que la celda de bajo voltaje; si la celda de alto voltaje conmutara a alta frecuencia, el  $\frac{dv}{dt}$  al que se sometería los dispositivos de conmutación incrementaría las pérdidas. En la Figura 3.20 (c) se puede observar la onda de voltaje escalonada ( $V_{pwm}$ ) con nueve niveles obtenida de la salida del inversor.

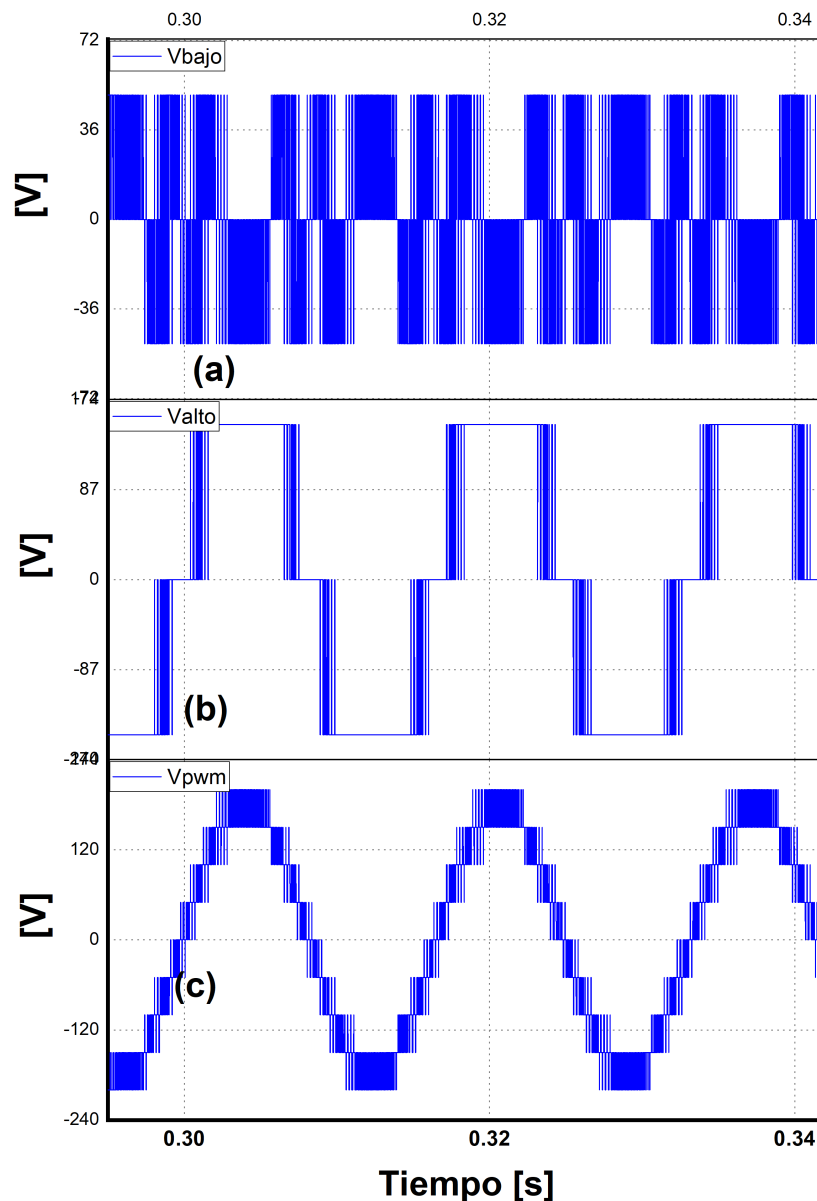


Figura 3.20. Salidas de voltaje de las celdas que conforman el inversor multinivel en configuración trinaría: (a) Salida de la celda de bajo voltaje ( $V_{bajo} = E$ ); (b) Salida de la celda de alto voltaje ( $V_{alto} = 3E$ ); (c) Salida del inversor multinivel en configuración trinaría con nueve niveles ( $V_{pwm}$ ).

**Simulación del sistema con paneles fotovoltaicos** En la Figura 3.21 se muestran los bloques que se construyeron en MATLAB/Simulink. El bloque marcado en el recuadro azul con línea punteada, representa el inversor multinivel construido en PSIM y su estructura se muestra en la Figura 3.22. Como se puede observar en la Figura 3.22, se agregan más elementos respecto a la Figura 3.14, esto es: Arreglos fotovoltaicos, algoritmo de seguimiento de máxima potencia (MPPT) del tipo P&O y la generación de la amplitud de la corriente de referencia que se inyectará a la red eléctrica.

Cabe hacer mención, que los bloques presentados en la Figura 3.21 son iguales a los de la sección anterior, con excepción del bloque de referencias (ver Figura 3.21 línea punteada rosa), ya que para este caso, la amplitud de la corriente de referencia ( $A$ ) se obtiene a partir de un lazo de control  $PI$  desde el algoritmo MPPT mostrado en la Figura 3.22.

La estructura de los arreglos fotovoltaicos empleados se muestra en el apéndice C en las Figuras C.3 (a) y C.3 (b), mientras que el código asociado al algoritmo de MPPT (P&O) se muestra en la lista C.5. El contenido de cada bloque realizado en MATLAB/Simulink se muestra en las listas de código C.1, C.2, C.3, C.4 y en las Figuras C.1, C.2.

La Tabla 3.2 concentra las características eléctricas del panel fotovoltaico, mismas que fueron

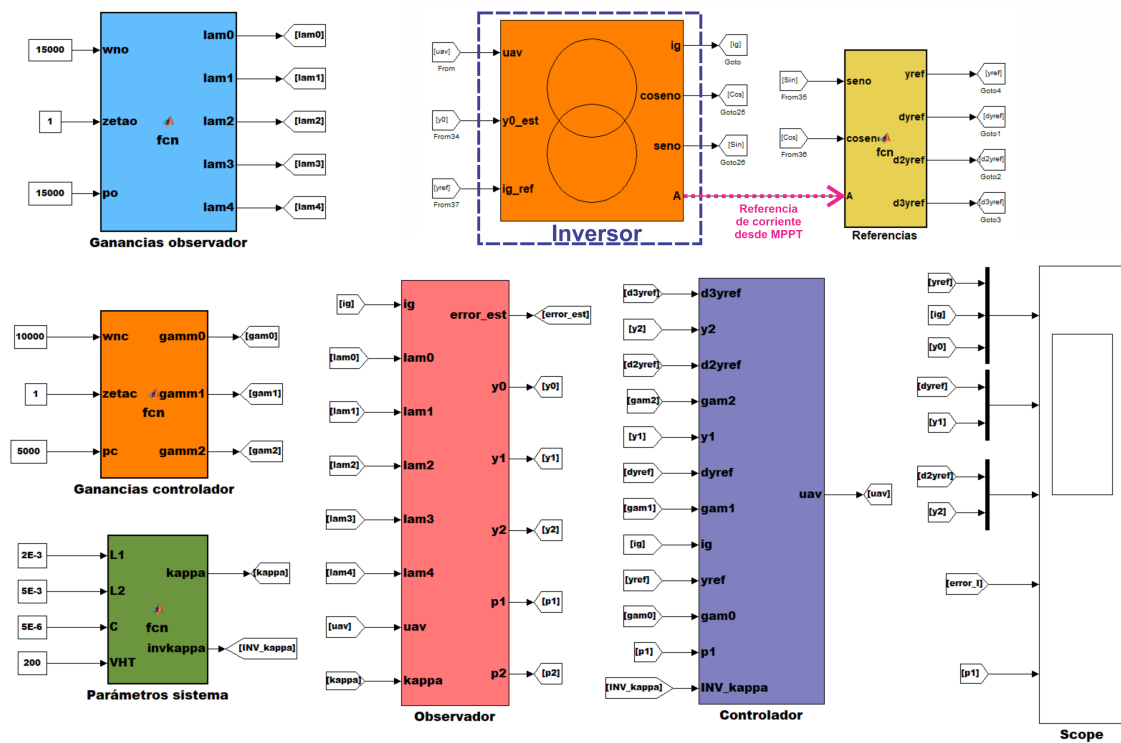


Figura 3.21. Bloques en MATLAB/Simulink.

obtenidas experimentalmente. Para volver más realística la simulación, los datos de la Tabla 3.2 se sustituyeron en la herramienta que proporciona PSIM para el modelo físico del panel y se obtuvieron las curvas **I-V** y **P-I** mostradas en las Figuras 3.23(a) y 3.23(b) respectivamente.

En la Figura 3.24 se muestran los resultados obtenidos de la simulación cuando los arreglos fotovoltaicos se someten a una irradiancia constante de  $1000 \text{ W/m}^2$ .

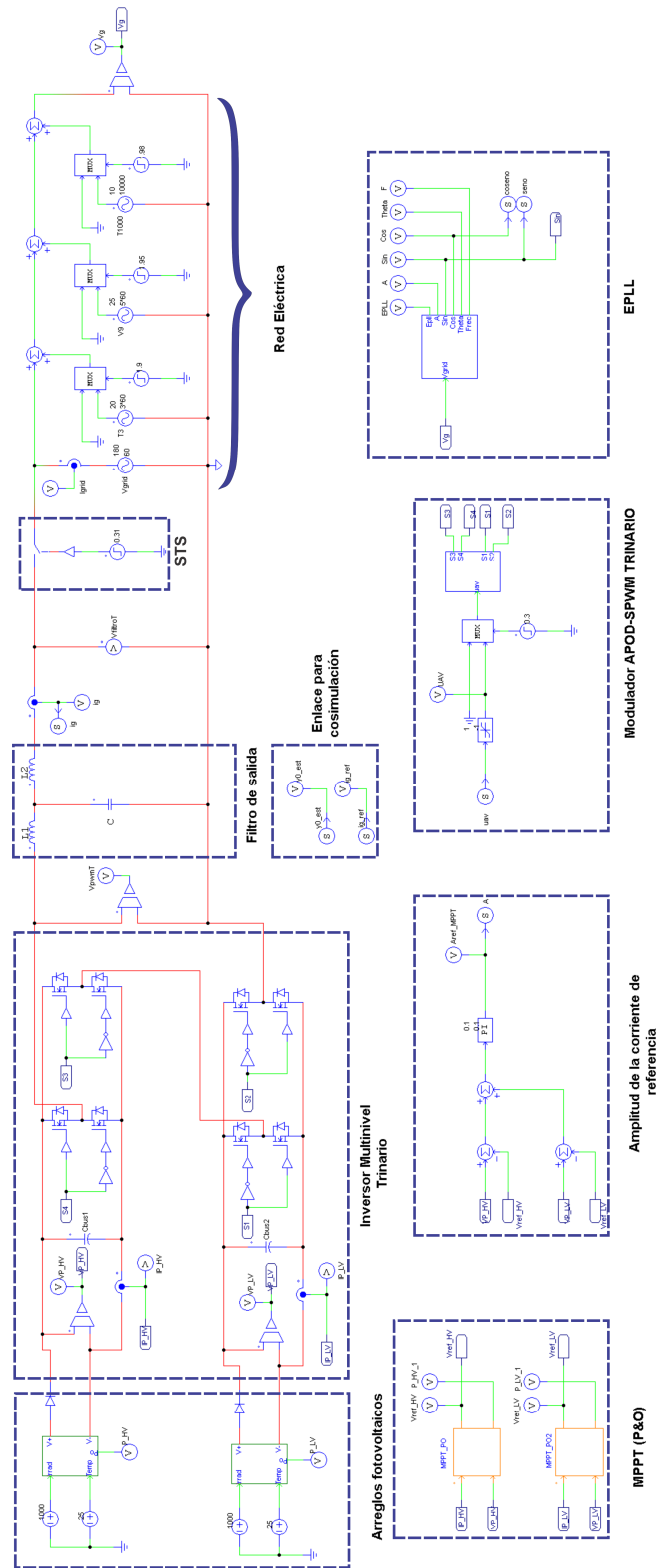


Figura 3.22. Inversor multinivel monofásico con paneles fotovoltaicos en configuración trinararia interconectado a la red eléctrica.

Tabla 3.2. Parámetros eléctricos del panel solar empleado en la simulación del sistema IMCAT.

Parámetro	Magnitud	Unidad
Voltaje de circuito abierto ( $V_{oc}$ )	22.1	[V]
Corriente de corto circuito ( $I_{sc}$ )	3.21	[A]
Voltaje a potencia Máxima ( $V_{mpp}$ )	18.2	[V]
Corriente a potencia Máxima ( $I_{mpp}$ )	2.75	[A]
Potencia Máxima	50	[W]
<b>Marca del panel solar: SolarWorld SW 50 poly RMA</b>		

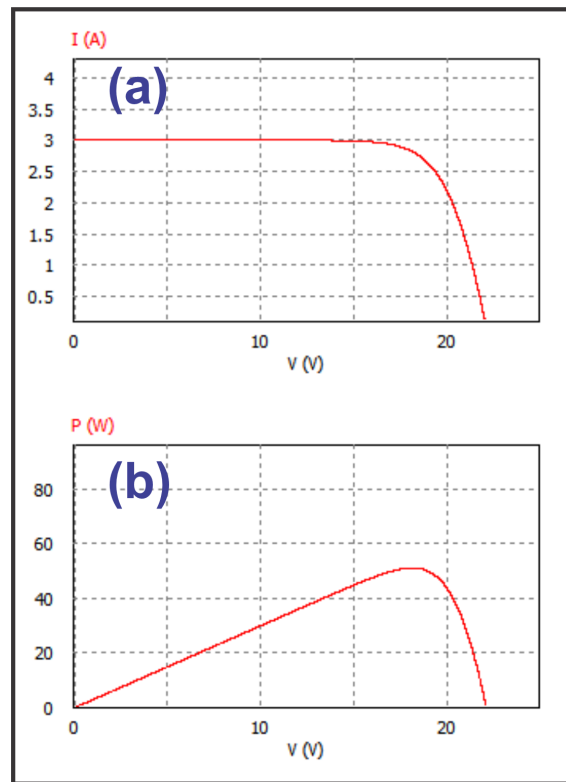


Figura 3.23. Curvas características del panel *SolarWorld SW 50 poly RMA* obtenidas con PSIM:  
 (a) Curva I-V; (b) Curva P-I



Como se puede observar en la Fig. 3.24(a), el valor de la corriente de referencia se obtiene del lazo de control que involucra el algoritmo MPPT de ambos arreglos fotovoltaicos. En la Fig. 3.24(b) se muestra el error de seguimiento entre la corriente de referencia  $i_{g(ref)}$  y la corriente de red inyectada  $i_g$ . Como se puede observar en el detalle de la esquina superior derecha de la Figura 3.24(b), el error de corriente se mantiene relativamente pequeño. En la Figura 3.24(c) se observa la señal de control  $u_{av}$ , mientras que en la Figura 3.24(d) se puede observar el voltaje de red  $v_g$  contaminado de acuerdo a la ecuación (3.81). En la Figura 3.24(e) se muestra la señal del *EPLL* la cual está en sincronía con el voltaje de red  $v_g$ , es decir ambos poseen la misma fase, sin embargo, como se puede observar, la salida del *EPLL* no posee ninguna distorsión, a pesar de los cambios en  $v_g$ . Finalmente, en la Figura 3.24(f) se muestra el voltaje de salida del inversor con nueve niveles, obtenido antes del filtro *LCL*.

En la Figura 3.25 se muestran las señales obtenidas del voltaje de los arreglos fotovoltaicos: en la Fig. 3.25(a) se muestra el voltaje del arreglo fotovoltaico de mayor voltaje ( $V_{HV}$ ) y se compara con el de referencia ( $V_{HV(ref)}$ ) impuesto al algoritmo de *MPPT*; de igual forma, en la Figura 3.25(b) se compara el voltaje menor  $V_{LV}$  contra el de referencia  $V_{LV(ref)}$ . En la Figura 3.25(c) se muestra la corriente consumida de cada arreglo fotovoltaico. Finalmente en las Figuras 3.25(d) y (e) se muestra la potencia extraída de cada arreglo fotovoltaico.

Las Figuras 3.26 y 3.27 muestran, al igual que las Figuras 3.24 y 3.25, los resultados de simulación del sistema IMCAT, pero se considera una *irradiancia solar variable*. En la Figura 3.26(a) se muestra la referencia de corriente variable de acuerdo a los cambios de irradiancia mostrados en la Figura 3.26(c). En la Figura 3.26(e) se observa la comparativa de la corriente de referencia  $i_{g(ref)}$  y la corriente estimada  $i_{g(estimada)}$ .

En la Figuras 3.27(a) y (b) se muestra la comparativa de los voltajes de los arreglos fotovoltaicos comparados con sus respectivas referencias, mientras que en la Figura 3.27(c) se muestra la corriente obtenida de cada arreglo. Finalmente en las Figuras 3.27(d) y (e) se muestra la potencia obtenida desde los arreglos fotovoltaicos.

Una vez realizadas las tareas marcadas en la fase 1 de la metodología y que se validó el funcionamiento del sistema completo, es decir el conjunto: controlador, observador, sincronía y modulador. En el siguiente capítulo se procede a realizar la implementación en el dispositivo de lógica reconfigurable propuesto.

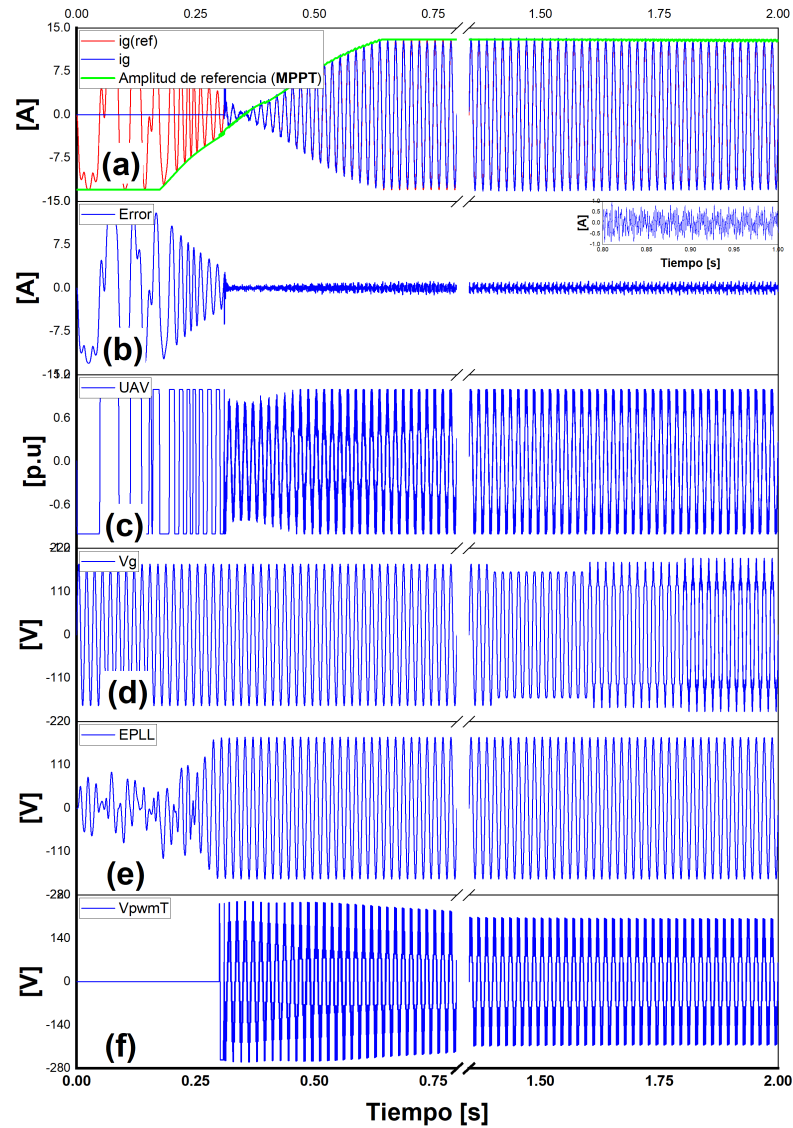


Figura 3.24. Resultado de simulación con *irradiancia solar constante* de  $1000 \text{ W/m}^2$ : (a) Comparativa de la corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia  $i_{g(ref)}$ ; (b) Error de seguimiento; (c) Señal de control ( $u_{av}$ ); (d) Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); (e) Señal del EPLL; (f) Voltaje de salida del inversor trinario (nueve niveles).

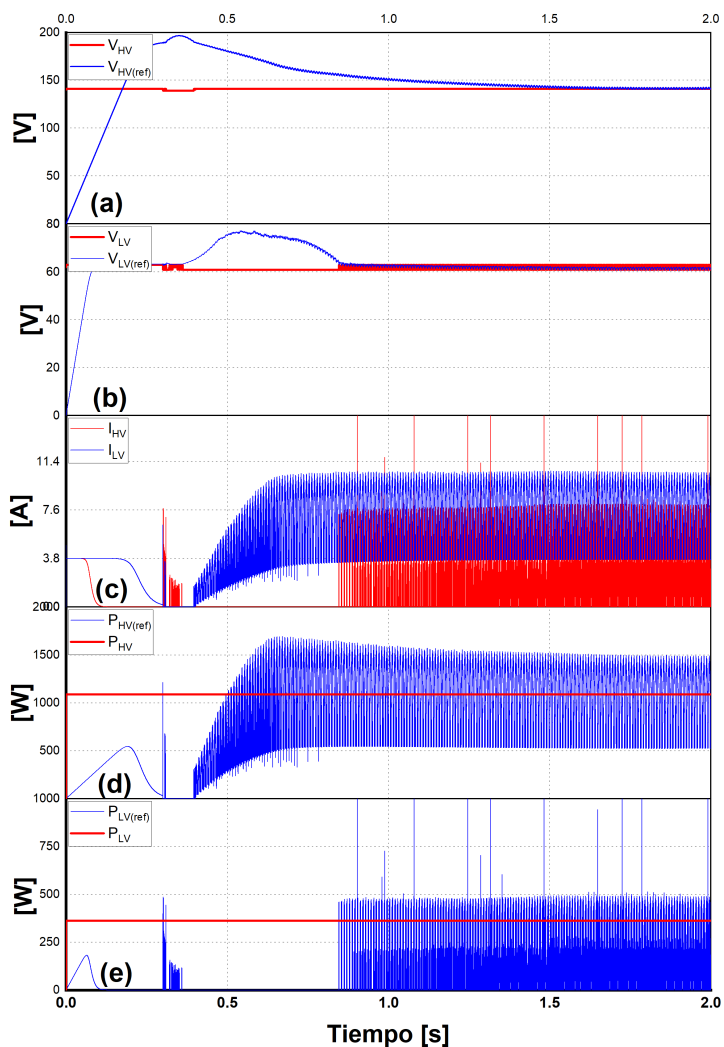


Figura 3.25. Señales de voltaje y corriente de los arreglos fotovoltaicos ante *irradiancia solar constante*: **(a)** Arreglo fotovoltaico alto  $V_{HV}$  contra el voltaje de referencia  $V_{HV(ref)}$ ; **(b)** Arreglo fotovoltaico bajo  $V_{LV}$  contra el voltaje de referencia  $V_{LV(ref)}$ ; **(c)** Corriente de ambos arreglos fotovoltaicos; **(d)** Potencia de referencia  $P_{HV(ref)}$  contra la potencia  $P_{HV}$  obtenida del arreglo de voltaje alto; **(e)** Potencia de referencia  $P_{LV(ref)}$  contra la potencia  $P_{LV}$  obtenida del arreglo de voltaje bajo.

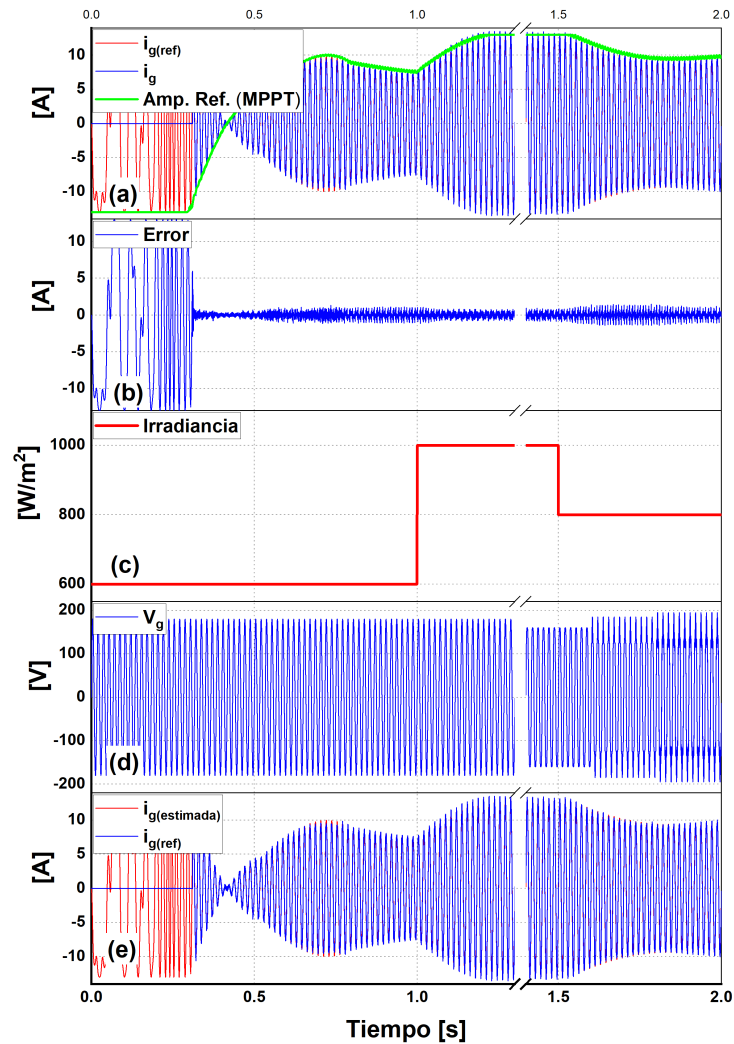


Figura 3.26. Resultado de simulación con *irradiancia solar variable*: **(a)** Comparativa de la corriente inyectada a la red ( $i_g$ ) contra la corriente de referencia  $i_{g(ref)}$ ; **(b)** Error de seguimiento; **(c)** Irradiancia solar variable; **(d)** Voltaje de red ( $v_g$ ) de acuerdo a la ecuación (3.81); **(e)** Corriente de referencia  $i_{g(ref)}$  contra la corriente  $i_{g(estimada)}$  obtenida del observador.

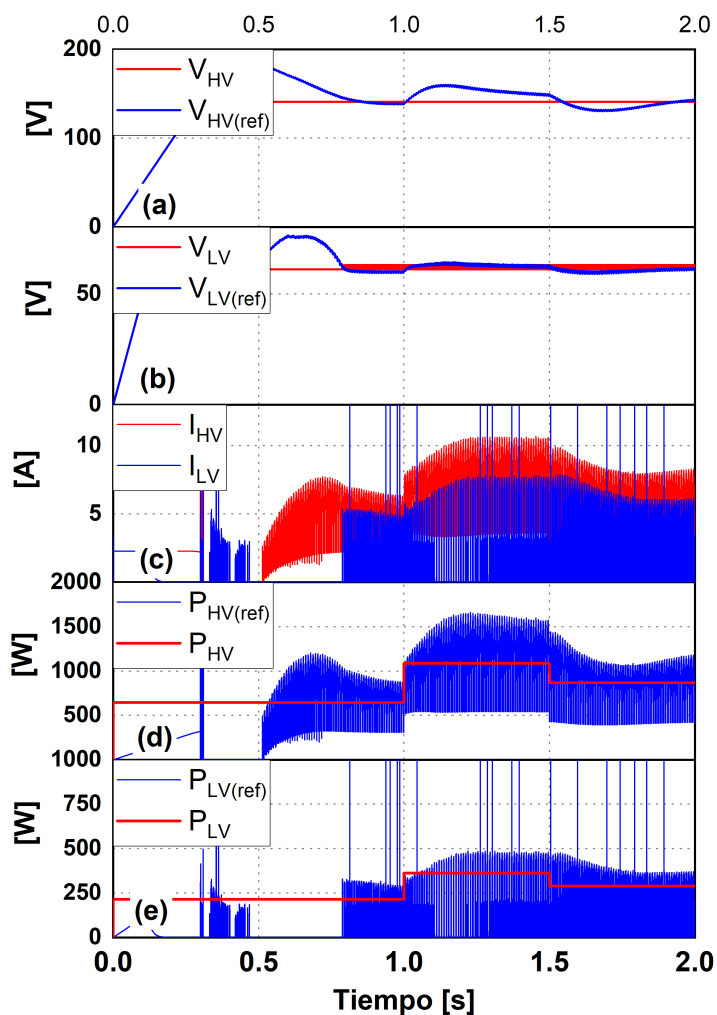


Figura 3.27. Señales de voltaje y corriente de los arreglos fotovoltaicos ante *irradiancia variable*: **(a)** Arreglo fotovoltaico alto  $V_{HV}$  contra el voltaje de referencia  $V_{HV(ref)}$ ; **(b)** Arreglo fotovoltaico bajo  $V_{LV}$  contra el voltaje de referencia  $V_{LV(ref)}$ ; **(c)** Corriente de ambos arreglos fotovoltaicos; **(d)** Potencia de referencia  $P_{HV(ref)}$  contra la potencia  $P_{HV}$  obtenida del arreglo de voltaje alto; **(e)** Potencia de referencia  $P_{LV(ref)}$  contra la potencia  $P_{LV}$  obtenida del arreglo de voltaje bajo.



# Capítulo 4

## Fase 2: Diseño en FPGA

**Resumen:** La fase 2 consiste en realizar la implementación en un dispositivo de lógica reconfigurable, por lo que se siguen los pasos de la metodología y se diseña una arquitectura de procesamiento de 32 bits, la cual es descrita por medio del lenguaje VHDL.

### 4.1. Implementación en el FPGA

Esta fase está dirigida a la implementación en el dispositivo digital. En este trabajo se empleó un dispositivo de lógica reconfigurable, por lo que se desarrollará la fase 2 de la metodología descrita en el apartado 2.4. Esta fase consiste en siete etapas las cuales se muestran en la Figura 4.1.

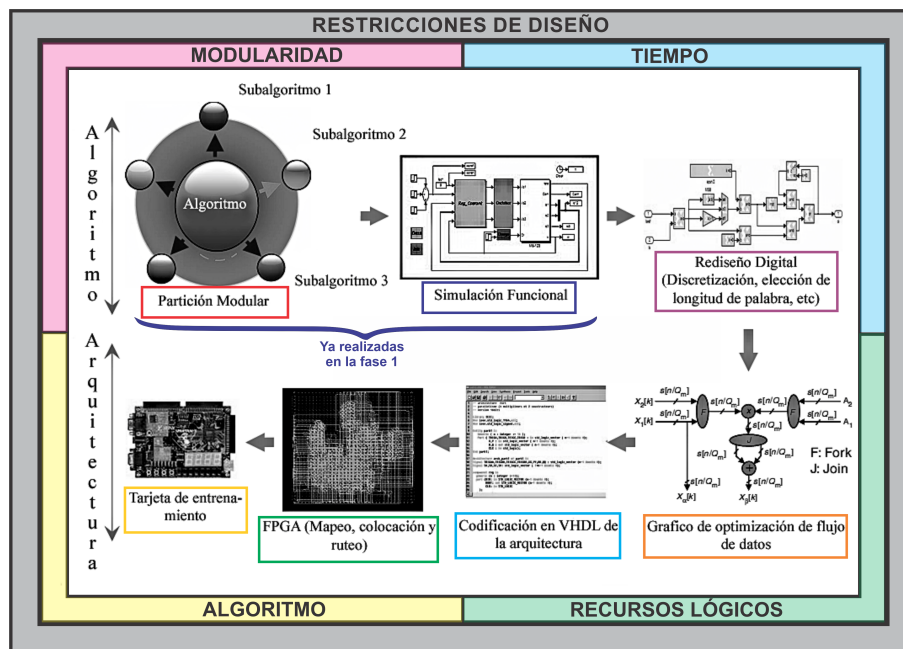


Figura 4.1. Metodología: Fase 2

En la Figura 4.1 se observa que las primeras dos etapas se contemplan como realizadas, ya que se considera que para la fase 1 de la metodología se planificó la partición modular de los algoritmos

y se realizó una simulación funcional de la técnica de control propuesta, observador GPI, PLL y modulador (ver Figuras 3.13 y 3.21).

Para realizar la implementación en FPGA, los algoritmos involucrados en este trabajo se dividieron en cuatro módulos:

- Controlador
- Observador (GPI)
- Sincronización (EPLL)
- Modulador trinario (APOD-SPWM).

Todos los módulos mencionados arriba se diseñaron para ser reutilizados y fueron optimizados para reducir la cantidad de recursos al implementarlos en el dispositivo de lógica reconfigurable.

#### 4.1.1. Rediseño digital y Gráfico de optimización del flujo de datos

En este apartado se elige la longitud de palabra a emplearse en la aritmética para el procesamiento de los algoritmos. Para este trabajo, se eligió la representación numérica en punto flotante simple de 32 bits, alineada al estándar IEEE-754. La razón de esta elección es cubrir la necesidad de representación numérica de valores pequeños y grandes, los cuales sea generados durante la simulación funcional de los algoritmos durante la cosimulación entre MATLAB/Simulink y PSIM. Cabe hacer mención que la representación numérica elegida, provee de un amplio rango dinámico <sup>1</sup> el cual es necesario para representar los valores de varios de los parámetros y ganancias del sistema, por ejemplo, como los mostrados en la Tabla 3.1.

##### 4.1.1.1. Módulo de Control

Para realizar el gráfico de optimización del flujo de datos, se toman las ecuaciones (3.62) y (3.75), las cuales corresponden a los algoritmos del controlador y observador, respectivamente. En la Figura 4.3 se muestra el gráfico de optimización del flujo de datos para el observador, descrito por la ecuación (3.62). Como se puede observar, la estructura de procesamiento propuesta posee varios operadores aritméticos, tales como sumadores, restadores, multiplicadores y un módulo de integración. Este último, se basa en el método de *Euler*, el cual ha sido empleado con efectividad en los trabajos realizados en los apéndices D y F. Cabe remarcar que todos los módulos descritos, realizan operaciones en punto flotante de 32 bits, por lo tanto, el camino de datos posee el mismo formato. En la Fig. 4.2(a) se muestra el gráfico de optimización para el controlador del sistema, como se puede observar, se recibe el flujo numérico de varias señales que son proporcionadas por los otros módulos. En el mismo sentido, en la Fig. 4.2(b) se muestra el diagrama de optimización para la generación de las señales de referencia, mismas que se usan en el módulo del controlador.

##### 4.1.1.2. Módulo del observador (GPI)

Para realizar el diseño de este módulo se toma la ecuación (3.62) y al igual que el módulo del controlador descrito en la sección anterior, se construye el diagrama de optimización mostrado en la Figura 4.3.

<sup>1</sup>Para el caso de la representación en punto flotante simple de 32 bits el valor máximo representable es  $3.4028237 \times 10^{38}$  y el valor mínimo es  $1.175494 \times 10^{-38}$ .



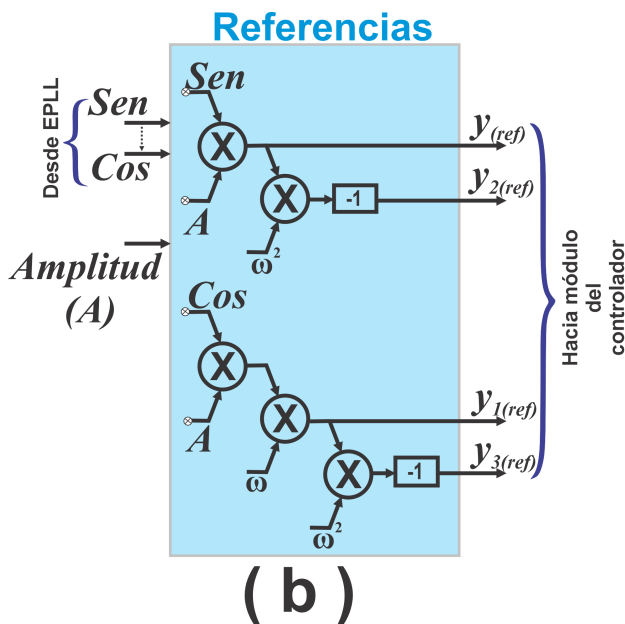
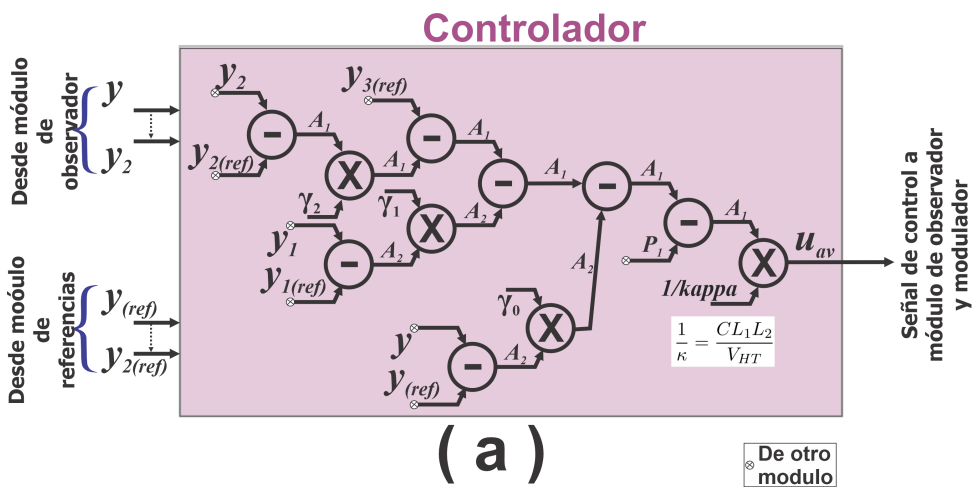


Figura 4.2. Diagrama de optimización de flujo de datos: (a) observador descrito por la ecuación (3.75) y (b) Generación de las señales de referencia descritas en la ecuación (3.77).

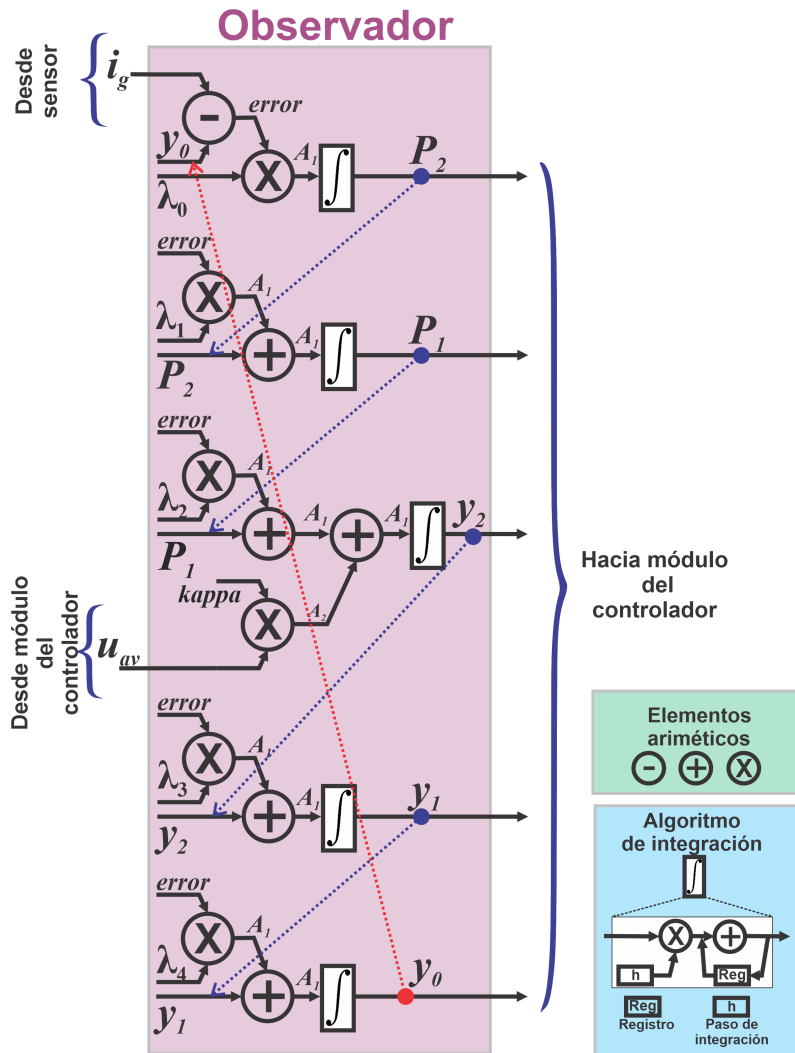


Figura 4.3. Diagrama de optimización de flujo de datos para el observador descrito por la ecuación (3.62).

#### 4.1.1.3. Módulo de sincronización (EPLL)

A partir del sistema de ecuaciones dado en (2.17) y de la estructura a bloques de la Figura 2.12 se presenta el diagrama de optimización de la Figura 4.4.

El resultado de implementación del módulo de sincronización se muestra en la Figura 4.5. Como

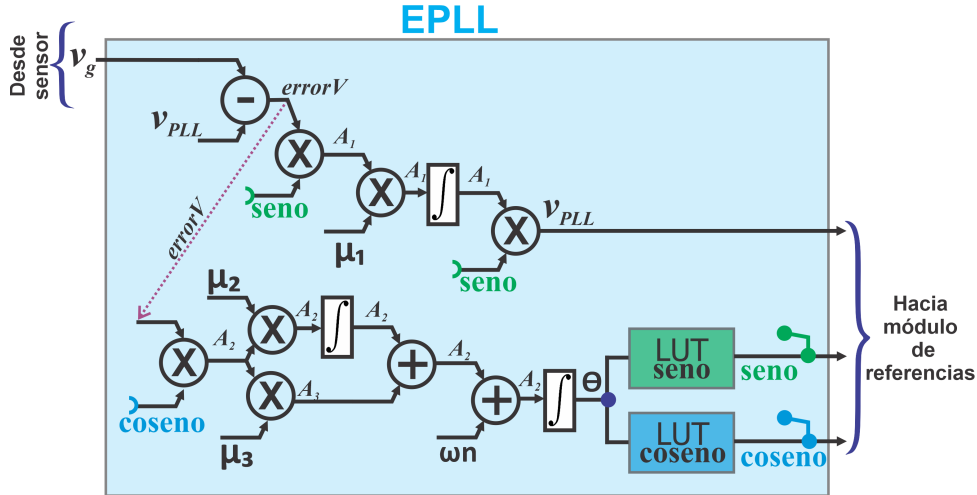


Figura 4.4. Diagrama de optimización del algoritmo de enganche de fase EPLL.

se puede observar, en la gráfica superior derecha, ambos voltajes, es decir, el voltaje de red  $v_g$  y el que se obtiene del EPLL ( $v_{EPLL}$ ), se encuentran en fase, sin embargo, al realizar una vista más detallada, se puede observar en color gris en la misma figura, la distorsión que presenta el voltaje de red  $v_g$  y en color negro la corrección que realiza el algoritmo EPLL. Esta corrección, favorece a la generación de las señales de referencia, ya que a partir del módulo EPLL se obtienen las funciones *seno* y *coseno* puras.

Esta técnica de sincronía fue empleada con muy buenos resultados en el trabajo del apéndice F, sección F.1.

#### 4.1.1.4. Modulador trinario (APOD-SPWM)

La técnica PWM usada en el diseño, es del tipo LSPWM (Level-Shifted PWM) o también llamada por corrimiento de nivel y contiene múltiples portadoras. Este módulo recibe la señal moduladora ( $u_{av}$ ) desde el módulo de control, como se muestra en la Figura 4.6. El módulo genera ocho señales PWM en su salida:  $S1, \bar{S1}, S2, \bar{S2}, S3, \bar{S3}, S4, \bar{S4}$ , las cuales son usadas para controlar el disparo de los dispositivos de conmutación de la estructura del inversor multinivel. El generador triangular produce una aproximación discreta de hasta ocho ondas triangulares de 2.5 kHz ( $Tri_1, Tri_2, \dots, Tri_8$ ), dependiendo de la variante LSPWM que se trate. Invariablemente se producirán ocho ondas triangulares con una amplitud pico a pico de 1/8, tal como se muestra en la Figura 4.6 y más a detalle en la Figura 4.7. La aproximación discreta de cada una de las ondas triangulares se obtuvo de la función matemática individual usando la representación en punto flotante de 32 bits. Las ondas triangulares se pre-computaron y se almacenaron en memorias ROM de 1024 palabras, con una profundidad de 32 bits, mismas que se encuentran embebidas dentro del FPGA. Las técnicas LSPWM necesitan de ocho comparadores de magnitud de 32 bits para poder generar las

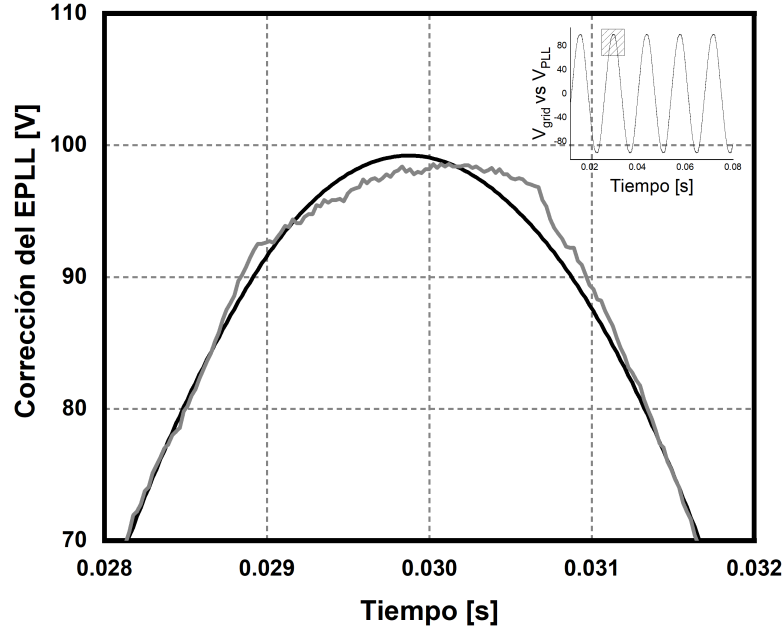


Figura 4.5. Resultado de implementación del algoritmo EPLL en el FPGA.

señales PWM, los cuales comparan la magnitud de la señal de control ( $u_{av}$ ) con cada una de las ondas triangulares ( $Tri_1, Tri_2, \dots, Tri_8$ ). Como se puede ver en la Figura 4.6, el número de señales PWM generadas se reduce de 8 a 4, esto se realiza por medio de un arreglo de compuertas lógicas del tipo *XNOR* de 5 entradas, de tal manera que las ecuaciones (4.1) y (4.2) generan  $S_1$  y  $S_2$ , respectivamente, mismas que son conectadas a la celda de menor voltaje del inversor multinivel. Para el caso de la generación de  $S_3$  y  $S_4$ , se emplean los comparadores  $C_3$  y  $C_6$ . Cabe mencionar que la generación de los tiempos muertos se genera vía software para prevenir el cruce entre las señales complementarias de conmutación del inversor multinivel.

$$S_1 = \overline{C_1 \oplus C_7 \oplus C_4 \oplus C_3 \oplus C_6} \quad (4.1)$$

$$S_2 = \overline{C_2 \oplus C_3 \oplus C_5 \oplus C_6 \oplus C_8} \quad (4.2)$$

Los resultados obtenidos de la implementación de las técnicas LSPWM en el FPGA, se muestran en la Figura 4.8.

En el apéndice E, sección E.2 se muestra la publicación realizada de la implementación de dichas técnicas. En el mismo sentido, en el trabajo del apéndice E, apartado E.1, la técnica de implementación fue empleada pero para la configuración binaria.

#### 4.1.2. Optimización del camino de datos

Para cada una de los diagramas de optimización mostrados en las secciones 4.1.1.1, 4.1.1.2 y 4.1.1.3 se puede observar que las operaciones realizadas por los elementos aritméticos tales como sumadores, restadores y multiplicadores se realizan de forma secuencial. Es claro que cada algoritmo involucrado en el sistema IMCAT posee dependencias de alguno previo, por lo tanto, dada su naturaleza secuencial, se propone una etapa de optimización que llevará al diseño final a tener

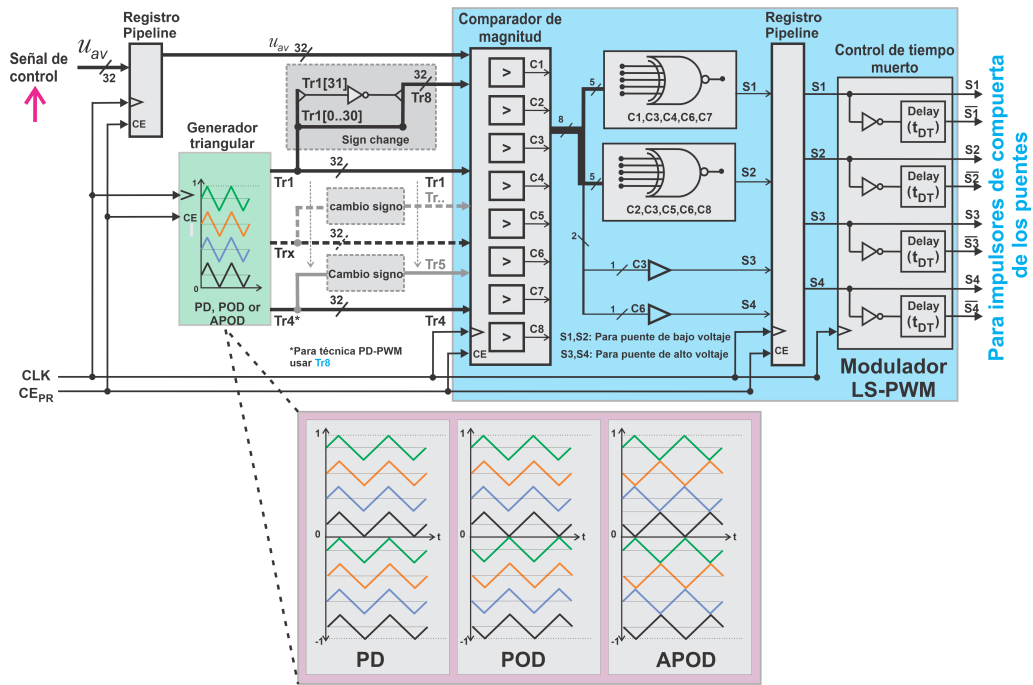


Figura 4.6. Diagrama general del modulador empleado.

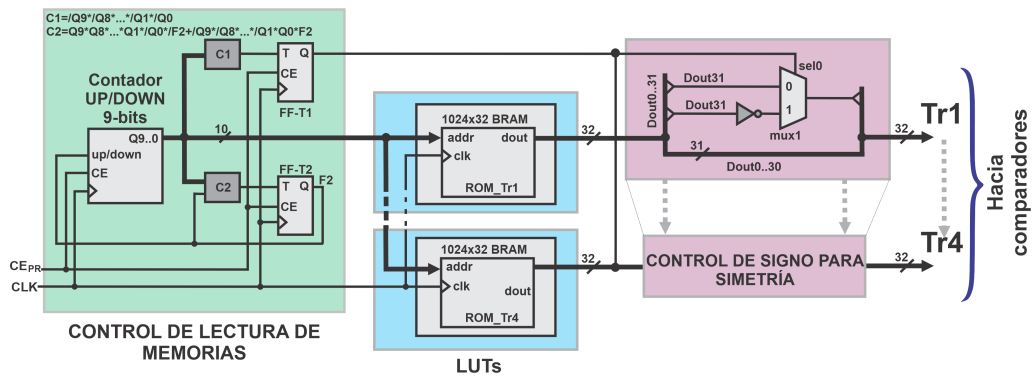


Figura 4.7. Diagrama del generador triangular.

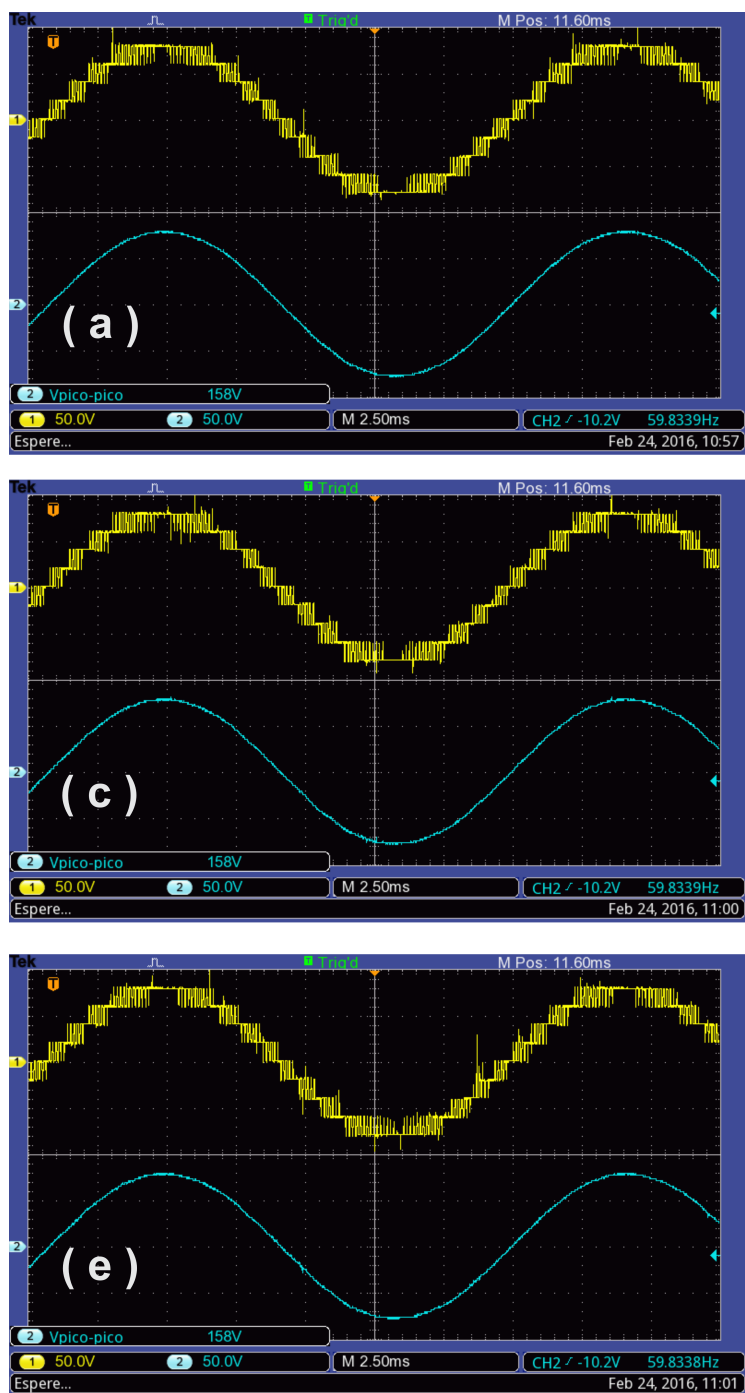


Figura 4.8. Resultados de implementación de las técnica de modulación del tipo LSPWM: (a) PD; (b) POD, (c) APOD.

un nivel muy bajo de consumo de recursos lógicos. Por lo tanto, a cada módulo ya diseñado y tomando como base su diagrama de optimización correspondiente, se le diseña un camino de datos temporizado por una máquina de estados finitos, de tal manera que las operaciones secuenciales sean realizadas por los mismos elementos aritméticos, logrando con ello un bajo consumo de recursos del dispositivo reconfigurable. Esta técnica se empleó con gran efectividad en los trabajos mostrados en los apéndices F y G. Un ejemplo de dicho proceso se muestra en la Figura 4.9, donde se puede verificar que para realizar diversas operaciones aritméticas, se emplea únicamente un multiplicador y un sumador/restador, un número definido de registros los cuales hacen la función de memoria y todo está auxiliado por multiplexores, los cuales definen el camino de los datos por medio de la secuencia definida en la máquina de estados finitos asociada.

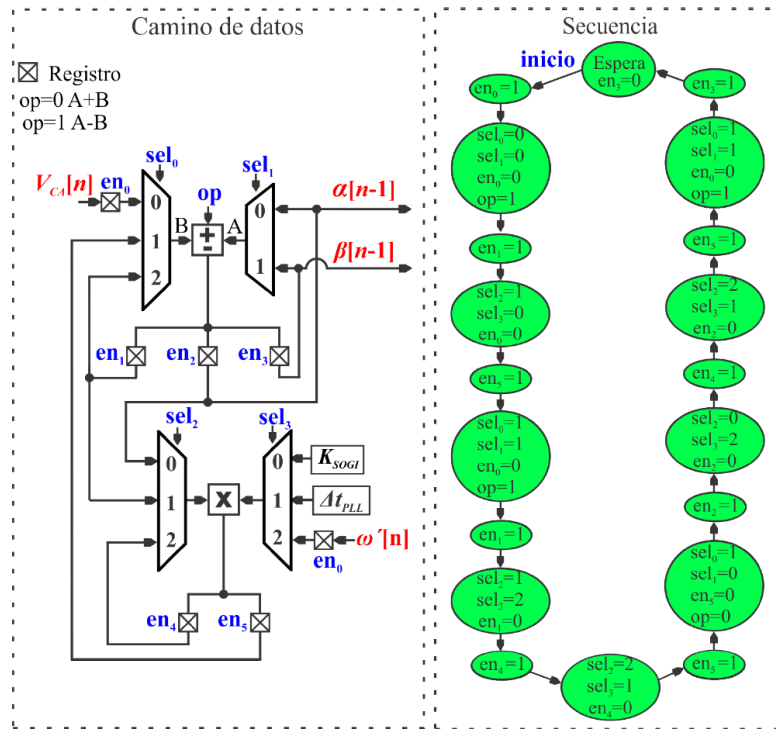


Figura 4.9. Optimización del camino de datos.

### 4.1.3. Arquitectura de procesamiento

En la Fig. 4.10(a) se muestra la arquitectura diseñada para el procesamiento de los algoritmos del sistema IMCAT, para ello, se agrega la etapa del *Decoder ADC* a las cuatro ya mencionadas con anterioridad y que forman parte de la partición modular realizada en la primera fase de la metodología. De esta manera, quedan cinco etapas: *Decoder ADC*, *Sincronización (EPLL)*, *Controlador (ADRC)*, *Observador (GPI)* y *modulador trinario (APOD-SPWM)*. Como se puede observar en la figura en mención, cada una de las etapas marcadas en la Fig. 4.10(a) posee su latencia en el camino de datos, de ahí que el tiempo de muestreo sea de  $T_s = 8\mu s$ .

El valor de la amplitud ( $A$ ) de la corriente sinusoidal deseada o también llama de referencia  $i_{g(ref)} = y^* = A \sin(\omega t)$ , se obtiene desde una PC por medio de una interfaz gráfica, ello permite

cambiar la amplitud ( $A$ ) de la corriente en cualquier momento. Una vez determinada la señal de control  $u_{av}$  debido a la interacción entre los módulos del EPLL, controlador y observador, la etapa del modulador APOD-SPWM genera cuatro señales PWM principales para el disparo de los dispositivos de conmutación vía los impulsores de compuerta. Con esas cuatro señales PWM se generan otras cuatro, pero complementarias, de tal manera que ahora se tienen ocho canales PWM. Esta tarea se realiza empleando un módulo de tiempos muertos, el cual forma parte de la última etapa mostrada en la Fig. 4.10(a).

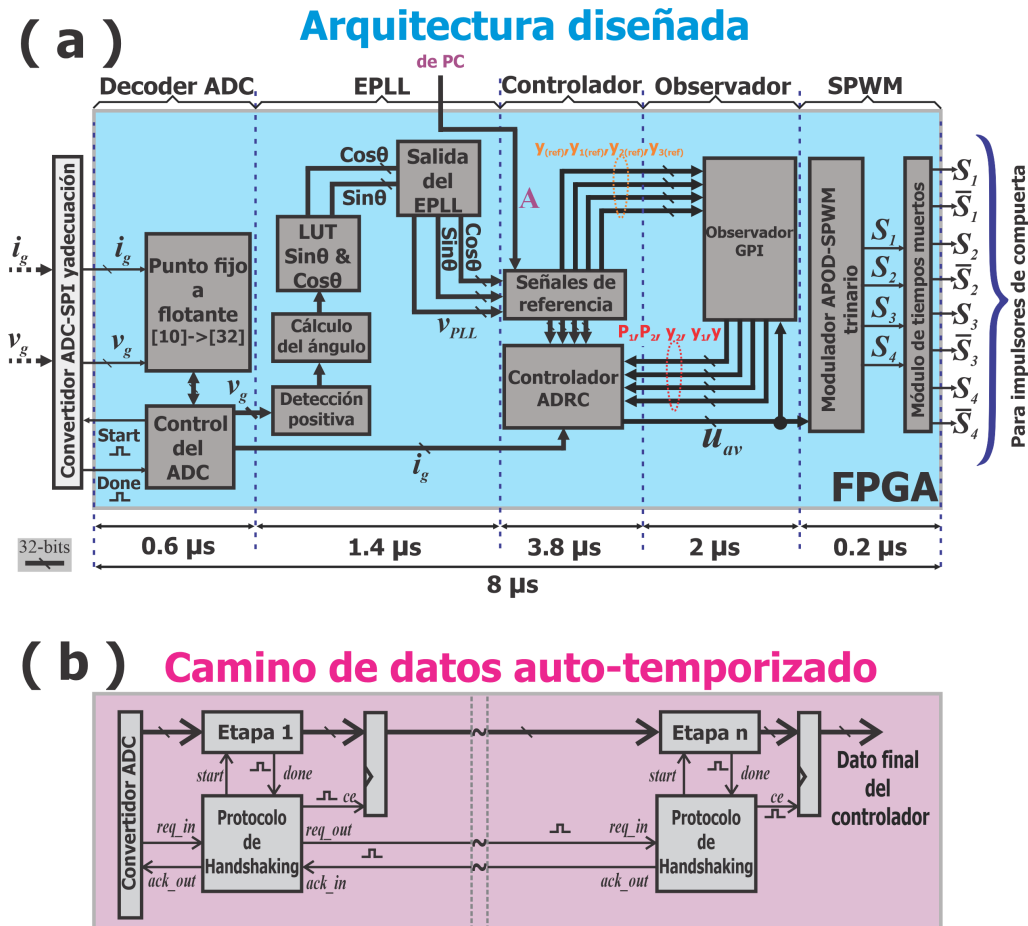


Figura 4.10. Procesamiento de los algoritmos: (a) Arquitectura diseñada; (b) Protocolo de Handshaking para auto-temporización.

En la Fig. 4.10(b) se muestra de manera simplificada, el camino de datos de la primera y última etapa. Para garantizar la operación de todos los módulos, se empleó un protocolo de sincronización local basado en acciones de petición/respuesta (*Request* ( $req\_in$ )/*Acknowledgment* ( $ack\_out$ )). De esta forma, cada módulo posee una señal de control para iniciar operaciones (*Start*), una señal de respuesta (*Ack\_Op*) y una señal que indica que la tarea fue realizada (*Done*). El protocolo de sincronización (*Handshaking*) dentro del camino de datos, permite de manera local, auto-temporizar las cinco etapas involucradas de forma sencilla.



#### 4.1.4. Codificación y configuración del FPGA

La tarjeta basada en FPGA empleada fue de la compañía Saanlima Electronics y lleva por nombre Pipistrello<sup>2</sup>. Esta tarjeta incluye un FPGA de Xilinx, modelo Spartan-6 LX45, encapsulado 324 BGA, memoria Flash de 128 MB del tipo SPI, DRAM de 64MB, interfaz USB de alta velocidad basado en un chip FTDI FT2232H de dos canales, lo que permite usar el canal A para programación y el canal B para transmisión serial logrando hasta 12 Mbps, interfaz compatible con PMOD, 48 terminales de salida/entrada de uso general, 5 leds indicadores, todo contenido en un área de 7.3 x 6.8 cm, esta se muestra en la Fig. 4.11. En esta etapa, los gráficos de optimización obtenidos en

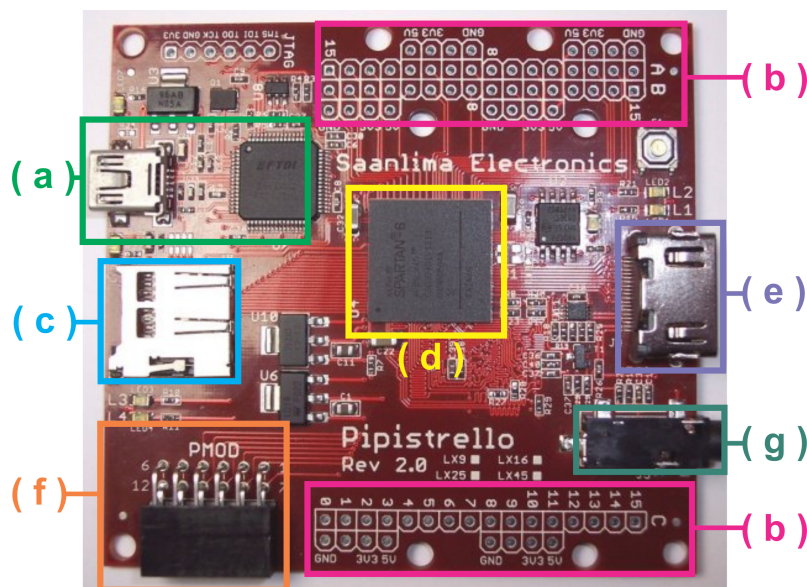


Figura 4.11. Tarjeta de desarrollo *Pipistrello*: (a) USB de alta velocidad de dos canales; (b) Puertos digitales de entrada y salida; (c) Puerto para SD; (d) FPGA Xilinx Spartan-6 LX45; (e) Puerto HDMI; (f) Puerto PMOD compatible; (g) Puerto de salida para audio.

la etapa anterior se transcriben a código, en este trabajo, se empleó *VHDL* como herramienta de modelado y codificación. Cabe mencionar que para optimizar los recursos lógicos empleados en la implementación, la codificación se realizó, por así decirlo, a mano, es decir, no se empleó alguna herramienta de generación de código automatizado<sup>3</sup>. Para realizar las operaciones aritméticas, se invocó a los elementos aritméticos empotrados dentro del FPGA, principalmente multiplicadores dedicados. Para el caso de sumadores, restadores y comparadores, se empleó la herramienta de codificación que proporciona el fabricante del FPGA llamada *ISE de Xilinx en su versión 14.7*. La generación del archivo de configuración para el FPGA, es un proceso automático que se realiza por el mismo *ISE* y consiste de tres tareas relevantes: *Mapeo de funciones, colocación y realización de las rutas para el camino de datos*.

<sup>2</sup><http://pipistrello.saanlima.com/index.php/WelcometoPipistrello>

<sup>3</sup>Por ejemplo, el módulo *LabVIEW FPGA, HDL Coder, Xilinx System Generator* ó *PSIM Code Generation for DSP+FPGA*.

## 4.2. Resultados de implementación

Una vez realizada la codificación, en la Tabla 4.1 se muestra el resumen de los recursos lógicos consumidos en el FPGA empleado. Como se puede observar, la cantidad de recursos lógicos emplea-

Tabla 4.1. Recursos Lógicos

Elementos	Disponibles	Consumidos	Porcentaje
<b>Slice Registros</b>	54576	8342	(15.28 %)
<b>Slice LUTs</b>	27288	6936	(25.41 %)
<b>RAM de 16-KByte Bloques</b>	116	18	(15.51 %)
<b>DSP48A1s</b>	58	12	(20.68 %)
<b>IOBs</b>	48	16	(33.33 %)

dos para lograr la implementación de los módulos descritos en la sección anterior son relativamente bajos. En general, los recursos que más se consumen al momento de implementar algoritmos dentro de un FPGA son SLICES, ya sean del tipo Registro o del tipo LUT. Como se puede observar en la Tabla 4.1, la cantidad de recursos usados para la arquitectura propuesta fue de 15.8 % para los SLICES tipo registro y 25.41 % para los del tipo LUT.

El uso de bloques RAM en la implementación propuesta se justifica por que, de acuerdo a la técnica de modulación empleada, se necesitan varios bloques de memoria ROM para generar las señales de las ondas triangulares que son necesarias para el generador triangular descrito por la Figura 4.7, sin embargo, el consumo es solo del 15.51 %.

Los DSPs (DSP48A1s) utilizados asciende a un 20.68 %, equivalente a 12 DSPs de un total de 58 disponibles. Este tipo de recurso lógico se encuentra empujado dentro del dispositivo en forma de multiplicadores de 8 bits y se emplean principalmente para construir multiplicadores de mayor ancho de palabra. Finalmente, el número de puertos de entrada y salida empleados para interconectar el sistema con el exterior es de 16, representando un total de 33.33 %.

Desde la perspectiva de recursos lógicos consumidos, se puede argumentar que la metodología empleada, permite optimizar la cantidad de recursos necesarios para la implementación de algoritmos en el dispositivo de lógica reconfigurable.

## Capítulo 5

# Conclusiones y perspectivas

### 5.1. Conclusiones

En esencia, a lo largo de este documento se describieron los trabajos que se derivaron del diseño de un controlador de corriente para un inversor asimétrico trinario que fue implementado en un FPGA. Como es de notarse, cada uno de los trabajos mencionados en los capítulos y apéndices, logran una sinergia de tres ramas importantes de la electrónica: Electrónica de Potencia, Control Automático y Sistemas digitales. Desde la perspectiva del formato de la energía de entrada y salida, los trabajos descritos forman parte de tres de los cuatro esquemas de conversión que se tiene en los convertidores de potencia, por orden de aparición en el documento se tienen: Convertidores de CD-CA o inversores, Convertidores CA-CD o rectificadores y Convertidores CD-CD.

Las técnicas de control aplicadas a los convertidores de potencia de los esquemas mencionados, dependieron de la naturaleza lineal o no lineal del modelo matemático del sistema, por ello, se trabajó con técnicas de control basadas en pasividad, modos deslizantes, control GPI y Control por Rechazo Activo de Perturbaciones (ADRC). En el mismo sentido, para mejorar el desempeño del controlador, sobre todo, en términos de rechazo de perturbaciones de origen endógeno o exógeno, se hizo uso de reconstructores integrales, de algunas técnicas de estimación, por ejemplo la estimación algebraica en línea, se emplearon los observadores del tipo proporcional integral generalizado (GPI) y lineales de estado extendido (LESO).

Por otra parte, es importante remarcar que el funcionamiento de los convertidores de potencia está basado en la implementación de estrategias o técnicas de modulación PWM, siendo hasta el momento, las técnicas de ancho de pulso sinusoidal, la mejor opción para controlar a los convertidores multinivel. Para cada uno de los convertidores de potencia diseñados, principalmente en los multinivel, se exploraron diferentes técnicas de modulación del tipo SPWM para configuración simétrica y asimétrica, mismas que se encuentran documentadas en los apartados de las publicaciones correspondientes.

Dado que actualmente la tendencia para controlar sistemas en electrónica de potencia, es la utilización de técnicas digitales, los dispositivos tales como los microcontroladores, DSPs y FPGAs son muy utilizados. Cabe recalcar, que las velocidades de muestreo muy altas, permiten que la ejecución de un algoritmo de control, tenga un comportamiento muy similar a un sistema continuo en el tiempo, en ese sentido, en orden de magnitud, un FPGA es más rápido que una CPU enfo-

cada a tareas de control, ya que permiten altas velocidades de trabajo, pero sobre todo, se logra con ellos un alto grado de personalización. Esta es una de las razones por la que se eligió a este dispositivo para la mayoría de trabajos en este documento. Adicionalmente, dada la gran cantidad de terminales digitales de entrada/salida que posee, es ideal para aplicaciones donde se requiere una gran cantidad de canales PWM, tal es el caso de los convertidores multinivel.

Cabe señalar, que para poder llevar a buen término el diseño en estos dispositivos, fue necesario seguir una metodología apropiada, esto se demuestra a lo largo de los trabajos mostrados en cada uno de los capítulos de este documento.

Por otra parte, en las aplicaciones de electrónica de potencia donde es necesario interactuar con la red de utilidad, por ejemplo en los rectificadores activos o en sistemas de inyección de corriente desde renovables, como en este trabajo, la sincronización por medio de PLLs, cobra una importancia muy elevada, siendo ésta, la actividad principal que se debe garantizar para el correcto funcionamiento de estos sistemas, como se mostró en algunos de los capítulos del documento.

Finalmente, se puede concluir que los objetivos planteados en este trabajo se cumplieron, se demostraron las hipótesis y se alcanzaron las metas propuestas.

## 5.2. Perspectivas

A partir de los resultados obtenidos en el diseño del sistema IMCAT y en la experiencia recabada en el desarrollo de las publicaciones mostradas en cada uno de los apéndices, se proponen algunos trabajos futuros que abren múltiples vertientes para temas de investigación:

En el área de control, se propone aplicar al sistema IMCAT, alguna técnica con la que se logre amortiguamiento activo, principalmente en aquellas aplicaciones donde la frecuencia de resonancia sea un problema crítico y que logre atenuar los efectos de la misma, tal es el caso de los inversores interconectados que emplean un filtro de enlace del tipo LCL. En este mismo apartado, un tema importante es la capacidad del controlador de gestionar no solo potencia activa hacia la red de utilidad, sino también, potencia reactiva, el cual es un tema muy estudiado actualmente. Es necesario remarcar que una pieza importante en la cadena de conversión de sistemas eléctricos donde intervienen energías renovables, es que la intermitencia de las mismas generan disturbios que deben de ser minimizadas por el controlador, máxime si se tiene una interacción de varios sistemas en el punto de conexión común.

En el área de electrónica de potencia, principalmente en las técnicas de modulación, es necesario analizar, implementar y comparar algunas técnicas de modulación con las que se logren minimizar el número de transiciones por ciclo, tales como las técnicas en progresión trinaría u otra, pero que no posean el fenómeno de caída de pulso (*pulse drop*).

Para el área de aplicación de los sistemas digitales, dadas las nuevas tecnologías que ya tienen un alto grado de madurez, es necesario migrar a dispositivos tales como los SOC (*System on a Chip*) que integran procesadores empujados listos para usarse y que interactúan en el mismo chip con lógica reconfigurable, logrando potenciar las ventajas de cada tecnología. En ese sentido, este tipo de dispositivos permiten más fácilmente lograr soluciones para aplicaciones en electrónica de potencia que puedan integrarse rápidamente a nuevos paradigmas, por ejemplo, como el Internet de las cosas (IoT).

# Apéndices



## Apéndice A

# Simulación de moduladores para inversores asimétricos

# Análisis de las Técnicas de Modulación para Inversores Multinivel en cascada asimétricos en configuración Binaria y Trinaria

Juárez-Abad, José Antonio, *Universidad Tecnológica de la Mixteca, UTM,*  
*Temas Selectos de Electrónica de Potencia*

**Resumen**—El propósito de esta investigación a sido recopilar las técnicas avanzadas de modulación más empleadas en los inversores multinivel en cascada asimétricos en configuración Binaria y Trinaria (potencia dos y potencia tres respectivamente). Los inversores multinivel con celdas en cascada asimétricos son una modificación realizada al inversor en cascada simétrico, la diferencia entre uno y otro es únicamente la relación que guardan las fuentes de entrada de CD a cada uno de los puentes aislados que forman el inversor, que en el caso del inversor asimétrico son diferentes. A lo largo del escrito se presentarán las estrategias de modulación de ancho de pulso sinusoidal (SPWM) y la modulación híbrida; la principal característica analizada es en relación al factor de distorsión armónica (THD) obtenido después del filtro de salida del inversor multinivel. Para validar el análisis de las técnicas de modulación se realizó una simulación en el programa PSIM, posteriormente fueron implementadas en un FPGA de *Xilinx Spartan 3E*.

**Index Terms**—ACMLI, SCMLI, Inversor multinivel, THD, modulación híbrida.

## I. INTRODUCCIÓN

Los inversores multinivel, no importando su topología están incrementando su atención en la industria como una alternativa para conversión de energía en aplicaciones de mediana y alta potencia debido principalmente a la mejora de la calidad en la onda de salida que se refleja directamente en la reducción de contenido armónico y por otra parte al empleo de filtros de dimensiones reducidas que logran bajos niveles de interferencia electromagnética (EMI) producida intrínsecamente por la conmutación de los dispositivos de potencia en la estructura multinivel. Existen varias estructuras multinivel reportadas en la literatura, pero el inversor en cascada (CMLI) tiene prestaciones superiores en aplicaciones de alta potencia gracias a su naturaleza modular y a los requerimientos menos exigentes tanto de control como de protección de cada una de las celdas que lo componen [1], [2], [3]. La función principal de un inversor multinivel en cascada es sintetizar una tensión CA de amplitud deseada a partir de varios niveles de voltaje proveídos por fuentes de CD, mismas que deben estar aisladas entre sí. Un CMLI sintetiza un voltaje de CA basado en la conexión en serie de celdas (llamados puentes H completos) usando dispositivos de conmutación de bajo voltaje.

Juárez-Abad esta adscrito a los Laboratorios Avanzados de Electrónica de la Universidad Tecnológica de la Mixteca (UTM) y es estudiante del programa de Doctorado en Sistemas Inteligentes Aplicados de la misma universidad; e-mail: abad@mixteco.utm.mx

Dos de las características principales de los inversores multinivel tienen que ver con la eficiencia y con el contenido armónico de la onda de salida. Estos dos factores dependen principalmente del tipo de estrategia de modulación elegida, de esto se hablará en las secciones siguientes.

## II. INVERSOR MULTINIVEL

Un inversor multinivel es un convertidor de CD a CA capaz de entregar en su salida una forma de onda de más de tres niveles, ya sea de corriente o tensión. En la Fig. 1 se muestran las topologías en la que se pueden dividir las estructuras de inversor multinivel [1].

Un inversor multinivel en cascada alimentado por más de una

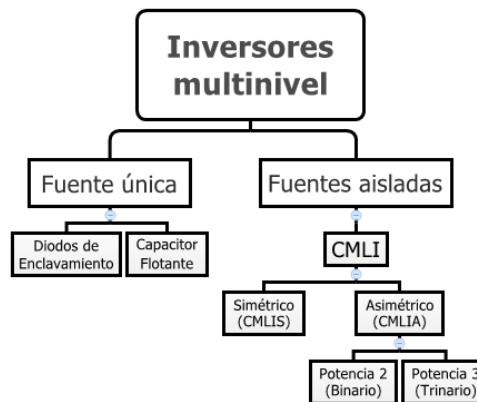


Fig. 1. Clasificación de los inversores Multinivel en Cascada

fuentes de CD, se puede clasificar en simétrico o asimétrico, esto en función de si las fuentes son del mismo valor o no. En la Fig. 1 se pueden observar las tres variantes del inversor multinivel de puentes H en cascada.

La topología simétrica (ver Fig. 2 (a)) solo puede lograr 5 niveles de voltaje a lo máximo, sin embargo la topología binaria y ternaria (ver Fig. 2(b)) y Fig. 2 (c)) pueden alcanzar mayor número de niveles con la misma cantidad de celdas. Para un número fijo de puentes H en cascada se puede obtener:

- 1) El simétrico alcanza un máximo de 5 niveles.



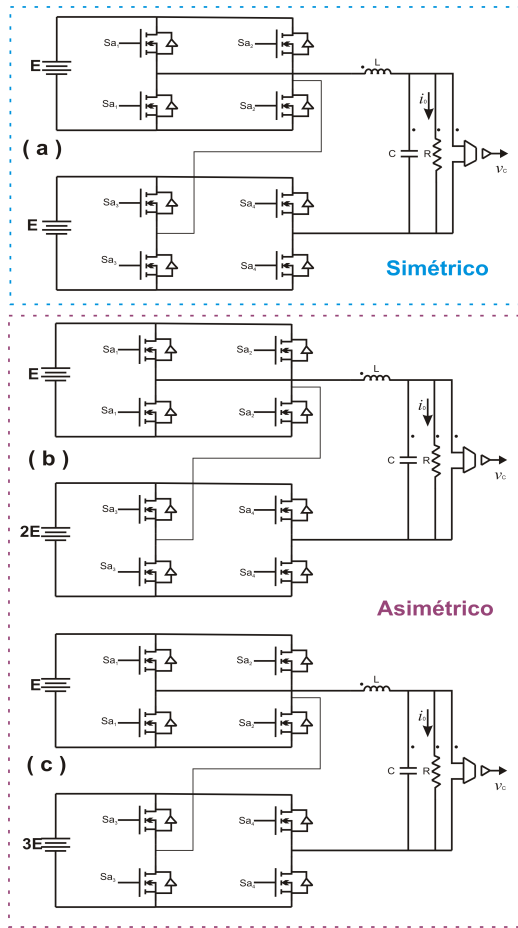


Fig. 2. Inversor multinivel en cascada: (a) Simétrico, (b) Asimétrico de potencia 2 (Binario), (c) Asimétrico de potencia 3 (Ternario).

- 2) El asimétrico de potencia 2 alcanza un máximo de 7 niveles.
- 3) El asimétrico de potencia 3 alcanza un máximo de 9 niveles.

### III. TÉCNICAS DE MODULACIÓN

En muchas aplicaciones en la industria, la salida de voltaje de los convertidores de CD/CA debe poder controlarse tanto en frecuencia como en amplitud, tal como se mencionó en la sección de la introducción, el contenido armónico de la onda de voltaje de salida del inversor dependen de la estrategia de modulación empleada [4]. Actualmente existen varias estrategias de conmutación para los inversores multinivel, estas pueden clasificarse dentro de tres grupos importantes (ver Fig. 3):

- 1) Conmutación a frecuencia fundamental: El inversor tiene pocas conmutaciones por ciclo (eliminación selectiva de armónicos, SHE).
- 2) Conmutación a alta frecuencia: El inversor tiene varias conmutaciones por ciclos, dependen de la frecuencia de

conmutación que regularmente es alta (PWM multiportadoras).

- 3) Híbrida: Combina tanto conmutación en baja frecuencia como en alta frecuencia (Modulación Híbrida).

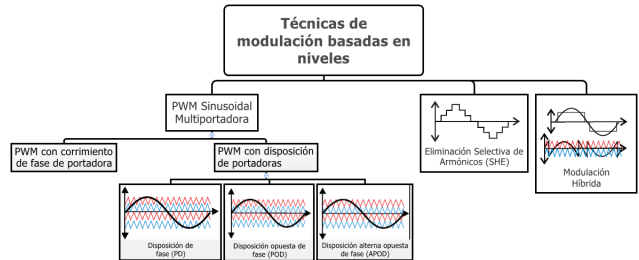


Fig. 3. Técnicas de modulación para los inversores multinivel asimétricos.

#### Eliminación selectiva de armónicas

En esta técnica, los ángulos de conmutación se calculan en función de los armónicos que se desean eliminar, que regularmente son los de bajo orden (3, 5, 7, 9). Esta técnica de modulación opera a baja frecuencia, muy cercana a la de línea y la intensidad de esto es reducir las pérdidas por conmutación.

#### Modulación por ancho de pulso sinusoidal

Esencialmente consiste en comparar una referencia sinusoidal, con señales portadoras triangulares (lo que se obtiene de esta comparación proporciona un nivel lógico 0 ó 1 indicando cual de las dos es mayor o menor según sea el caso). Existen dos formas generales de comparar a la señal de referencia: una es compararla con señales triangulares desplazadas en fase (corrimiento de fase) y la otra es con triangulares desplazadas en nivel, las técnicas mencionadas se denominan **PS-PWM** y **PD-PWM** respectivamente.

#### Modulación Híbrida

La modulación híbrida es una estrategia de conmutación mixta, ya que combina los dos anteriores: Modulación a frecuencia fundamental y a alta frecuencia. La modulación híbrida es una estrategia que se usa en en los inversores multinivel asimétricos y fue diseñada para ese tipo de topología.

Partiendo del hecho de que en la técnica por eliminación selectiva se deben recalculan los ángulos de trabajo por medio de la solución de un sistema de ecuaciones no-lineales para obtener nuevas amplitudes de la onda fundamental, por simplicidad y pertinencia de este trabajo se simularon únicamente las técnicas de Modulación por ancho de pulso sinusoidal y la modulación híbrida.

### IV. SIMULACIÓN DE LAS TÉCNICAS DE CONTROL EN PSIM

Las simulaciones se realizaron con una frecuencia de portadora de  $f_c = 5000Hz$ , un índice de modulación en amplitud de  $m_a = 1$ ; el filtro de salida **LC** esta compuesto de una Inductancia  $L = 7mH$  y una Capacitancia  $C = 1\mu F$  y

una resistencia de carga  $R = 100\Omega$ . Para el caso de la configuración binaria el valor de las fuentes de CD aisladas son: para la de bajo voltaje es de 50V y la de alto voltaje es de 100V; para la configuración Trinaria la de bajo voltaje es de 50V y la de alto voltaje es de 150V.

En las Figuras 4 y 5 se muestra la configuración de los inversores en conexión binaria y trinaria respectivamente.

Las Figuras 6 y 7 muestran la estructura de los generadores de

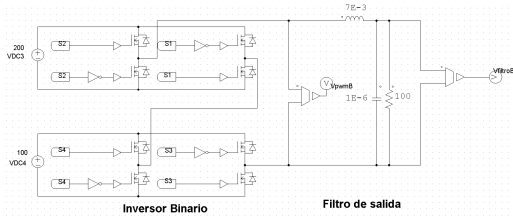


Fig. 4. Inversor multinivel asimétrico binario.

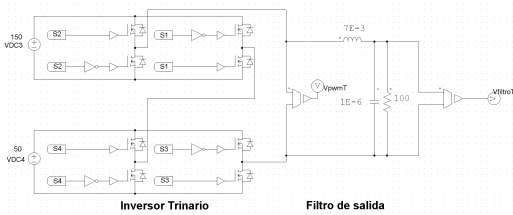


Fig. 5. Inversor multinivel asimétrico trinario.

portadoras triangulares y su etapa de enlace los cuales conforman a cada modulador. Para el caso de configuración binaria (Ver Fig. 6 ) se puede observar que se necesitan 6 portadoras triangulares, mientras que para el caso trinario mostrado en la Fig. 7 es necesario contar con 8 portadoras triangulares. La diferencia entre las técnicas de modulación presentadas se basa principalmente en la disposición que guardan las portadoras triangulares, para el caso de la configuración binaria esto se puede ver graficamente en las Fig. 8, 9 y 10, la disposición en la configuración trinaria sigue la misma relación, pero como ya se había comentado el número de portadoras se incrementa a 8.

La estructura el caso de la modulación híbrida binaria y

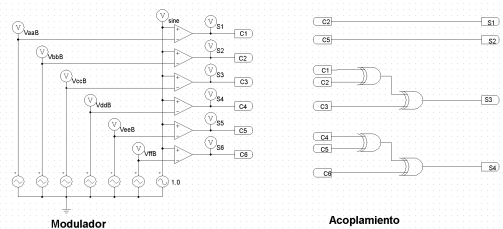


Fig. 6. Modulador multinivel asimétrico binario.

trinaria, se puede observar en las figuras 11 y 12

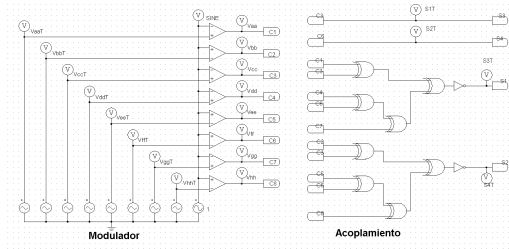


Fig. 7. Modulador multinivel asimétrico trinario.

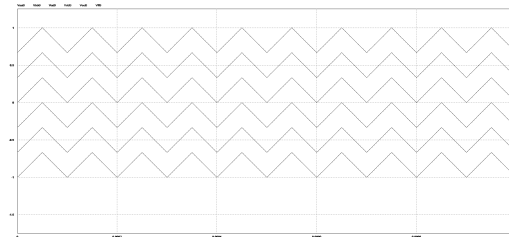


Fig. 8. Técnica PD binaria.

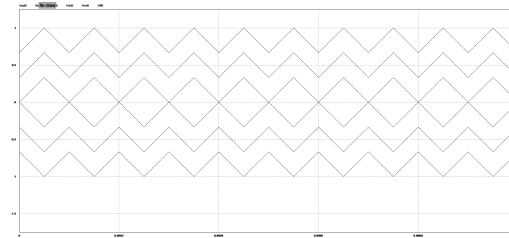


Fig. 9. Técnica POD binaria.

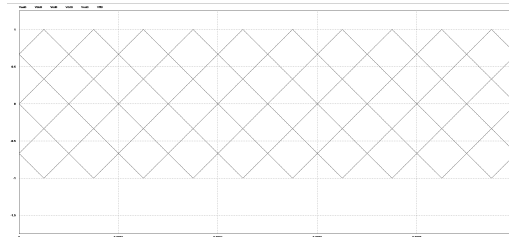


Fig. 10. Técnica APOD binaria.

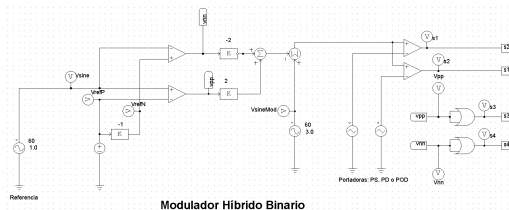


Fig. 11. Técnica Híbrida binaria.

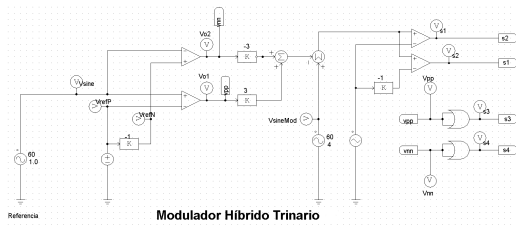


Fig. 12. Técnica Híbrida trinaria.

V. RESULTADOS

Para el caso de los moduladores binarios PD, POD, APOD e Híbrido, los resultados se muestran, en las Figs. 13, 14, 15, 16 respectivamente, en estas figuras se observa que como característica principal, la forma de onda posee 7 niveles de tensión, la onda de voltaje obtenida después del filtro de salida en todos los casos en cuestión es senoidal.

El resultado de los moduladores con progresión trinaria se puede ver en las Fig. 17, 18, 19, 20, todos ellos poseen 9 niveles de tensión, de acuerdo a los resultados, las técnicas de modulación de ancho de pulso sinusoidal muestran mejores resultados que la modulación híbrida, esto se debe principalmente al fenómeno que se presenta en la modulación híbrida trinaria llamado *caída de pulso* (pulse drop), efecto que disminuye la calidad de la onda de salida; la corrección de este efecto abre nuevas posibilidades de investigación en esta área.

A. Técnicas de modulación Binaria

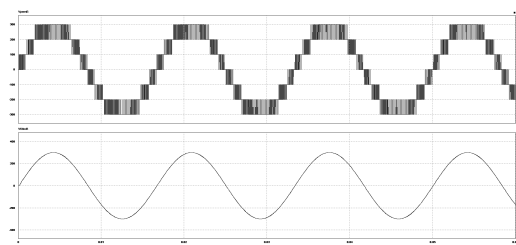


Fig. 13. Técnica de modulación PD Binaria.

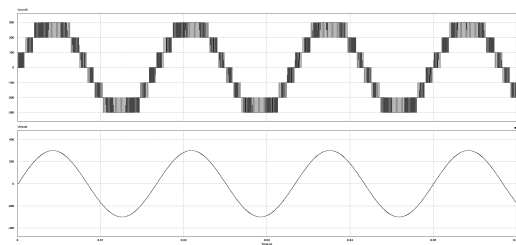


Fig. 14. Técnica de modulación POD Binaria.

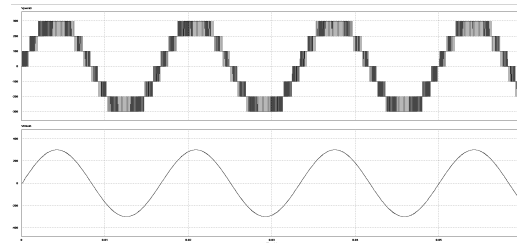


Fig. 15. Técnica de modulación APOD Binaria.

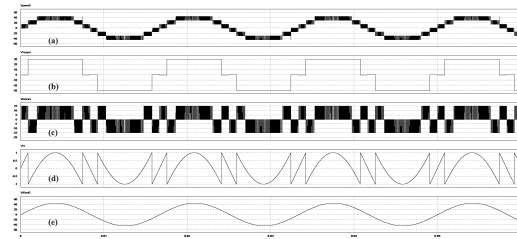


Fig. 16. Técnica de modulación Híbrida Binaria: (a) Onda de salida del inversor; (b) Onda de salida del puente de mayor tensión; (c) Onda de salida del puente de menor tensión; (d) Onda moduladora del puente de menor tensión; (e) Forma de onda de salida después del filtro pasa bajas.

B. Técnicas de modulación Trinaria

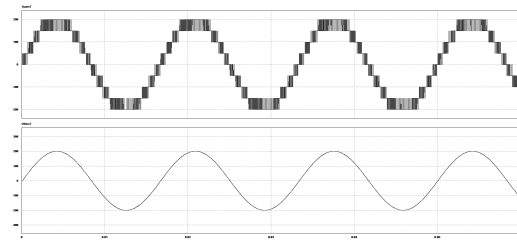


Fig. 17. Técnica de modulación PD Trinaria.

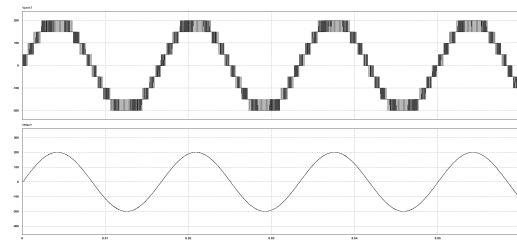


Fig. 18. Técnica de modulación POD Trinaria.

C. Resultados experimentales

En las Fig. 21 y 22 se muestra el resultado experimental después de la implementación de sólo una de las técnicas binarias y trinarias.

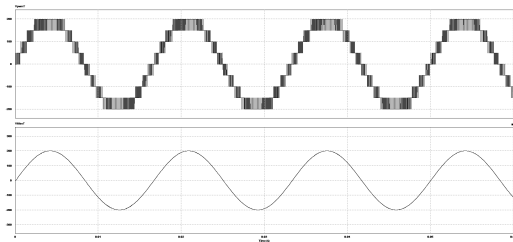


Fig. 19. Técnica de modulación APOD Trinaria.

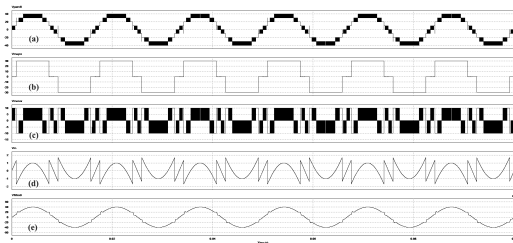


Fig. 20. Técnica de modulación Híbrida Trinaria: (a) Onda de salida del inversor; (b) Onda de salida del puente de mayor tensión; (c) Onda de salida del puente de menor tensión; (d) Onda moduladora del puente de menor tensión; (e) Forma de onda de salida después del filtro pasa bajas.

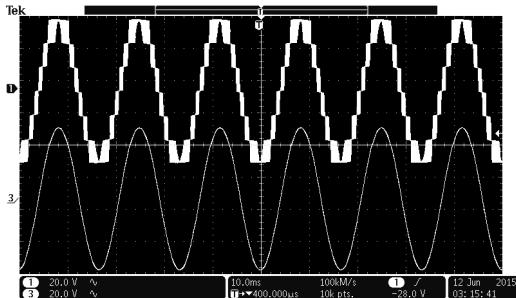


Fig. 21. Técnica de modulación PD Binaria, resultado experimental

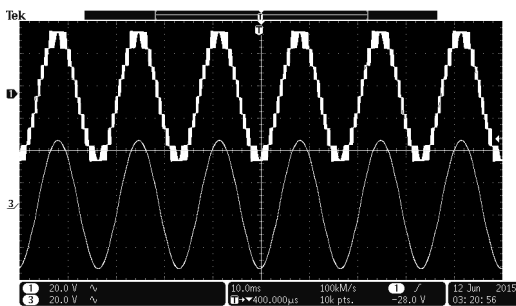


Fig. 22. Técnica de modulación PD Trinaria, resultado experimental

## VI. CONCLUSIONES

En este trabajo se presentaron los diversos tipos de modulación que se pueden emplear en un ACMLI con progresión Binaria y Trinaria empleando dos puentes H.

Para finalizar, se puede argumentar que la estructura multinivel asimétrica (Binaria y Trinaria) presenta mejores prestaciones que la estructura simétrica partiendo del simple hecho de que con el mismo número de dispositivos de conmutación de potencia se obtiene en ambas progresiones un mayor número de niveles, mismo que redundara en un mejor calidad de onda a la salida del inversor, basado en ello la estructura trinaria representa la mejor elección, pues con ella se obtiene el mayor número de niveles (9 niveles); por otra parte las técnicas de modulación de ancho de pulso sinusoidal, por el momento, son la mejor opción para controlar la estructura trinaria.

## REFERENCIAS

- [1] Medikonda, Ajaybabu, *Hybrid Modulation Techniques for Multilevel Inverters*, International Journal of Engineering Research and Applications, National Conference on Recent Advances in Power and Control Engineering, 2011.
- [2] J.H.Kim, S.K.Sul, and P.N.Enjeti, *A carrier based PWM method with optimal switching sequence for a multilevel four-leg voltage source inverter*, IEEE Trans. Ind. Applic., Vol.44, No. 4, pp. 1239-1248, Jul. 2008.
- [3] L. G. Franquelo, J. Rodríguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, *The age of multilevel converters arrives*, Industrial Electronics Magazine, IEEE, vol. 2, no. 2, pp. 2839, 2008.
- [4] Loranca-Coutiño Javier, *Análisis de Técnicas de Modulación en Convertidores Multinivel en Cascada Asimétrico*, Tesis, Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), 2013.



automático.

**José Antonio Juárez Abad** Es Maestro en Electrónica y Computación por la Universidad Tecnológica de la Mixteca (mención honorífica), actualmente se encuentra estudiando el Doctorado en Electrónica con especialidad en Sistemas Inteligentes Aplicados en la Universidad Tecnológica de la Mixteca y trabaja como técnico académico en los Laboratorios Avanzados de Electrónica de la misma universidad, dentro de sus líneas de investigación se encuentra el diseño de convertidores multinivel, diseño de sistemas embebidos y control

## Apéndice B

# Diseño del filtro de enlace del tipo $LCL$

### B.1. Diseño del filtro de enlace del tipo $LCL$ para un inversor monofásico conectado a la red eléctrica

En la figura B.1 se puede ver la configuración del filtro,  $L_1$  representa el inductor del lado del inversor,  $L_2$  representa el inductor del lado de la red eléctrica y  $C$  el capacitor. El diseño contempla determinar los valores del inductor  $L_1$ ,  $L_2$  y el capacitor  $C$

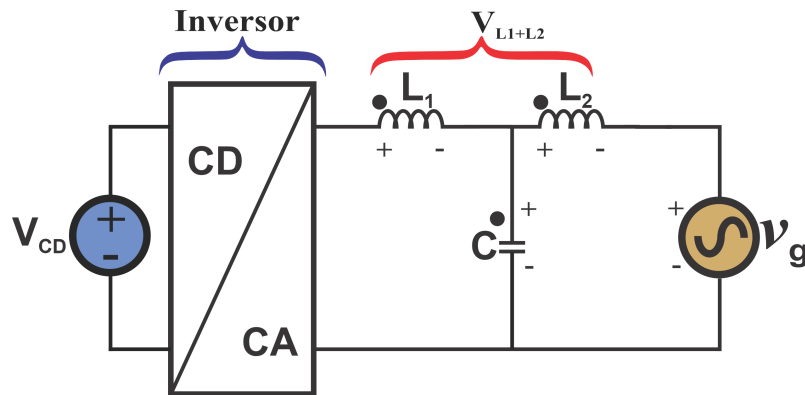


Figura B.1. Diagrama general del filtro de enlace  $LCL$  para el sistema de interconexión.

#### B.1.1. Cálculo del capacitor

El cálculo del capacitor se basa en la cantidad de potencia reactiva que puede ser absorbida por la red eléctrica, la cual se limita a un máximo del 5 % del total de la potencia total ( $P_0$ ) [126]. La potencia reactiva se puede calcular como:

$$Q = \frac{V_g^2 (rms)}{\underbrace{X_c}_{\text{Reactancia}}} = \frac{V_g^2 (rms)}{2 \cdot \pi \cdot f_{red} \cdot C_{filtro}} \quad (\text{B.1})$$

Considerando el límite permitido de  $Q \leq 5\%$  de  $S$ , es decir como máximo  $Q = 0.05S$ , sustituyendo en la ecuación B.1 se tiene:

$$0.05 \cdot P_0 = \frac{V_g^2(rms)}{1} \cdot \frac{1}{2 \cdot \pi \cdot f_{red} \cdot C_{filtro}} \quad (B.2)$$

Despejando de la ecuación B.2:

$$0.05 \cdot P_0 = 2 \cdot \pi \cdot V_g^2(rms) \cdot f_{red} \cdot C_{filtro} \quad (B.3)$$

Finalmente, de la ecuación B.3, se obtiene B.4:

$$C_{filtro} = \frac{0.05 \cdot P_0}{2 \cdot \pi \cdot V_g^2(rms) \cdot f_{red}} \quad (B.4)$$

### B.1.2. Cálculo del inductor $L_1$ del lado del inversor

Para determinar el tamaño del inductor  $L_1$  se toman en consideración dos factores:

- El valor de la corriente media ( $I_0$ ) que circula por el inductor.
- El valor máximo permitido de rizo en la corriente ( $\Delta I_{pp(max)}$ ), el cual se limita a un 20% de la corriente nominal [127, 128].

Por ello, para calcular el valor máximo de rizo de corriente se tiene la siguiente expresión:

$$\Delta I_{pp(max)} = \underbrace{0.2}_{max. rizo} \cdot (\sqrt{2} \cdot I_0) \quad (B.5)$$

Donde:

1.  $I_0 = \frac{P_0}{V_g(rms)}$ , representa la corriente media en (A).
2.  $P_0$ , representa la potencia nominal aparente del inversor en (VA).
3.  $V_g(rms)$ , es el voltaje de la red eléctrica en valor rms en (V).

Finalmente, el valor del inductor  $L_1$  está dado por la ecuación siguiente:

$$L_1 = \frac{V_{CD}}{4 \cdot f_{sw} \cdot \Delta I_{pp(max)}} \quad (B.6)$$

Donde:

1.  $V_{CD}$ , representa el voltaje en CD del inversor en (V).
2.  $f_{sw}$ , representa a la frecuencia de conmutación del inversor en (Hz).
3.  $\Delta I_{pp(max)}$ , es el rizo de corriente en (A).

### B.1.3. Cálculo del inductor $L_2$ del lado de la red eléctrica

Para calcular el valor del inductor del lado de la red eléctrica  $L_2$ , se considera el valor del voltaje a través de los inductores  $L_1$  y  $L_2$ , es decir  $V_{L_1+L_2}$  (ver figura B.1). Es decir, el valor de la

inductancia máxima ( $L_1 + L_2$ ), se determina considerando la máxima caída de tensión entre ellas. El valor máximo permitido de caída de voltaje a través de  $L_1$  y  $L_2$  es del 10% del voltaje nominal de red  $V_{red(rms)}$ .

El valor de la caída de tensión  $V_{L_1+L_2}$  está dada por:

$$\begin{aligned} V_{L_1+L_2} &= I_0 \cdot \underbrace{X_{L_1+L_2}}_{\text{Reactancia}} \\ &= 2 \cdot \pi \cdot I_0 \cdot f_{red} \cdot (L_1 + L_2) \end{aligned} \quad (\text{B.7})$$

Si consideramos el 10% de caída de tensión permitido, tenemos  $V_{L_1+L_2} = 0.1 \cdot V_{red(rms)}$ , sustituyendo en la ecuación B.7 se tiene:

$$0.1 \cdot V_g(rms) = 2 \cdot \pi \cdot I_0 \cdot f_{red} \cdot (L_1 + L_2) \quad (\text{B.8})$$

Partiendo del hecho de que  $I_0 = \frac{P_0}{V_{red(rms)}}$ , sustituyendo en la ecuación B.8 y despejando se tiene:

$$\begin{aligned} L_1 + L_2 &= \frac{0.1 \cdot V_g(rms)}{\frac{P_0}{V_g(rms)} \cdot 2 \cdot \pi \cdot f_{red}} \\ &= \frac{0.1 \cdot V_g^2(rms)}{2 \cdot \pi \cdot P_0 \cdot f_{red}} \end{aligned} \quad (\text{B.9})$$

Finalmente, sustituyendo  $L_{Tot} = L_1 + L_2$

$$L_{Tot} = \frac{0.1 \cdot V_g^2(rms)}{2 \cdot \pi \cdot P_0 \cdot f_{red}} \quad (\text{B.10})$$

como  $L_{Tot} = L_1 + L_2$ , entonces, despejando para  $L_2$ :

$$L_2 = L_{Tot} - L_1 \quad (\text{B.11})$$

Las magnitudes involucradas en el cálculo del filtro LCL de salida, así como sus valores máximos permitidos se muestra en la figura B.2:

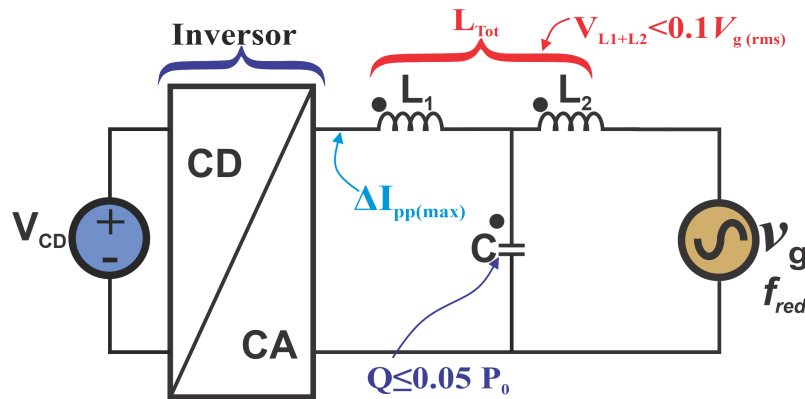


Figura B.2. Magnitudes involucradas en el diseño del filtro de enlace LCL para el sistema de interconexión.

### B.1.4. Frecuencia de resonancia del filtro LCL

Para identificar la frecuencia de resonancia del filtro, es necesario verificar la siguiente relación:

$$10 \cdot f_{red} < f_{resonancia} < 0.5 \cdot f_{sw} \quad (\text{B.12})$$

Donde:

1.  $f_{red}$ , frecuencia de red (50 ó 60 Hz).
2.  $f_{resonancia}$ , es la frecuencia de resonancia del filtro LCL en (Hz).
3.  $f_{sw}$ , representa la frecuencia de conmutación del inversor en (Hz).

La expresión B.12 nos proporciona el rango en donde se encontrará la frecuencia de resonancia del filtro LCL, sin embargo, si lo que se desea es calcular el valor de dicha frecuencia, podemos determinarla a partir de los valores de los elementos pasivos del filtro, esto es:

$$f_{resonancia} = \frac{1}{2 \cdot \pi} \cdot \sqrt{\frac{L_1 + L_2}{L_1 \cdot L_2 \cdot C_{filtro}}} \quad (\text{B.13})$$

### B.1.5. Cálculo del valor de los elementos pasivos del filtro LCL

Para realizar el cálculo de los valores de los elementos pasivos del filtro LCL se emplearán las ecuaciones B.4, B.6, B.10 y B.11. Los valores de especificación para el diseño se concentran en la tabla B.1:

Tabla B.1. Especificaciones de diseño para el filtro LCL

Parámetros	Magnitud
Voltaje del bus de CD ( $V_{CD}$ )	[V] 200
Voltaje de la red de CA ( $V_{g(pico)}$ )	[V] 180
Voltaje de la red de CA ( $V_{g(rms)}$ )	[V] 127.28
Potencia ( $P_0$ )	[VA] 600
Frecuencia de conmutación ( $f_{sw}$ )	[kHz] 20
Rizo de corriente ( $\Delta I_{pp(max)}$ )	[%] 10

Primero se determinará el valor de la corriente promedio, usando la siguiente expresión:

$$\begin{aligned} I_0 &= \frac{P_0}{V_{g(rms)}} \\ &= \frac{600}{127.28} \\ &= 4.714 \text{ A} \end{aligned} \quad (\text{B.14})$$



Para determinar el valor del capacitor del filtro, se emplea la ecuación B.4, esto se muestra a continuación:

$$\begin{aligned}
 C_{filtro} &= \frac{0.05 \cdot P_0}{2 \cdot \pi \cdot V_g^2(rms) \cdot f_{red}} \\
 &= \frac{0.05 \cdot 600}{2 \cdot \pi \cdot (127.28)^2 \cdot 60} \\
 &= 4.912 \cdot 10^{-6} F \\
 &= 4.912 \mu F
 \end{aligned} \tag{B.15}$$

Con el valor de la ecuación B.14, podemos calcular el valor del rizo permitido  $\Delta I_{pp(max)}$ , expresado por la ecuación B.5 de la siguiente forma:

$$\begin{aligned}
 \Delta I_{pp(max)} &= 0.2 \cdot (\sqrt{2} \cdot I_0) \\
 &= 0.2 \cdot (\sqrt{2} \cdot 4.714) \\
 &= 1.33 A
 \end{aligned} \tag{B.16}$$

Con el resultado de  $\Delta I_{pp(max)}$  se puede aplicar la ecuación B.6 y determinar el valor de  $L_1$ :

$$\begin{aligned}
 L_1 &= \frac{V_{CD}}{4 \cdot f_{sw} \cdot \Delta I_{pp(max)}} \\
 &= \frac{200}{4 \cdot 20 \cdot (10)^3 \cdot 1.333} \\
 &= 0.002 H \\
 &= 2 \mu H
 \end{aligned} \tag{B.17}$$

Para determinar el valor de  $L_2$  se considera el máximo voltaje permitido como caída de tensión a través de  $L_{Tot} = L_1 + L_2$ , para ello se emplea la ecuación B.10, por lo que sustituyendo valores se tiene:

$$\begin{aligned}
 L_{Tot} &= \frac{0.1 \cdot V_g^2(rms)}{2 \cdot \pi \cdot P_0 \cdot f_{red}} \\
 &= \frac{0.1 \cdot 127.28^2}{2 \cdot \pi \cdot 600 \cdot 60} \\
 &= 0.007 H \\
 &= 7 \mu H
 \end{aligned} \tag{B.18}$$

Empleando la ecuación B.11, finalmente obtenemos el valor de  $L_2$ :

$$\begin{aligned}
 L_2 &= L_{Tot} - L_1 \\
 &= 0.007 - 0.002 \\
 &= 0.005 H \\
 &= 5 \mu H
 \end{aligned} \tag{B.19}$$

Finalmente, el filtro de salida queda diseñado como se muestra en la figura B.3

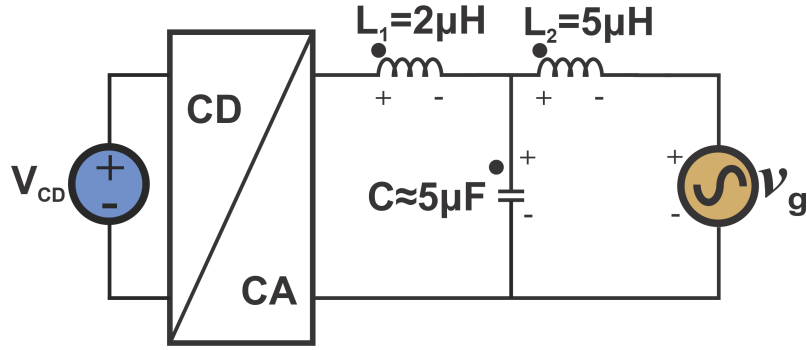


Figura B.3. Filtro de enlace LCL para el sistema de interconexión.

La frecuencia de resonancia del filtro queda determinada empleando la ecuación B.13:

$$\begin{aligned}
 f_{resonancia} &= \frac{1}{2 \cdot \pi} \cdot \sqrt{\frac{L_1 + L_2}{L_1 \cdot L_2 \cdot C_{filtro}}} \\
 &= \frac{1}{2 \cdot \pi} \cdot \sqrt{\frac{0.007}{0.002 \cdot 0.005 \cdot 0.004912}} \\
 &= 1930 \text{ Hz} \\
 &= 1.93 \text{ kHz}
 \end{aligned}
 \tag{B.20}$$

La cual está dentro del rango permisible marcado por la ecuación B.12:

$$\begin{aligned}
 10 \cdot f_{red} &< f_{resonancia} < 0.5 \cdot f_{sw} \\
 10 \cdot 60 &< f_{resonancia} < 0.5 \cdot 20000 \\
 600 &< f_{resonancia} < 10000
 \end{aligned}
 \tag{B.21}$$

## Apéndice C

# Información para simulación y diagramas

### C.1. Simulación del sistema

```
1 %-----  
2 %GANANCIAS DEL OBSERVADOR  
3 %-----  
4 function [lam0,lam1,lam2,lam3,lam4] = fcn(wno,zetao,po)  
5 %-----  
6 lam0=wno^4*po;  
7 lam1=4*zetao*wno^3*po + wno^4;  
8 lam2=4*zetao*wno^3 + 2*wno^2*po + 4*zetao^2*wno^2*po;  
9 lam3=2*wno^2 + 4*zetao^2*wno^2 + 4*zetao*wno*po;  
10 lam4=4*zetao*wno + po;  
11 %-----
```

Lista C.1. Cálculo de las ganancias del observador

```
1 %-----  
2 %REFERENCIAS  
3 %-----  
4 function [yref,dyref,d2yref,d3yref] = fcn(seno,coseno,A)  
5 %-----  
6 f=60;  
7 pi=3.141592;  
8 wg=2*pi*f;  
9 yref=A*seno;  
10 dyref=A*wg*coseno;  
11 d2yref=-A*wg^2*seno;  
12 d3yref=-A*wg^3*coseno;  
13 %-----
```

Lista C.2. Cálculo de las señales de referencia

```
1 %-----  
2 %GANANCIAS DEL CONTROLADOR  
3 %-----
```

```

4 function [gamm0,gamm1,gamm2] = fcn(wnc,zetac,pc)
5 %-----
6 gamm2=2*zetac*wnc + pc;
7 gamm1=wnc^2 + 2*zetac*wnc*pc;
8 gamm0=wnc^2*pc;

```

Lista C.3. Cálculo de las ganancias del controlador

```

1 %-----
2 %PARAMETROS DEL SISTEMA
3 %-----
4 function [kappa,invkappa] = fcn(L1,L2,C,VHT)
5 %-----
6 kappa=VHT/(L1*L2*C);
7 invkappa=(L1*L2*C)/VHT;
8 %-----

```

Lista C.4. Parámetros del sistema

```

1 //-----
2 //Declaración de variables
3 //-----
4 float Ik;
5 float Vk;
6 float Pk;
7 float dV, dP;
8 float VrefMax = 160; // Equivale al Voc del PV.
9 float VrefMin = 0; // Colocar un valor mínimo.
10 float VrefInit = 150; //Colocar un valor entre VrefMax y VrefMin.
11 float deltaVref = 1.0; // Es el valor de perturbación, en este caso se propone de
    1 Volt.
12 float Vref;
13 //-----
14 //Inicialización de variables de respaldo
15 float Vold = 0;
16 float Pold = 0;
17 float Vrefold = 0;
18 //-----
19 float temporal;
20 //-----
21 //Backup de variables externas
22 Ik = x1;
23 Vk = x2;
24 //-----
25 if (Vold == 0)
26 {
27     Vold = 0;
28     Pold = 0;
29     Vrefold = VrefInit;
30 }
31 //-----
32 // Cálculo de la potencia
33 Pk = Ik*Vk;
34 dV = Vk - Vold;
35 dP = Pk - Pold;
36 //-----

```

```
37 if (dP != 0)
38 {
39     if (dP < 0)
40     {
41         if (dV < 0)
42             Vref = Vrefold + deltaVref;
43         else
44             Vref = Vrefold - deltaVref;
45     }
46     else
47     {
48         if (dV < 0)
49             Vref = Vrefold - deltaVref;
50         else
51             Vref = Vrefold + deltaVref;
52     }
53 }
54 else
55 {
56     Vref = Vrefold;
57 }
58 if ((Vref >= VrefMax) || (Vref <= VrefMin))
59 {
60     Vref = Vrefold;
61 }
62 //-----
63 Vrefold = Vref;
64 Vold = Vk;
65 Pold = Pk;
66 //-----
67 y1 = Vref;
68 y2 = Pk;
69 //-----
```

Lista C.5. Código en C para el algoritmo de MPPT del tipo P&amp;O empleado en PSIM

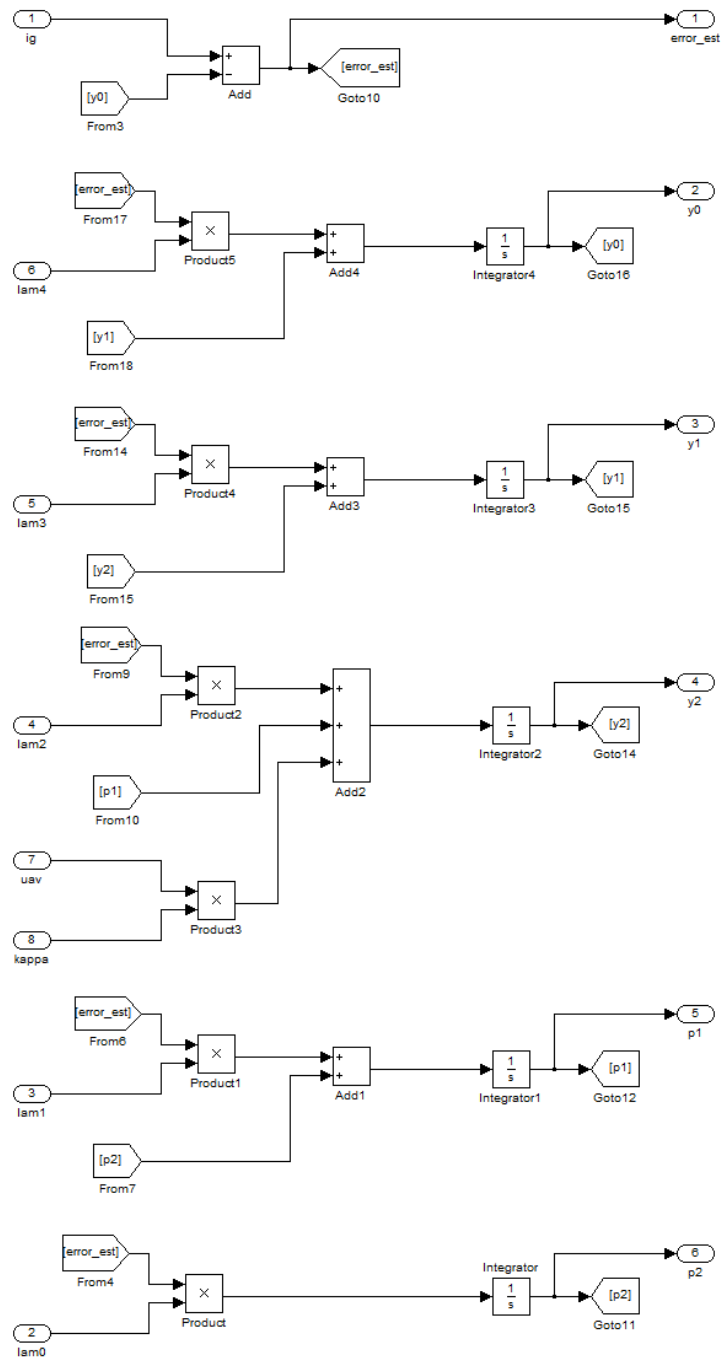


Figura C.1. Diagrama de MATLAB/Simulink del observador.

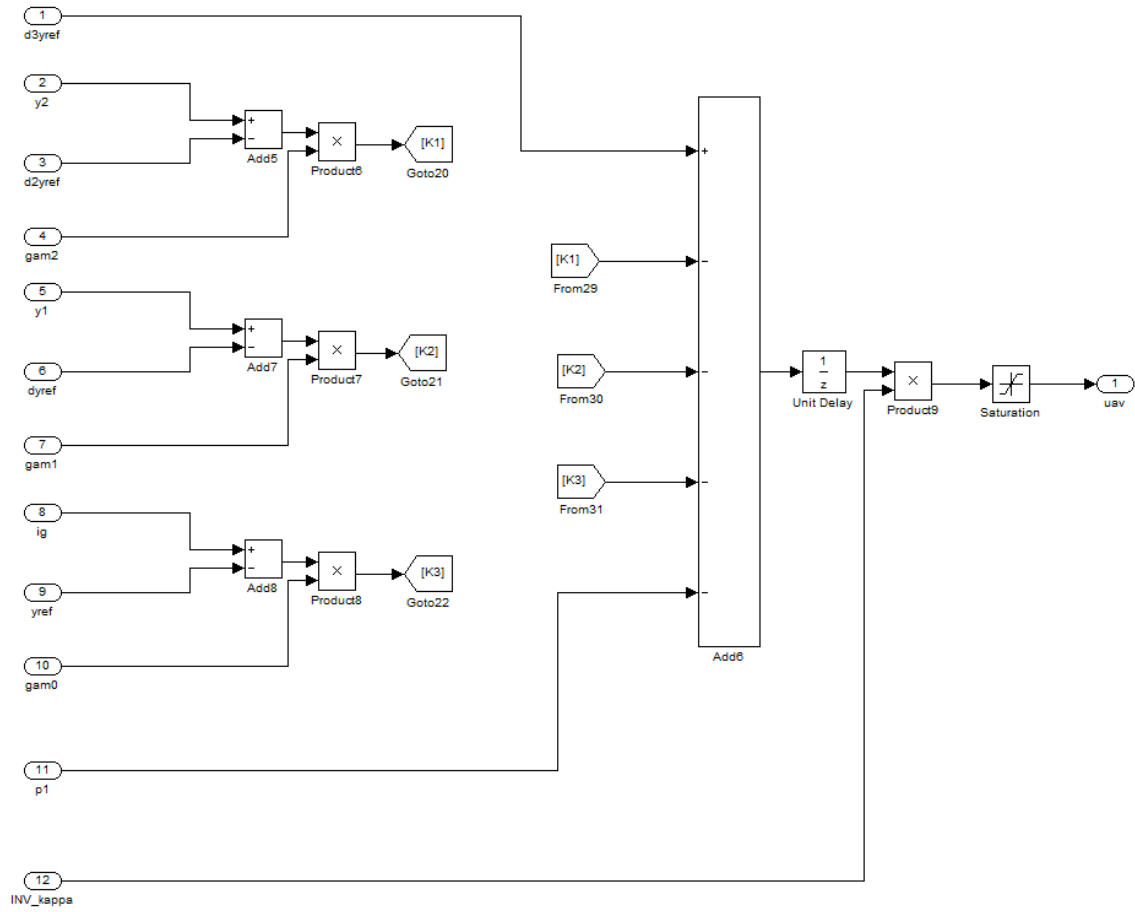


Figura C.2. Diagrama de MATLAB/Simulink del controlador.

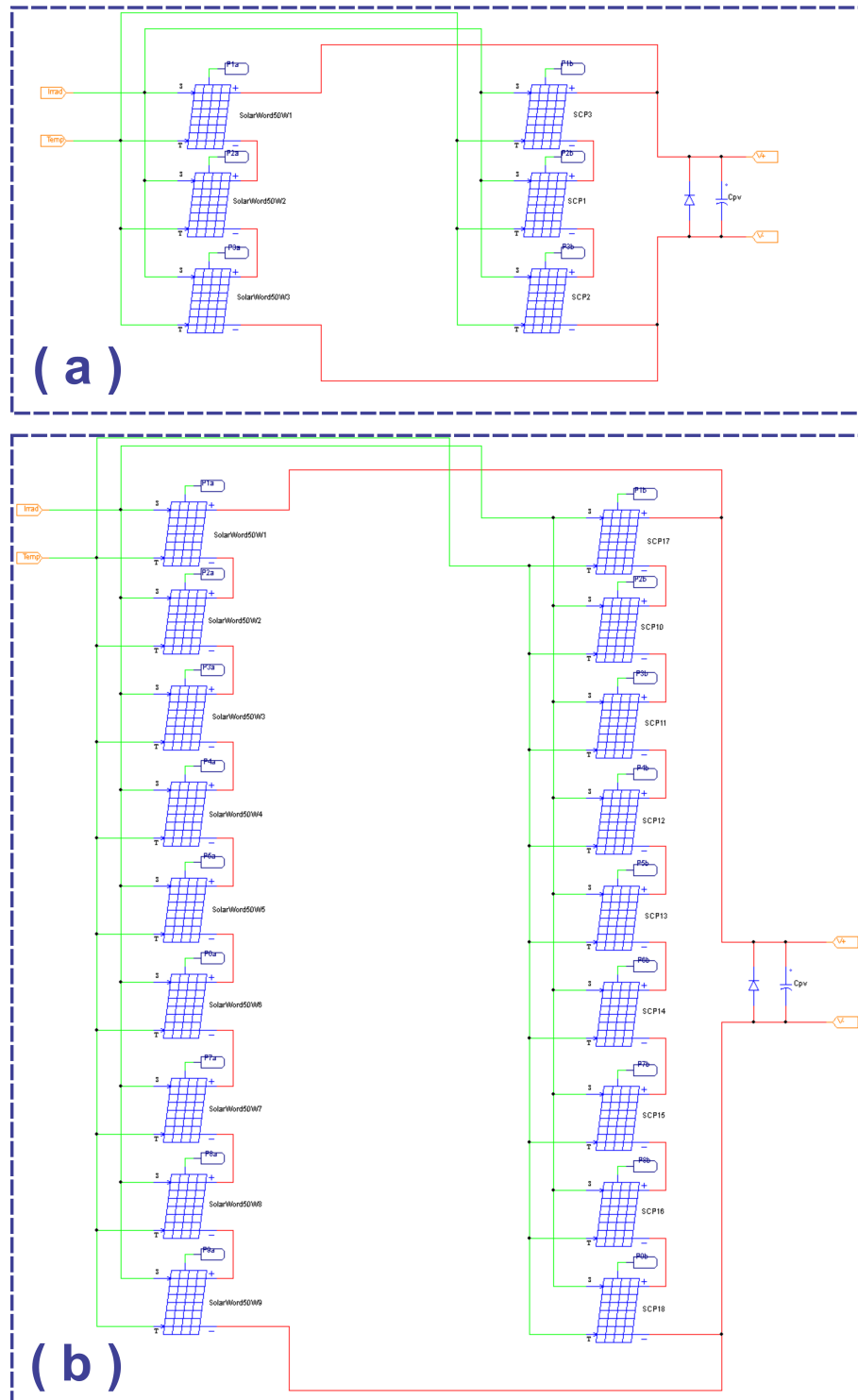


Figura C.3. Arreglos fotovoltaicos empleados en el IMCAT: (a) Arreglo fotovoltaico de bajo voltaje (E); (b) Arreglo fotovoltaico de alto voltaje (3E).



## Apéndice D

# Inversor multinivel simétrico

**Resumen:** El trabajo presentado en este apéndice tiene por objetivo realizar una tarea de seguimiento de trayectoria para el voltaje de salida de un inversor multinivel simétrico en topología de celdas en cascada de cinco niveles. El voltaje de salida del convertidor debe ser robusto ante cambios de carga del tipo lineal y no lineal, esto es, dada una amplitud deseada, debe mantenerse a pesar de aplicar alguna perturbación. La técnica empleada es la llamada **GPIC** (*Generalized Proportional Integral Controller*). El funcionamiento se validó por medio de un conjunto de experimentos, los cuales incluyen perturbaciones del tipo endógeno y exógeno, mostrando buenos resultados. Una fortaleza a remarcar del trabajo en mención, es que ambos, tanto el algoritmo de control y el modulador multiportadora del tipo **PS-PWM** fueron completamente descritos en VHDL en un solo FPGA, para ello, se diseñó una arquitectura segmentada en 32-bits alineada al estándar IEEE-754 de precisión simple, alcanzando una velocidad de procesamiento de  $4\mu s$ .

### D.1. Diseño, implementación y control de un inversor monofásico multinivel

El artículo es JCR y lleva por título:

**Generalized Proportional Integral Tracking Controller for a Single-Phase Multilevel Cascade Inverter: An FPGA Implementation** (2014).

<https://ieeexplore.ieee.org/document/6418025>

# Generalized Proportional Integral Tracking Controller for a Single-Phase Multilevel Cascade Inverter: An FPGA Implementation

José Antonio Juárez-Abad, Jesús Linares-Flores, *Member, IEEE*, Enrique Guzmán-Ramírez, and Hebertt Sira-Ramírez

**Abstract**—This paper presents a robust linear generalized proportional integral (GPI) control scheme for the output reference trajectory tracking task on a multilevel single-phase “buck” inverter. The scheme is shown to be robust with respect to arbitrary time-varying load current demands, acting as perturbation inputs to the inverter, and to significant converter parameter variations. The discrete time version of the control scheme is implemented on a field-programmable gate array hardware. Several laboratory robustness tests are performed on the controlled inverter with excellent results.

**Index Terms**—Field-programmable gate array (FPGA) implementation, Generalized proportional integral (GPI)-based controller, single-phase multilevel converter.

## I. INTRODUCTION

MULTILEVEL cascade H-bridge (CHB) converters, with separated dc sources, (MCI) are commonly used in locomotive traction drive, electric vehicles, electric drives, active power filters, and, especially, in power quality applications such as STATCOM [1]–[4]. The interest in such devices stems from their advantages when compared to other multilevel-converter topologies in terms of: minimum number of devices, modularity, reliability, and fault tolerance. CHB converters have been successfully used in applications where a high number of switching levels are required [5]. For instance, in the case of motor control, damage and failures have been reported by the industry as a result of the rapid high-voltage changes in the inverters of some adjustable-speed drives (ASD) producing a common-mode voltage across the motor windings. On the other hand, there are switching methods that reduce the total harmonic distortion in the voltage waveforms in multilevel inverter with unequal dc sources [6].

Manuscript received May 16, 2012; revised August 06, 2012; accepted January 07, 2013. Date of publication January 23, 2013; date of current version December 12, 2014. Paper no. TII-12-0364.

J. A. Juárez-Abad is with the División de Estudios de Postgrado, Universidad Tecnológica de la Mixteca, Huajuapán, Oaxaca 69000, Mexico (e-mail: abad0204@gmail.com).

J. Linares-Flores and E. Guzmán-Ramírez are with the Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, Huajuapán, Oaxaca 69000, Mexico (e-mail: jlinares@mixteco.utm.mx; eguzman@mixteco.utm.mx).

H. Sira-Ramírez is with the Sección de Mecatrónica, Centro de Investigación y Estudios Avanzados del IPN (CINVESTAV-IPN), México D.F. 07300, Mexico (e-mail: hsira@cinvestav.mx).

Digital Object Identifier 10.1109/TII.2013.2242085

Recently, multilevel CHB converters fed by solar panels have been introduced for applications such as renewable energy [7], [8]. Induction motor with open-end windings have also benefited by multilevel CHB converters drives fed via ac/dc converters [9]. In recent years, different control techniques have been used for regulating multilevel CHB converter. The aim is to achieve the best possible performance in dc-to-ac conversion schemes [10]–[13].

One problem to be solved in the control of multilevel converters, is to maintain the desired reference voltage at the load, when the multilevel inverter is subject to sudden nonlinear load changes [14], [15]. The generalized proportional integral control (GPIC) (see [16]) has the required properties to efficiently solve the robustness problem. GPIC has been used for voltage regulation in dc-to-dc power converters in various manners (see [17], [19]). In [18], GPI controller is used for stabilization, around a constant desired reference, of a dc-to-dc power converter of the buck type. Here, we shall be interested in trajectory tracking, rather than stabilization, in a multilevel switched environment context for an effective dc-to-ac power conversion controlled scheme. The proposed technique takes advantage of the fast dynamic response, and enhanced robustness, of GPIC with respect to unknown classical disturbances. In [20], a GPIC scheme is proposed for a dc motor smooth dynamic “starter,” represented by a switch controlled dc-to-dc power converter of the “buck” type. In general, the GPIC circumvents the need for state vector measurements and relies on *integral reconstructors* of the unmeasured state variables. Integral reconstructors use only the available inputs and outputs and a finite number of iterated integrals of input and output tracking errors.

In this paper, a linear GPI output feedback control scheme is proposed for the load current disturbance attenuation in a multilevel “buck” converter system acting as an inverter or as a dc-to-ac converter. The scheme is devoid of observers, and it is shown to robustly regulate the output voltage towards a small as desired vicinity of a fixed amplitude-fixed frequency sinusoidal reference signal in spite of the time-varying nature of the load current disturbance effects and significant parameter discrepancies. The proposed GPI control scheme is synthesized on a FPGA integrated circuit and its performance is tested on an actual laboratory designed multilevel “buck” converter plant acting in an inverter mode.

Section II presents the generalities about a multilevel dc-to-ac conversion (inversion) scheme based on a “buck” converter structure. The limitations and tradeoffs of the buck

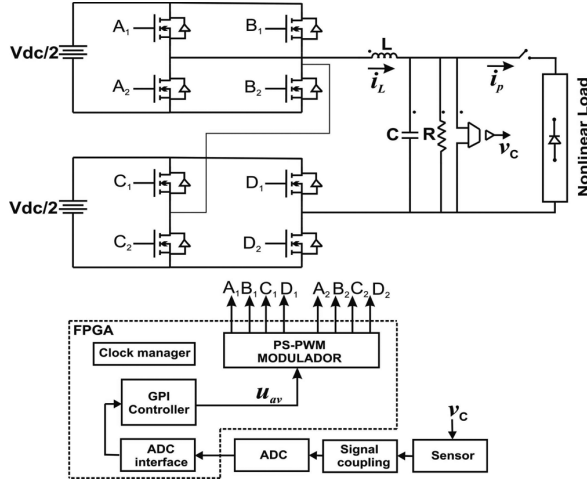


Fig. 1. Five-level inverter with LC filter and block diagram of FPGA implementation.

unit as a dc-to-ac conversion device are assessed in terms of the flatness property of the particular average dynamics of the “buck” converter topology. Also, the possibilities of integral reconstruction of the average inductor current of the converter are evaluated. Section III also presents the GPI controller synthesizing the average control input to the system. Section IV explains, in full detail, the FPGA implementation of the multilevel dc-to-ac controlled conversion scheme. Section VI presents the experimental results and the robustness tests to which the converter is subject in terms of disturbance load demands and significant plant parameter deviations. Section VII contains the conclusions and suggestions for further work.

## II. LOAD-PERTURBED MULTILEVEL “BUCK” INVERTER

Consider the following mathematical description of a perturbed multilevel “buck” inverter, shown in Fig. 1:

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + V_{dc}u \\ C \frac{dv_C}{dt} &= i_L - \left(\frac{1}{R}\right)v_C - i_p(t) \end{aligned} \quad (1)$$

where  $i_L$  is the inductor current,  $v_C$  is the output capacitor voltage, and  $i_p(t)$  is the demanded load current, acting as an unknown time-varying perturbation input. The variable  $u$  represents the switched control input taking discrete values within the interval  $[-1, 1]$  of the real line.

The parameter  $V_{dc}$  is the voltage of the input source considered to be a constant. The parameters  $L$ ,  $C$ , and  $R$  are, respectively, the inductance of the input inductor, the capacitance of the output capacitor, and the known parallel resistance integrating a convenient low-pass output filter of the  $RC$  type.

The controller design is performed on the basis of the *state average model* of the inverter. Such an average model is a copy of the original system with the control input  $u$  artificially replaced

by a continuous signal, denoted by  $u_{av}(t)$ , which takes values on the closed interval  $[-1, 1]$  (see [21]). Abusing notation, one retains the same state variables notation for the average system than for the switched system. The average system is then described by<sup>1</sup>

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + V_{dc}u_{av} \\ C \frac{dv_C}{dt} &= i_L - \left(\frac{1}{R}\right)v_C - i_p(t). \end{aligned} \quad (2)$$

In multilevel switched systems, the nature of the switching control input variable  $u$  is customarily defined in terms of its required average value  $u_{av}$ , and in accordance with a pre-specified partition of the interval  $[-1, 1]$  on whose consecutive limiting values occur the controlled switchings. Let  $p$  and  $q$  be two given integers representing, respectively, the switching levels on the negative subinterval  $[-1, 0]$  and on the positive subinterval  $[0, 1]$ . Thus, consider a not necessarily regular partition of the interval  $[-1, 1]$ , (i.e., not necessarily evenly spaced between levels nor necessarily symmetric with respect to the origin) including the boundary points  $-1$  and  $+1$ . This partition is of the form

$$\{-1, -\underline{W}_{p-1}, -\underline{W}_{p-2}, \dots, -\underline{W}_1, 0, \bar{W}_1, \dots, \bar{W}_{q-2}, \bar{W}_{q-1}, 1\} \quad (3)$$

where the “ $W_j$ ’s” are real numbers satisfying

$$-1 < -\underline{W}_{p-1} < \dots < -\underline{W}_1 < 0 < \bar{W}_1 < \dots < \bar{W}_{q-1} < 1. \quad (4)$$

Clearly, there are  $p$  switching levels in the interval  $[-1, 0]$  and  $q$  switching levels on the interval  $[0, 1]$ . Subintervals, induced by this partition, are of the form:  $[-\underline{W}_j, -\underline{W}_{j-1}]$ ,  $j = 0, 1, \dots, p-1$  or of the form:  $[\bar{W}_j, \bar{W}_{j+1}]$ ,  $j = 0, 1, \dots, q-1$ , with  $-\underline{W}_0 = \bar{W}_0 = 0$ .

Let  $u_{av}(t)$  be the continuous scalar average input signal, taking values on the interval  $[-1, 1]$ . Our main contention is that this average input signal possibly arises from an average feedback controller design satisfying specific control objectives. The switched signal  $u$  is to take discrete values in the binary set:  $\{-\underline{W}_j, \underline{W}_{j-1}\}$  whenever  $-1 < \underline{W}_j \leq u_{av}(t) \leq \underline{W}_{j-1} < 0$  with  $\underline{W}_p = -1$ . Alternatively, it takes values on the binary set:  $\{\bar{W}_j, \bar{W}_{j+1}\}$  when  $1 > \bar{W}_{j+1} \geq u_{av}(t) \geq \bar{W}_j > 0$  with  $\bar{W}_q = 1$ . The multilevel arrangement will trigger active switchings, for the variable  $u$ , between the two subinterval boundary points whenever the continuous average control input signal values are found within the given subinterval. When the continuous signal moves out of a specific subinterval, control switchings begin on the limit values of one of the two neighboring subintervals. The main assumption is that these high frequency switchings reproduce, on the average, the same effect as that of the continuous average control input on the plant.

<sup>1</sup>In theoretical and practical terms, the validation of the average model of the single-phase multilevel cascade inverter (SPMCI) requires the use of a standard multilevel PWM scheme, with phase shifting, of multiple carrier signals (see [14], [15], and [22]).

### A. Flatness of the Average Converter Dynamics

The unperturbed ( $i_p(t) = 0$ ) average model of the “buck” converter (2) is flat (see [23]–[25]). This means that all system variables, including the control input  $u_{av}$ , is expressible in terms of a certain endogenous variable, called the “flat output” (denoted by  $F$ ) and a finite number of its time derivatives (this will be called a “differential parametrization” in terms of the flat output). The flat output,  $F$ , of the unperturbed “buck” converter plant is the output voltage variable  $v_C = F$ . Indeed

$$\begin{aligned} i_L &= C \frac{dF}{dt} + \frac{1}{R} F \\ u_{av} &= \frac{LC}{V_{dc}} \left( \frac{d^2 F}{dt^2} \right) + \frac{L}{RV_{dc}} \left( \frac{dF}{dt} \right) + \frac{1}{V_{dc}} F \\ v_C &= F. \end{aligned} \quad (5)$$

Note that if the disturbances are nonzero time-varying functions, their influence on the system variables can be explicitly written as a “perturbed differential parametrization”. In this case, if  $i_p(t)$  is not identically zero, the perturbed differential parametrization of the converter dynamics is readily obtained as

$$\begin{aligned} i_L &= C \frac{dF}{dt} + \frac{1}{R} F + i_p(t) \\ u_{av} &= \frac{LC}{V_{dc}} \left( \frac{d^2 F}{dt^2} \right) + \frac{L}{RV_{dc}} \left( \frac{dF}{dt} \right) + \frac{1}{V_{dc}} F + \frac{L}{V_{dc}} \frac{di_p(t)}{dt} \\ v_C &= F. \end{aligned} \quad (6)$$

An interesting feature of flat outputs and of their associated differential parametrization, is that, in general, these allow the assessment of nominal control amplitude limitations and efficient trajectory planning without solving differential equations. In the tracking problem at hand, the hard limits imposed on the average control input (i.e.,  $\sup_t |u_{av}(t)| \leq 1$ ) impose a tradeoff between amplitudes  $A_m$  and frequencies  $\omega_n$  of the sinusoidal signal to be tracked. The assessment, however, is only nominal and no judgements can be made on transient behavior and on perturbed plants. Indeed, the average control input parametrization for  $F^*(t) = A_m \sin(\omega_n t)$  yields

$$u_{av}^*(t) = \frac{LA_m\omega_n}{RV_{dc}} \cos(\omega_n t) + \frac{A_m}{V_{dc}} [1 - LC\omega_n^2] \sin(\omega_n t). \quad (7)$$

After some elementary manipulations, one obtains

$$\begin{aligned} u_{av}^*(t) &= \sqrt{\left[ \left( \frac{LA_m\omega_n}{RV_{dc}} \right)^2 + \left( \frac{A_m(1 - LC\omega_n^2)}{V_{dc}} \right)^2 \right]} \sin(\omega_n t + \phi) \\ \phi &= \arctan \left( \frac{L}{R} \frac{\omega_n}{1 - LC\omega_n^2} \right). \end{aligned} \quad (8)$$

In terms of the system parameters  $L$ ,  $R$ ,  $C$ , and  $V_{dc}$ , the relation between the amplitude  $A_m$  and the frequency  $\omega_n$  of the desired

output sinusoidal signal which nominally avoids control input saturations, in steady state, is given by

$$A_m \leq \frac{V_{dc}}{\sqrt{\left( \frac{L}{R} \right)^2 \omega_n^2 + (1 - LC\omega_n^2)^2}}. \quad (9)$$

### B. Integral Reconstructor of the Flat Output Rate of Change

Consider the unperturbed “buck” converter system

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + V_{dc} u_{av} \\ C \frac{dv_C}{dt} &= i_L - \left( \frac{1}{R} \right) v_C. \end{aligned} \quad (10)$$

Integrating the first equation, one obtains

$$i_L(t) = i_L(0) + \frac{1}{L} \int_0^t [V_{dc} u_{av}(\sigma) - v_C(\sigma)] d\sigma \quad (11)$$

i.e., modulo an unknown constant:  $i_L(0)$ , the inductor current  $i_L(t)$  can be placed in terms of the average input  $u_{av}(t)$  and of the corresponding output voltage  $v_C(t)$ . Take as a biased estimate of  $i_L$  the available quantity as

$$\hat{i}_L(t) = \frac{1}{L} \int_0^t [V_{dc} u_{av}(\sigma) - v_C(\sigma)] d\sigma. \quad (12)$$

Such an estimate is addressed as an *integral reconstructor* of the inductor current. Note that an equally biased estimate of the flat output time derivative,  $\hat{F} = \dot{v}_C$ , can be obtained in terms of the integral reconstructor of the inductor current

$$\begin{aligned} \hat{F} &= \frac{1}{C} \hat{i}_L - \frac{1}{RC} F \\ &= \frac{1}{LC} \int_0^t [V_{dc} u_{av}(\sigma) - F(\sigma)] d\sigma - \frac{1}{RC} F. \end{aligned} \quad (13)$$

Note that, for nonzero initial states, the relation linking the actual value of the SPMI converter output voltage derivative with its structural estimate in (13) are given, in the absence of perturbations, by

$$\dot{F} = \hat{\dot{F}} + \dot{F}_0 \quad (14)$$

where  $\dot{F}_0$  denotes the unknown initial rate of change of the output voltage. The integral reconstructor given by (13) provides the biased estimated value of the derivative term of the GPI controller, without need for actually calculating the time derivative of the measured signal ( $F(t) = y(t) = v_C(t)$ ).

## III. ASSUMPTIONS, PROBLEM FORMULATION, AND MAIN RESULTS

### A. Assumptions

Multilevel inverters are frequently subject to sudden load changes resulting in load current demands that tend to alter the quality of the desired sinusoidal output signal characteristics, such as amplitude and frequency. The nature of the load current demands on the inverter is usually of unknown character.

Broadly speaking, the loads may be classified as “linear” and “non-linear”. Irrespectively of the nature of the load current demands, the following assumptions are made.

- 1) Only the output voltage,  $v_C$ , of the converter is measured.
- 2) The converter parameters:  $L$ ,  $C$ ,  $V_{dc}$ , and  $R$  are known and constant. Nevertheless, experiments will be presented where variations of these constants are allowed with an assessment of their effects on the desired control objective.
- 3) The load current demand, represented by the function  $i_p(t)$ , and a finite number of its time derivatives are assumed to be uniformly absolutely bounded.
- 4) Relation (9) is satisfied, so that under steady-state conditions the average control input is free of saturations. For the transient stage, this requires, of course, sufficient “room” between  $A_m$  and the right hand side bound of  $u_{av}$  in (9). If this spacing is enforced, the effects of the time derivative of the load current perturbation  $i_p(t)$  are suitably taken into account.

### B. Formulation of the Problem

Let  $A_m \sin(\omega_n t)$  be a sinusoidal signal with known constant amplitude  $A_m$  and known constant frequency  $\omega_n$ . Given a constant amplitude sinusoidal output reference signal  $v_C^*(t) = A_m \sin(\omega_n t)$ , it is desired to have the output capacitor voltage  $v_C(t)$  of the “buck” converter track the signal  $v^*(t)$ , within an arbitrarily small tracking error, independently of the time-varying load current disturbance  $i_p(t)$ . The control scheme is to be synthesized by means of a suitable output feedback controller, using  $v_C(t)$  as the only measured output. It is also desired to assess the robustness of the scheme with respect to system parameter values, used in the controller, which differ from the actual converter parameter values.

The proposed GPI based control scheme is to be implemented on an FPGA device and an assessment of the controller performance is to be evaluated on an experimental prototype of the “buck” converter system.

### C. Main Result

The following GPI feedback control law is proposed for the output reference trajectory tracking of a signal  $F^*(t)$  by the SPMI output voltage:

$$\begin{aligned}
 u_{av} &= \frac{LC}{V_{dc}} v + \frac{L}{RV_{dc}} \hat{F} + \frac{1}{V_{dc}} F \\
 v &= \ddot{F}^*(t) - k_3 [\hat{F}(t) - \dot{F}^*(t)] - k_2 [F(t) - F^*(t)] \\
 &\quad - k_1 \int_0^t [F(\sigma) - F^*(\sigma)] d\sigma \\
 &\quad - k_0 \int_0^t \int_0^\sigma [F(\sigma_1) - F^*(\sigma_1)] d\sigma_1 d\sigma. \quad (15)
 \end{aligned}$$

The GPI feedback controller, includes the estimated variable  $\hat{F}(t)$ . This implies that the closed-loop system is affected by the constant estimation error present in  $\hat{F}(t)$ , as acknowledged in (14). To suitably correct the effects of the structural estimation errors and the effect of external perturbations, GPI control uses iterated integral error compensation. Let  $e = F(t) - F^*(t)$  denote the tracking error. The closed loop system is obtained

substituting the GPI controller (15) in the expression for  $u_{av}$  in (5). One easily finds that the closed-loop tracking error dynamics evolves in accordance with

$$e^{(4)} + k_3 e^{(3)} + k_2 \ddot{e} + k_1 \dot{e} + k_0 e = - \underbrace{\frac{1}{C} \frac{d^3}{dt^3} i_p(t)}_{:=\epsilon_0(t)}. \quad (16)$$

It is well known that, thanks to the bounded input-bounded output stability theory (see [26]), if the set of coefficients  $\{k_3, k_2, k_1, k_0\}$  of the linear perturbed dynamics (16) are chosen so that the polynomial in the complex variable  $s$

$$p(s) = s^4 + k_3 s^3 + k_2 s^2 + k_1 s + k_0 \quad (17)$$

is a Hurwitz polynomial, with roots located sufficiently far from the imaginary axis in the left half of the complex plane, then the phase variable responses in (16) will be asymptotically, exponentially, ultimately bounded by a small disk centered around the origin  $e = \dot{e} = \ddot{e} = \ddot{\ddot{e}} = 0$  of the tracking error phase space. Moreover, the radius of the ultimate bounding disk is proportional to the upper bound  $\sup_t |\epsilon_0(t)|$ , multiplied by the inverse of the absolute value of the smallest real part of the roots of (17). The gains of the closed-loop dominating characteristic polynomial were determined by a term by term comparison with the following desired Hurwitz polynomial:

$$p_d(s) = (s^2 + 2\zeta\omega_n s + \omega_n^2)^2. \quad (18)$$

The gains of the GPI controller (15) were then set to be

$$\begin{aligned}
 k_3 &= 4\zeta\omega_n; \quad k_2 = 4\zeta^2\omega_n^2 + 2\omega_n^2 \\
 k_1 &= 4\zeta\omega_n^3; \quad k_0 = \omega_n^4.
 \end{aligned}$$

Once the average control input  $u_{av}$  has been synthesized as an output feedback function, continuously taking values on the interval  $[-1, 1]$ , the implementation as a multilevel signal (of PWM nature, sliding mode nature or, otherwise) is relatively straightforward although logically involved. The next section contains the details of such an implementation within a FPGA hardware environment.

## IV. GPI TRACKING CONTROLLER AND MULTILEVEL MODULATOR IMPLEMENTATION USING FPGA

A digital system that could execute quasi-instantaneously a control algorithm is of great interest to control systems engineering. Inside of this systems an FPGA is a good candidate due to two outstanding features: 1) identify operations that can be performed across multiple components in parallel (independence relation) and 2) use of techniques such as “pipeline architectures,” where a task is divided in several stages and a new result is generated at every clock cycle. These features can be used to reduce the time to complete a task, at the expense of additional hardware. Furthermore, conventional processors, like DSP, use algorithmic approach, performing a set of instructions sequentially, while in FPGA devices many hypotheses can be evaluated concurrently.

Here, we explain the hardware implementation of the GPI Tracking controller. For this purpose, we have chosen the *Xilinx*

TABLE I  
 DESIGN REQUIREMENTS

Parameters	Numeric value
Voltage( $E$ )	160V
Inductor( $L$ )	3mH
Capacitance( $C$ )	10 $\mu$ F
Load Res.( $R$ )	75 $\Omega$
Num. of carriers( $n_c$ )	4
Carr. Freq. ( $F_c$ )	2.4KHz
Freq. mod.( $F_m$ )	60Hz
Ripple Freq. ( $F_{ripple}$ )	$F_{ripple} = n_c \times F_c = 9.6 \text{ kHz}$
Cutoff Freq. ( $F_{cf}$ )	900 Hz

*ISE Design Suite 12.2* EDA (Electronic Design Automation)-software tool and the Spartan 3E board EDA-hardware tool which includes a Spartan-3E1200 FPGA. Before we address this issue and based on specifications, such as: carrier frequency (see Table I), we must define an efficient design methodology and the abstraction level to model the system. Then one proceeds to choose an appropriate sampling period and the suitable format for coefficients and variables.

The GPI tracking controller design is based on a hierarchical and modular approach using top-down methodology [27], where the modules can be defined with diverse levels of abstraction. Thus, for this design the schematic description was chosen as top level and the controller modules were modeled using the VHDL hardware description language (behavior level modeling), generated using the Xilinx CORE Generator tool or using pre-optimized elements that the device in use already includes.

Previous analysis and simulations showed that discrete controller presents a high dynamic range of values (e.g., this generates values between  $625 \times 10^{-12}$  and  $16 \times 10^8$ ), therefore the choice of the format must be able to represent such range. We analyzed both floating and fixed point notations to determine which is the suitable for our application. For this purpose, the features of single precision floating point notation and the Q16.16, Q0.32, and Q31.32 fixed-point notations were analyzed. While the floating-point notation provides a good approximation to both numbers, fixed-point notation requires Q31.32 format, making it an unsuitable alternative. For the purpose at hand, the IEEE Standard for Binary Floating-Point Arithmetic, IEEE Std 754-1985 was chosen [28].

Considering the system specifications, the sampling period is defined as:  $t_{SP} = 4 \mu\text{s}$  and the global clock system (CLK) is fixed at 50 Mhz. To increase the performance of the control system, this is modeled as an pipeline architecture; then, an enable signal of pipeline registers,  $CE_{PR}$ , is required. The pulse width of  $CE_{PR}$  signal is 1 CLK cycle,  $T_{CLK} = 20 \text{ ns}$ ; the enable cycle time of this signal is  $t_{SP} = 4 \mu\text{s}$  (200 CLK cycles). This time length corresponds to the system latency. On the other hand, we have chosen the ADC10061, a 10-b ADC with 900-ns conversion time ( $t_{CONV}$ ) to discretize the  $v_C$  signal. The ADC interface to the FPGA requires a conditioning stage which includes an attenuation factor of 64 ( $v_{C \text{ att}}$ ) and an offset factor of 2.5 ( $v_{C \text{ off}}$ ). The conversion of acquired data to floating point format is defined as  $v_{C-FP} = ((v_C)(\text{RES}_{\text{ADC}}) - v_{C \text{ off}})(v_{C \text{ att}}) = (v_C)(0.3125) - 160$ ; where  $\text{RES}_{\text{ADC}} = V_{\text{ref}}/2^{\text{bits}_{\text{ADC}}}$

$= 5 \text{ V}/1024 = 0.0048828125$ . The  $v_{C-FP}$  is precomputed and stored in RAM memory blocks (BRAM). The propagation delay of the this module, named *ADC interface*, is  $t_{\text{ADC}} = 15T_{\text{CLK}} + 900 \text{ ns}$ .

#### A. GPI Tracking Controller Architecture

In this work, the GPI tracking controller design method was adopted. There are two basic options to describe an FPGA-based tracking controller. The first option is to design a continuous controller, obtain a discrete approximation of the continuous equation, and, finally, based on this discrete approximation, proceed to model the controller. This method is called *digital redesign*. The second option is to obtain the discrete transfer function of the controller and, based on this, design a discrete controller. In both cases, discrete techniques must be applied to be implemented on the reconfigurable logic.

In this work, we have chosen the digital redesign. Then, to implement the GPI Tracking controller, it is necessary to obtain a discrete approximation from (15). In order to facilitate this, we rewrite this equation as

$$\begin{aligned}
 u_{av}(t) &= \alpha_1 v(t) + \alpha_2 \hat{F}(t) + \alpha_3 F(t) \\
 \hat{F}(t) &= \beta_1 \int_0^t [u_{av}(\tau) - \alpha_3 F(\tau)] d\tau - \beta_2 F(t) \\
 \alpha_1 &= \frac{LC}{V_{\text{dc}}} \\
 \alpha_2 &= \frac{L}{RV_{\text{dc}}} \\
 \alpha_3 &= \frac{1}{V_{\text{dc}}} \\
 \beta_1 &= \frac{V_{\text{dc}}}{LC} \\
 \beta_2 &= \frac{1}{RC}
 \end{aligned} \tag{19}$$

where

$$\begin{aligned}
 v(t) &= \ddot{F}^*(t) - k_3 \left[ \dot{F}(t) - \dot{F}^*(t) \right] - k_2 e(t) \\
 &\quad - k_1 \int_0^t e(\tau) d\tau - k_0 \int_0^t \int_0^\tau e(\lambda) d\lambda d\tau \\
 e(t) &= F(t) - F^*(t) \\
 F^*(t) &= A_m \sin(\omega_n t) \\
 \dot{F}^*(t) &= A_m \omega_n \cos(\omega_n t) \\
 \ddot{F}^*(t) &= -A_m \omega_n^2 \sin(\omega_n t).
 \end{aligned}$$

Considering (19), it is necessary to obtain a discrete approximation of a continuous integral. For this purpose, we have used the Euler method [29], [30]. This method is given by

$$I(t) = \int_0^t x(\tau) d\tau \approx I[n] = I[n-1] + \Delta t(x[n]) \tag{20}$$

where  $\Delta t$  is the *step of integration* (interval of time from  $t_n$  to  $t_{n+1}$ ).

The discrete approximation of  $I_{est}(t) = \int_0^t (u_{av}(t-1) - \alpha_3 y(t)) dt$  is defined, using the Euler method, as

$$I_{est}[n] = I_{est}[n-1] + \Delta t(x[n]) \tag{21}$$

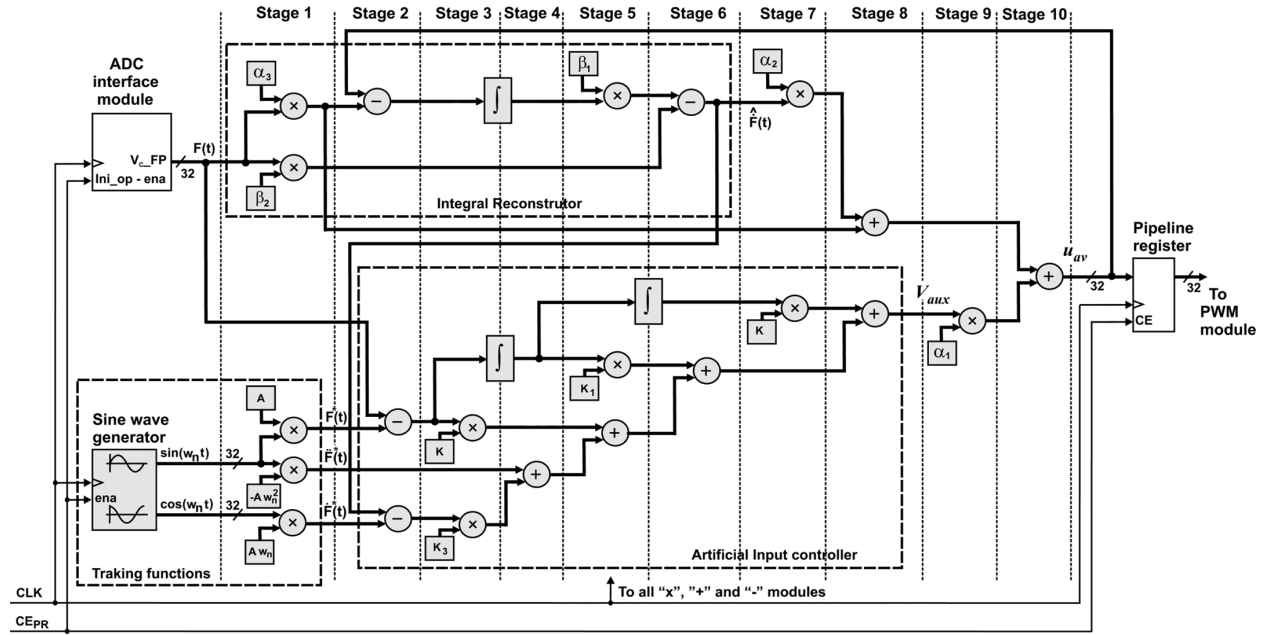


Fig. 2. Block diagram of the GPI tracking controller.

where  $x[n] = u_{av}[n-1] - \alpha_3 y[n]$ .

The discrete approximation of  $I_e(t) = \int_0^t e(t) dt$  is defined as

$$I_e[n] = I_e[n-1] + \Delta t(e[n]) \quad (22)$$

where  $e[n] = y[n] - y^*[n]$ .

Finally, the discrete approximation of  $II_e(t) = \int_0^t \int_0^\tau e(t) dt d\tau$  is proposed to be

$$II_e[n] = II_e[n-1] + \Delta t(I_e[n]). \quad (23)$$

The discrete approximation of (19) is defined as follows

$$\begin{aligned} u_{av}[n+1] &= \alpha_1 v[n] + \alpha_2 \hat{F}[n] + \alpha_3 F[n] \\ v_{aux}[n] &= \ddot{F}^*[n] - k_3(\hat{F}[n] - \dot{F}^*[n]) - k_2 e_v[n] \\ &\quad - k_1 I_{ev}[n] - k_0 II_{ev}[n] \\ e_v[n] &= F[n] - F^*[n] \\ \hat{F}[n] &= \beta_1 I_{est}[n] - \beta_3 F[n]. \end{aligned} \quad (24)$$

The control law is implemented on a FPGA which is based on (24). The block diagram of the proposed architecture for the GPI tracking controller is shown in Fig. 2. The controller receives data from the *ADC interface* and *Sine wave generator* modules, both have pipeline-registers in the output; the data generated by the controller is sent to the *PWM* module through a pipeline-register.

The proposed architecture consists of ten nonpipeline stages and its structure seeks to exploit the independence existing between the elements that integrate it. The pipeline registers of stages 1–10 has not been implemented for the following reasons:

Considering the mathematical model of the controller and exploiting the dependence of the operations performed, the con-

troller (shown in Fig. 2) was designed as a 10-stage pipeline architecture. However, considering that a sampling time of  $t_{SP} = 4 \mu s$  complies with the requirements of the system design and that the latency of the controller is  $t_{CL} = 2.04 \mu s$  for  $CLK = 50 \text{ MHz}$  [as stated by (25)], only the pipeline registers at the beginning of stage 1 and the end of stage 10 are required. This allows to reduce the required resources. However, if the application requires a smaller sampling time, the architecture can be easily adapted by adding pipeline registers in some, or all, of the ten stages that make up the proposed architecture. Thus, at each stage of the architecture, several elements can be concurrently working. This allows us to obtain high processing speeds. The proposed architecture of the GPI tracking controller consists of 15 multipliers, nine adders, and four subtractors. All of them are single-precision floating-point, standard Std-754. It is necessary to clarify that the implementation of a floating-point multiplier requires four multipliers embedded in the device in use (Spartan3E-1200). This device only includes 28 items of this type, so that only seven floating-point multipliers use embedded multipliers and eight were implemented using only logic (Slices). The latencies of the multipliers, adders and subtractors are, respectively,  $6T_{CLK}$ ,  $13T_{CLK}$  and  $13T_{CLK}$ . Hence, the propagation delay, generated by this module, is defined as

$$\begin{aligned} t_{CL} &= t_{\text{Stage1}} + \dots + t_{\text{Stage10}} \\ &= 6T_{CLK} + 13T_{CLK} + 6T_{CLK} + 13T_{CLK} \\ &\quad + 13T_{CLK} + 13T_{CLK} + 6T_{CLK} + 13T_{CLK} \\ &\quad + 6T_{CLK} + 13T_{CLK} \\ &= 102T_{CLK}. \end{aligned} \quad (25)$$

The discretization of (19) requires obtaining an approximation of the  $\sin \omega_n t$  and  $\cos \omega_n t$  functions using single-precision

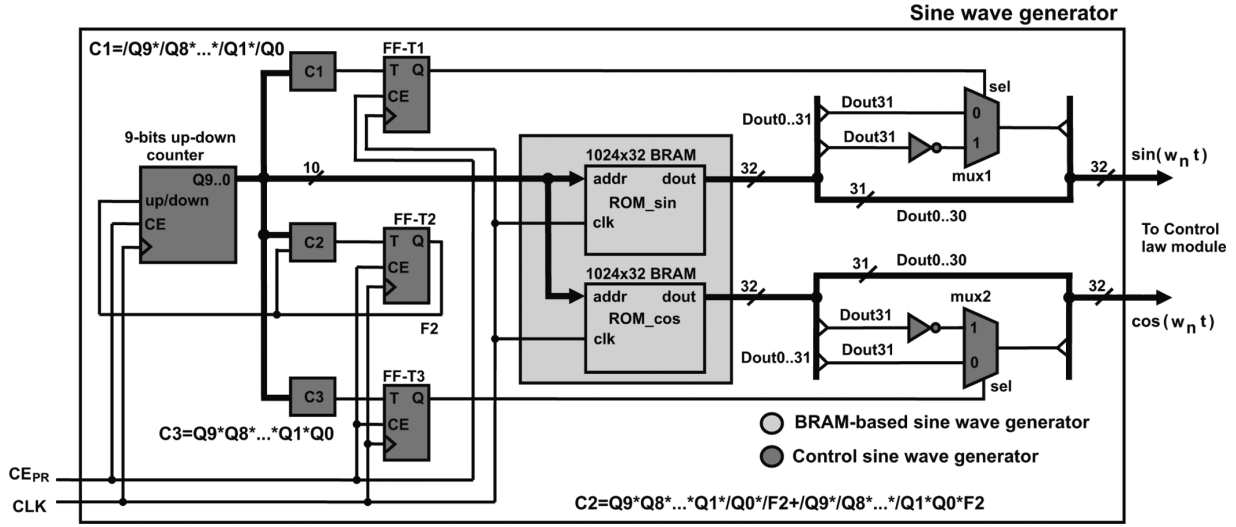


Fig. 3. Block diagram of the sine-wave generator submodule.

floating-point format. Both signals are 60-Hz  $t_{\text{signal}} = 1/60 = 16.666$  ms) and peak-to-peak amplitude value ranging from  $-1$  to  $1$ . This task belongs to the *Sine wave generator* submodule. Based on the sampling period  $t_{\text{SP}} = 4 \mu\text{s}$ , both the  $\sin \omega_n t$  and  $\cos \omega_n t$  functions were approximated using 4096 points ( $t_{\text{signal}}/t_{\text{SP}} \approx 4096$ ).

Fig. 3 shows the block diagram of the *Sine wave generator* submodule. This submodule includes two custom BRAM-based ROM memories (ROM\_sin and ROM\_cos) configured as a 1024-word  $\times$  32-bit. Our implementation considers the symmetry of the sine waves, therefore only the segment  $[0, \pi/2]$  of  $\sin \omega_n t$  and  $\cos \omega_n t$  have been computed and stored in ROM\_sin and ROM\_cos. The rest of the segments are defined as

$$\sin\left(\frac{\pi}{2} + n\right)_{(\pi/2, \pi]} = \sin\left(\frac{\pi}{2} - n\right)_{[0, \pi/2]} \quad (26)$$

$$\sin(x)_{(\pi, 3\pi/2]} = -\sin(x)_{[0, \pi/2]} \quad (27)$$

$$\sin\left(\frac{3\pi}{2} + n\right)_{(3\pi/2, 2\pi]} = -\sin\left(\frac{\pi}{2} - n\right)_{[0, \pi/2]} \quad (28)$$

$$\cos\left(\frac{\pi}{2} + n\right)_{(\pi/2, \pi]} = -\cos\left(\frac{\pi}{2} - n\right)_{[0, \pi/2]} \quad (29)$$

$$\cos(x)_{(\pi, 3\pi/2]} = -\cos(x)_{[0, \pi/2]} \quad (30)$$

$$\cos\left(\frac{3\pi}{2} + n\right)_{(3\pi/2, 2\pi]} = \cos\left(\frac{\pi}{2} - n\right)_{[0, \pi/2]} \quad (31)$$

where  $n \in (0, \pi/2)$ .

### B. PWM Generator for the Multilevel Modulator

The PWM scheme, implemented in our design, is of the sine-type with phase-shifted PWM (PS-PWM) of multiple carrier signals. This module receives the  $u_{\text{av}}$  signal from the *Control law* module and it generates eight PWM outputs: A1, A2, B1,

B2, C1, C2, D1, and D2 (see Fig. 4). These are used to control the MOSFETs commutation. Based on design requirements of the tracking controller and filter design, it was determined that the PWM frequency must be  $F_{\text{PWM}} = 2.4$  kHz. This module generates a discrete approximation of four 2.4 kHz triangle waves (Tri\_A, Tri\_B, Tri\_C, and Tri\_D), amplitude value ranging from  $-1$  to  $1$ , and with a 90-degree phase shift between them. These signals were precomputed using the same principle used in the discrete approximation of the  $\sin \omega_n t$  and  $\cos \omega_n t$  functions and stored in BRAM-based 1024-word  $\times$  32-bit ROM memories. Then, using a 32-bits comparators, the PWM signals are generated from  $u_{\text{av}}$ , Tri\_A, Tri\_B, Tri\_C, and Tri\_D signals.

The propagation delay, generated by *PWM generator* module, depends on the inverter delay ( $t_{\text{inv}}$ ) and the comparator delay ( $t_{\text{comp}}$ ). This is defined as

$$\begin{aligned} t_{\text{PWM}} &= t_{\text{inv}} + t_{\text{comp}} \\ &= 6.061 \text{ ns} + 10.026 \text{ ns} \\ &= 16.087 \text{ ns}. \end{aligned} \quad (32)$$

Table II shows a device utilization summary. These results include the estimated maximum frequency of operation of the controller, which is 83.4 MHz.

## V. LABORATORY SETUP AND EXPERIMENTAL RESULTS

The experimental hardware setup, depicted in Fig. 5, is composed of the following devices: (a) four power dc sources for the supply of the five-level Buck-type multilevel inverter; (b) oscilloscope (Tektronix TDS2002B); (c) multimeter; (d) nonlinear load (full-bridge rectifier and ac FAN (LASKO) of  $120 V_{\text{rms}}$ , 60 Hz,  $0.38 A_{\text{rms}}$ ); (e) power quality analyzer (HIOKI 3197); (f) FPGA card (Spartan 3E-1200 from Xilinx); (g) low-pass



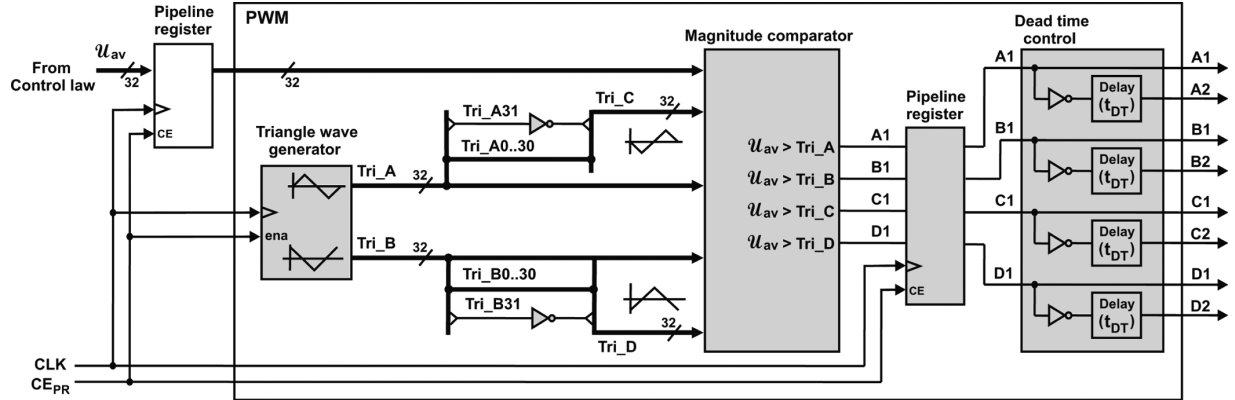


Fig. 4. Block diagram of the PWM generator module.

 TABLE II  
 RESOURCES UTILIZATION AND OVERALL PROPOSED  
 ARCHITECTURE PERFORMANCE

Mod.	Slices	LUTs	FPGA Emb. elem.	Max. Frec. Mhz
Clock Mod.	13 < 1%	25 < 1%	1 DCM 12%	198.6
Sine Gen.	12 < 1%	23 < 1%	4 BRAMs 14%	133.6
PWM Gen.	200 < 2%	372 < 2%	4 BRAMs 14%	194.7
ADC Mod.	29 < 1%	42 < 1%	4 BRAMs 14%	246.5
Inte- grator Mod.	29 < 1%	42 < 1%	—	199.3
Resources used by independent arithmetic element (32 bits)				
Adder	417 4%	583 3%	—	178.5
Mult. FPGA	186 2%	182 1%	1 Mult. 18x18	161.8
Mult. Logic Comp.	402 4% 47	643 3% 1	—	161.9
Mag.	1% 1%	3% 3%	—	218.0
Overall summary of resources used in the GPI controller				
GPI	8672 92%	15393 88%	28 Mult. 18x18	83.4

filter of second-order (LC);<sup>2</sup> and (h) five-level Buck-type multilevel inverter.

The FPGA-based GPI tracking controller and PWM modulator (PS-PWM) are programmed through a Xilinx ISE Design

<sup>2</sup>The low-pass filter was adjusted by means of an experimental trial-and-error procedure. During the adjustment step, it was sought to obtain the smallest possible phase shift between the converter's output voltage ( $v_c$ ) and the load output current ( $i_p$ ), thus achieving a power factor close to unity. The results shown below (see Fig. 8) fulfill the initial control design objectives and the desired power factor performance. A deeper analytic study, with further experimental results, depicting the filter relevance, design, and behavior, will be undertaken in a forthcoming publication.

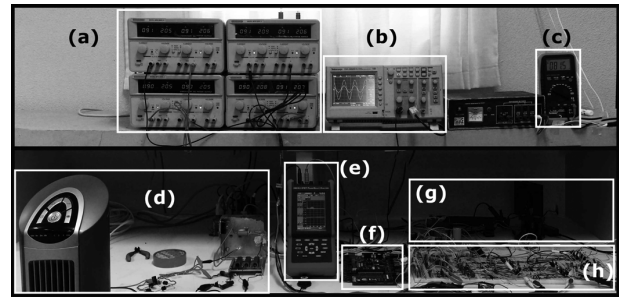


Fig. 5. Experimental hardware setup of the five-level inverter.

Suite 12.2 software. For the implementation of the multilevel inverter, the power semiconductors used are MOSFET IRF640 (18 A/200 V). Each one is switched at a frequency of 2.4 KHz, giving, as result, an output frequency of 9.6 kHz. The PWM modulator is of the sine-type with phase-shifting of multiple carrier signals (PS-PWM). The reference signals  $F^*(t)$ ,  $\hat{F}^*(t)$ , and  $\tilde{F}^*(t)$  of the GPI tracking controller are programmed in a FPGA Spartan 3E-1200.

The scheme of the experimental setup in Fig. 6 shows the test circuit inside the dotted box, which is composed of an ac motor, and a single phase full-wave diode rectifier with  $RC$  load. To evaluate the robustness of the system, we evaluate the system performance in open loop and compare it with the closed-loop behavior for a desired sinusoidal output voltage reference signal of amplitude  $A_m = 144$  V, and  $f = 60$  Hz. For the test in open loop, only the PS-PWM modulator is used with the nominal average control input  $u_{av} = (LC/V_{dc})\hat{F}^*(t) + (L/RV_{dc})\tilde{F}^*(t) + (1/V_{dc})F^*(t)$ , which is computed from the nominal reference output signal  $F^*(t) = A_m \sin(\omega t)$ , with  $A_m = 144$  V and  $f = 60$  Hz.

The test in closed loop used the GPI tracking controller with the same desired output voltage. This test consists in suddenly connecting an ac motor and nonlinear load (test circuit) to the output of the inverter by means of a switch (SW), rapidly returning again to the initial load of  $75 \Omega$  by opening the switch SW (see Fig. 6).

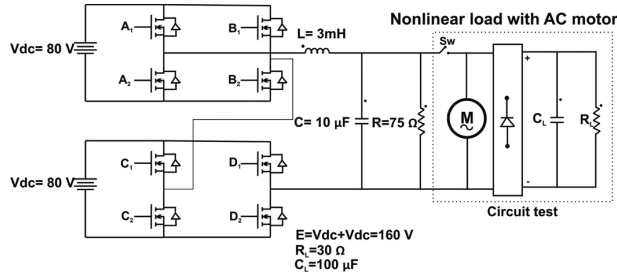


Fig. 6. Schematic of the experimental setup for testing of the SPMCI.

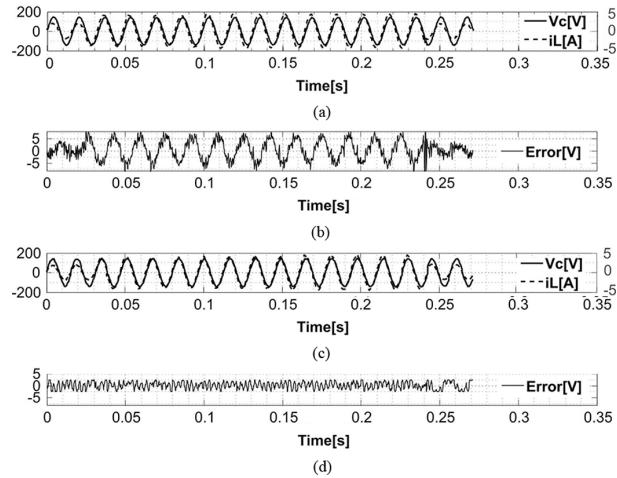


Fig. 7. Experimental results for the voltage tracking in open and closed loop. (a) Voltage (black) and current (dotted line) responses in open loop. (b) Voltage tracking error response in open loop. (c) Voltage (black) and current (dotted line) responses in closed loop. (d) Voltage tracking error response in closed loop, for a desired trajectory reference of 144 V, 60 Hz., under sudden nonlinear load changes.

Fig. 7(a) shows the output voltage and the inductor current responses in open loop. Fig. 7(b) shows the voltage tracking error response in open loop.

Figs. 7(c) and 7(d) show the output voltage, inductor current, and the voltage tracking error responses in closed loop (GPIC). From Fig. 7(b) and (d), we see that the voltage tracking error response, in open loop, is larger than the voltage tracking error in closed loop (GPIC). The tracking error voltage in closed loop is approximately within  $\pm 1.65\%$  of the tracking signal maximum amplitude, while in open loop the tracking error is  $\pm 5.2\%$ .

Fig. 8(a) and 9b) shows the  $THD_i$  and  $THD_v$  responses in open and closed loop. These responses present a harmonic distortion content of less than 5%. These results of THD were low, due to the inverter dynamics and the manner in which its low-pass filter was designed to operate at low frequencies.

Fig. 8(c) shows the power factor (PF) responses in open and closed loop, which are very close to unity, even under sudden nonlinear load changes. The Power Factor results show the effectiveness of the GPIC for the tracking of a voltage reference in the presence of nonlinear loads. Additionally, we note that the system in open loop also presents a good performance regarding the PF parameter. This is due to the fact that  $u_{av}$  is calculated by

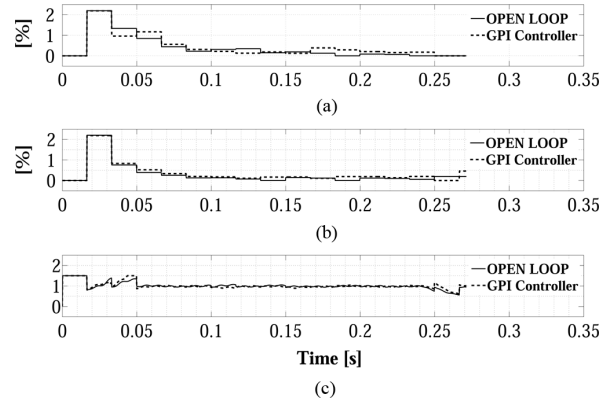


Fig. 8. Experimental results of  $THD_i$ ,  $THD_v$ , and power factor at load: (a)  $THD_i$  responses in open (black) and closed loop (dotted line); (b)  $THD_v$  responses in open (black) and closed loop (dotted line); (c) power factor responses in open (black) and closed loop (dotted line), for a desired trajectory reference of 144 V, 60 Hz., under sudden nonlinear load changes.

means the desired references signals alone:  $F^*(t)$ ,  $\dot{F}^*(t)$ , and  $\ddot{F}^*(t)$ .

As a general remark, note that the voltage tracking error is bounded by a small disk centered around the origin (see Fig. 8(d)). To reduce the effect of the non-linear load in the closed loop system, we selected the roots of the characteristic polynomial sufficiently far in left-half complex plane. The roots were located at  $(-2450 - 2499.5j)^2$ ,  $(-2450 + 2499.5j)^2$ , with  $\omega_n = 3500$  rad/s and  $\zeta = 0.707$ . The gains of the GPI tracking controller were then set to be

$$\begin{aligned} k_3 &= 9898 \\ k_2 &= 4.899 \times 10^7 \\ k_1 &= 1.212 \times 10^{11} \\ k_0 &= 1.500 \times 10^{14}. \end{aligned}$$

#### A. Robustness Test With Respect to Plant Parameter Variations

In the controller expression (19), the control input gain inverse, denoted by  $\alpha_1$ , exactly cancels the input gain parameter  $V_{dc}/(LC)$ . However, a lack of knowledge of this parameter (due to unmodeled variations of either  $L$ ,  $C$ , or  $V_{dc}$ , some of them or all together) affects the effectiveness of the feedback controller. It was assumed that, instead of the precise value of  $\alpha_1$ , the actual controller used a cancellation term affected by a factor  $\kappa$ , i.e., let  $\tilde{\alpha}_1 = \kappa\alpha_1$  for the controller. The parameter  $\kappa$  represents a percentage factor depicting the lack of knowledge of  $\alpha_1$ , where  $\kappa = 1$  is the case of precise knowledge. Incrementally varying this factor  $\kappa$ , we obtained the set of graphs of the time evolution of the integral square error (ISE) index function (see [31]) shown in Fig. 9 as

$$ISE_{\kappa}(t) = \int_0^t (F_{\kappa}(\sigma) - F^*(\sigma))^2 d\sigma$$

where  $F_{\kappa}(t)$  is the control system output obtained with a particular gain factor  $\kappa$  used in the gain cancellation term  $\tilde{\alpha}_1$ . The proposed controller is seen to be robust with respect to the input gain multiplicative factor variations ranging from 70% below

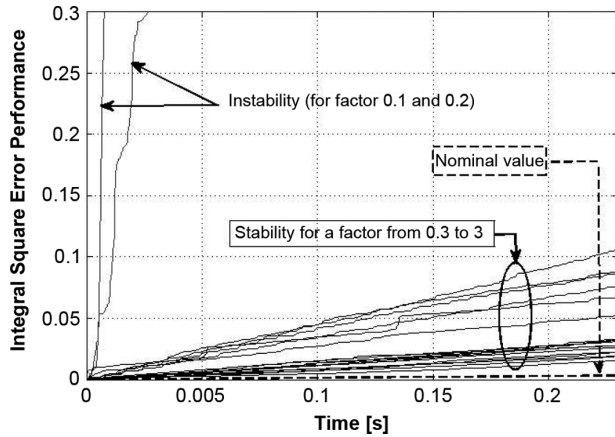


Fig. 9. Experimental results for the ISE.

the nominal value ( $\kappa = 0.3$ ) to 300% above the nominal value ( $\kappa = 3.0$ ). A rapid growth in time of the function  $ISE_{\kappa}(t)$  reveals an unstable closed-loop behavior ( $\kappa = 0.1, 0.2$ ). Since the tracking errors are never identically zero, the slow increment of  $ISE_{\kappa}(t)$  reveals, for  $\kappa \in [0.3, 3]$ , small tracking errors oscillating around zero with a slowly growing square integral. For  $\kappa > 3.0$ , a high gain effect is obtained making the closed-loop behavior rather sensitive to the intervening noises.

## VI. CONCLUSION

In this paper, the design of GPI tracking controller has been described for the output voltage regulation of a cascaded five-level inverter with separated dc sources. An FPGA implementation of the dynamic output feedback controller was carried out and laboratory experiments were performed on the controlled prototype. The performance of the controlled system was evaluated under sudden nonlinear load changes. The resulting current and voltage waveforms at the load presented a low harmonic distortion of order lower than  $< 5\%$ . The voltage tracking error was in the neighborhood of 1.65% in closed loop, while in open loop it was of about 5.2%. The output trajectory tracking controller was shown to be robust under: parametric uncertainties, unmodeled nonlinearities, load perturbations, and exogenous random perturbations. The FPGA design is based on a “top-down” methodology. The proposed controller was designed and implemented following a modular approach which allows generating reusable code. This code is part of a repository of discretized functions that can be used in future designs. Due to the values generated by the operations involved in the discrete controller, it was necessary to implement arithmetical modules based on IEEE Std 754–1985. The use of floating point arithmetic in the adopted design allowed the handling of wider ranges and more accurate results. In the GPI tracking controller scheme, here implemented, a pipeline architecture was proposed considering the independence relation of the modules that integrate it. This architecture allows for reducing the time to completion of a task, at the expense of additional hardware. The sampling time defined for the application at hand is  $4 \mu\text{s}$ . A four-level pipeline architecture was found to meet the required performance specifications. Considering the

propagation times of the implemented modules, the latency of the proposed architecture is 8 Tclk and with an operating frequency of 50 MHz this architecture generates a new result every 160 ns. For applications requiring large, on-chip memories, Spartan-3 Generation FPGAs provides plentiful, efficient Select RAM memory blocks (BRAM). The implementation of the float-point encoder and the discrete approximation of the sinusoid (for tracking purposes) and the triangular functions using BRAMs (for modulation purposes) minimizes the use of configurable logic blocks in the FPGA.

## REFERENCES

- [1] L. M. Tolbert, F. Z. Peng, T. Cunningham, and J. N. Chiasson, “Charge balance control schemes for cascade multilevel converter in hybrid electric vehicles,” *IEEE Trans. Ind. Electron.*, vol. 49, no. 5, pp. 1058–1064, Oct. 2002.
- [2] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Pérez, and J. I. Leon, “Recent advances and industrial applications of multilevel converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2553–2580, Aug. 2010.
- [3] H. Akagi, “Classification, terminology, and application of the modular multilevel cascade converter (MMCC),” *IEEE Trans. Power Electron.*, vol. 26, no. 11, pp. 3119–3130, Nov. 2011.
- [4] T. Atalik, M. Deniz, E. Koç, C. Özgür Gerçek, and B. Gültekin, “Multi-DSP and -FPGA-based fully digital control system for cascaded multilevel converters used in facts applications,” *IEEE Trans. Ind. Inf.*, vol. 8, no. 3, pp. 511–527, Aug. 2012.
- [5] S. Vazquez, J. I. Leon-Franquelo, G. Leopoldo, J. J. Padilla, and J. M. Carrasco, “DC-voltage-ratio control strategy for multilevel cascaded converters fed with a single DC source,” *IEEE Trans. Ind. Electron.*, vol. 56, no. 7, pp. 2513–2521, Jul. 2009.
- [6] N. Farokhnia, H. Vazizadeh, S. Hamid-Fathi, and F. Anvariasl, “Calculating the formula of line-voltage THD in multilevel inverter with unequal DC sources,” *IEEE Trans. Ind. Electron.*, vol. 58, no. 8, pp. 3359–3372, Aug. 2011.
- [7] F. Filho, L. M. Tolbert, Y. Cao, and B. Ozpineci, “Real-time selective harmonic minimization for multilevel inverters connected to solar panels using artificial neural network angle generation,” *IEEE Trans. Ind. Applicat.*, vol. 47, no. 5, pp. 2117–2124, Sep./Oct. 2011.
- [8] J. Chavarria, D. B. Member, F. Guinjoan, C. Meza, and J. J. Negroni, “Energy-balance control of PV cascaded multilevel grid-connected inverters under level-shifted and phase-shifted PWMs,” *IEEE Trans. Ind. Electron.*, vol. 60, no. 1, pp. 98–111, Jan. 2013.
- [9] V. T. Somasekhar, K. Gopakumar, M. R. Baiju, K. K. Mohapatra, and L. Umanand, “A multilevel inverter system for an induction motor with open-end windings,” *IEEE Trans. Ind. Electron.*, vol. 52, no. 3, pp. 824–836, Jun. 2005.
- [10] C.-C. Hua, C.-W. Wu, and C.-W. Chuang, “A digital predictive current control with improved sampled inductor current for cascaded inverters,” *IEEE Trans. Ind. Electron.*, vol. 56, no. 5, pp. 1718–1726, May 2009.
- [11] P. Sun, C. Liu, J. S. Lai, and C. L. Chen, “Cascade dual buck inverter with phase-shift control,” *IEEE Trans. Power Electron.*, vol. 27, no. 4, pp. 2067–2077, Apr. 2012.
- [12] R. Gupta, A. Ghosh, and A. Joshi, “Switching characterization of cascaded multilevel-inverter-controlled systems,” *IEEE Trans. Ind. Electron.*, vol. 55, no. 3, pp. 1047–1058, Mar. 2008.
- [13] X. Zhang and J. W. Spencer, “Study of multisampled multilevel inverters to improve control performance,” *IEEE Trans. Power Electron.*, vol. 27, no. 11, pp. 4409–4416, Nov. 2012.
- [14] H. Miranda, V. Cárdenas, G. Espinosa-Pérez, and D. Noriega-Pineda, “Multilevel cascade inverter with voltage and current output regulated using a passivity-based controller,” in *Proc. 41st IAS Ann. Meeting Ind. Applicat. Conf.*, 2006, pp. 974–978.
- [15] D. Noriega-Pineda, G. Espinosa-Pérez, V. Cardenas, and H. Miranda, “On the passivity-based control for multilevel inverters,” *Proc. 10th IEEE Int. Power Electron. Congr.*, pp. 1–6, Oct. 2006.
- [16] M. Fliess, R. Marquez, E. Delaleau, and H. Sira-Ramírez, “Correcteurs Proportionnels Intégraux Généralisés,” *ESAIM: Contr., Optimisation and Calculus of Variations*, vol. 7, pp. 23–41, 2002.
- [17] H. Sira-Ramírez, C. N. nez, and N. Visairo, “Robust sigma-delta generalized proportional integral observer based control of a buck converter with uncertain loads,” *Int. J. Control.*, vol. 83, pp. 1631–1640, 2010.

- [18] E. W. Zurita-Bustamante, J. Linares-Flores, E. Guzmán-Ramírez, and H. Sira-Ramírez, "A comparison between the GPI and the PID controllers for the stabilization of a DC-DC buck converter: A field programmable gate array implementation," *IEEE Trans. Ind. Electron.*, vol. 58, no. 11, pp. 5251–5262, Nov. 2011.
- [19] Franco-González, A. R. Marquez, and H. Sira-Ramírez, "On the generalized-proportional-integral sliding mode control of the boost-boost converter," in *Proc. 4th Int. Conf. Electr. Electron. Eng.*, 2007, pp. 209–212.
- [20] J. Linares-Flores and H. Sira-Ramírez, "Sliding mode delta modulation GPI control of a DC motor through a buck converter," in *Proc. 2nd IFAC Symp. Syst., Structure Control*, Oaxaca, Mexico, Dec. 2004, pp. 442–447.
- [21] R. D. Middlebrook and S. Cuk, "A general unified approach to modeling switching-converter power stages," in *Proc. IEEE Power Electron. Specialists Conf.*, Cleveland, OH, USA, 1976, pp. 73–86.
- [22] P. Panagis, F. Stergiopoulos, P. Marabeas, and S. Manias, "Comparison of state of the art multilevel inverters," in *Proc. IEEE Power Electron. Specialists Conf.*, Jun. 15–19, 2008, pp. 4296–4301.
- [23] M. Fliess, J. Levine, P. Martin, and P. Rouchon, "Flatness and defect of non-linear systems: Introductory theory and examples," *Int. J. Control*, vol. 61, no. 6, pp. 1327–1361, 1995.
- [24] H. Sira-Ramírez and S. Agrawal, *Differentially Flat Systems*. New York, NY, USA: Marcel Dekker, 2004.
- [25] J. Lévine, *Analysis and Control of Nonlinear Systems: A Flatness-based Approach*. Berlin, Heidelberg, Germany: Springer-Verlag, 2009.
- [26] T. Kailath, *Linear Systems*. Englewood Cliffs, NJ, USA: Prentice-Hall, 1980.
- [27] S. Palnitkar, *A Guide to Digital Design and Synthesis*, 2nd ed. Upper Saddle River, NJ, USA: Prentice-Hall, 2003.
- [28] *IEEE Computer Society, IEEE Standard for Binary Floating-Point Arithmetic*, IEEE Std 754-1985, 1985.
- [29] U. Ascher and L. Petzold, *Computer Methods for Ordinary Differential Equations and Differential-Algebraic Equations*. Philadelphia, PA, USA: SIAM, 1998.
- [30] E. Kreyszig, *Advanced Engineering Mathematics*. Hoboken, NJ, USA: Wiley, 2006.
- [31] R. C. Dorf and R. H. Bishop, *Modern Control Systems*. Upper Saddle River, NJ, USA: Pearson Prentice-Hall, 2007.



**José Antonio Juárez-Abad** was born in Mexico City, Mexico, in 1979. He received the Electrical Engineers degree from the Instituto Tecnológico de Oaxaca, Oaxaca, México, in 2006, and the M.Sc. degree in electronic and computer from Universidad Tecnológica de la Mixteca, Huajuapán, México, in 2012.

He is currently a Professor for CECYTEO, Oaxaca, México. His research interests are automatic control applied to power electronics (multilevel converters), embedded system design

based in microcontrollers or FPGAs, and free software applied to school education.



**Jesús Linares-Flores** (M'13) received the B.S. degree in electronics engineering from Universidad Autónoma de Puebla in 1994, the M.Sc. degree from Universidad de las Américas-Puebla in 1999, and the Ph.D. degree from Centro de Investigación y de Estudios Avanzados del I.P.N. in 2006.

Since 2007, he is representative of Automatization and Control of the mechatronics systems UTMIX-CA-24-PROMEP. He is a Director of the Institute Electronics and Mechatronics, Universidad Tecnológica de la Mixteca, Oaxaca, Mexico. He is the author and coauthor of 20 technical papers in credited journals and international conferences. He is a SNI Level I Member of the CONACYT-MEX. His research interests are the theoretical and practical aspects of feedback regulation of linear and nonlinear dynamic systems with special emphasis in passivity-based and GPI control techniques and its applications in power electronics.

Dr. Linares-Flores is a member of the IEEE Industry Applications Society, the IEEE Power Engineering Society, and the IEEE Robotics and Automation Society.



**Enrique Guzmán-Ramírez** received the Electronic Engineers degree, M.Sc. degree in computer engineering, and Ph.D. degree in computers science from the Centro de Investigación en Computación, Escuela Superior de Ingeniería Mecánica y Eléctrica in 1992, 2003, and 2008, respectively.

He is currently a Research Professor with the Universidad Tecnológica de la Mixteca, Oaxaca, Mexico. His researches interests include development and implement hardware architectures on reconfigurable logic for control, artificial neural

networks, and image processing applications.



**Hebertt Sira-Ramírez** received the Electrical Engineer degree from the Universidad de Los Andes, Mérida, Venezuela, in 1970, and the M.Sc. and Ph.D. degrees in electrical engineering from the Massachusetts Institute of Technology, Cambridge, MA, USA, in 1974 and 1977, respectively.

He is a coauthor of several books on automatic control and the author of over 450 technical papers in credited journals and international conferences. His research interests are the theoretical and practical aspects of feedback regulation of nonlinear dynamic systems with special emphasis in variable structure feedback control, algebraic identification and estimation, and active disturbance rejection control.

## Apéndice E

# Técnicas de Modulación

**Resumen:** Este apéndice está integrado por dos trabajos sobre técnicas de modulación SPWM aplicadas a los inversores multinivel asimétricos de celdas en cascada. Se trataron dos configuraciones para este tipo de topología: configuración binaria y trinaria. Cada una de las técnicas fue diseñada y descrita en VHDL en un dispositivo de lógica reconfigurable (FPGA) de bajo costo y se diseñó una arquitectura de procesamiento en 32-bits considerando el estándar IEEE-754 de representación simple. La validación experimental se realizó por medio de un inversor monofásico de dos celdas en cascada. Para la configuración binaria, se obtuvieron siete niveles en el voltaje de salida. En el mismo sentido, para la configuración trinaria, se empleó la misma topología de inversor multinivel y se obtuvieron nueve niveles en el voltaje de salida del inversor. Esto permite demostrar que, con la misma topología de inversor multinivel, sin cambiar el número de dispositivos semiconductores, pero sí, cambiando la relación de las fuentes de alimentación, una técnica de modulación adecuada permite generar más niveles de voltaje en la salida de un inversor multinivel en esta topología.

### E.1. Técnicas de modulación para inversores multinivel monofásicos asimétricos binarios

Este es un artículo JCR y lleva por título:

**PWM techniques for an asymmetric multilevel binary inverter: an FPGA-based implementation (2021).**

<https://ietresearch.onlinelibrary.wiley.com/doi/full/10.1049/pe12.12131>


### E.2. Técnicas de modulación para inversores multinivel monofásicos asimétricos trinaros

En este apartado se tiene un artículo de conferencia y lleva por título:

**FPGA-based Level-shift PWM for an Asymmetric Multilevel Trinary Inverter (2016).**

<https://ieeexplore.ieee.org/document/7530749>

# PWM techniques for an asymmetric multilevel binary inverter: an FPGA-based implementation

José A. Juárez-Abad  | Jorge L. Barahona-Avalos | Jesús Linares-Flores

Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, Huajuapán de León, Oaxaca, México

## Correspondence

Jorge L. Barahona-Avalos, Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, km. 2.5 Carretera a Acatlín, C.P. 69000, Huajuapán de León, Oaxaca, México.  
Email: jbarahona@mixteco.utm.mx

## Abstract

This paper deals with the design and implementation of the conventional Level-Shifted-PWM (LS-PWM) and the PWM-hybrid modulation techniques in a Field-Programmable Gate Array (FPGA) development card, applicable to binary asymmetric multilevel converters; particularly herein, the Binary-Asymmetric Cascade Multilevel Inverter is treated (B-ACMLI). We employ an FPGA-based switching-controller to provide pulses for Multilevel Inverter (MLI) power semiconductors via their gate-drivers. The modulation strategies were implemented via an FPGA with a 32-bit floating-point architecture considering the IEEE-754 standard's recommendations. The portability of the design is ensured using VHDL. The use of embedded RAM blocks minimizes the logical resources consumed into the FPGA, increases overall speed, and reduces power consumption. A comparison is presented in terms of the number of resources used in both modulation techniques. A low-cost FPGA board named Pipistrello is used. Pipistrello is an FPGA development board for Xilinx Spartan-6 LX45, designed by Saanlima Electronics. The platform consisting of a single-phase seven-level inverter B-ACMLI hardware prototype. The experimental results show the effectiveness of the approach. As isolated voltage-sources, photovoltaic modules are used for the experimental setup to the B-ACMLI.

## 1 | INTRODUCTION

The process by which the switching devices present in an electronic power converter switch from one state to another is called modulation. This process is vital for the correct operation of the converter. The development of several modulation strategies has been of interest to the scientific power electronics community for many decades. The most crucial objective of modulation strategies is to optimize the circuit's operation for the most appropriate performance criteria for a different family of converters [1]. For example, each of the available multilevel inverter topologies presents modulation and control challenges such as voltage balancing, current flow, switching redundancies, and other issues that can address in the modulation stage [2–5]. Pulse-width modulation (PWM) generation is considered more important in the multilevel inverter (MLI) design. The PWM generator requirements of MLI quadratically increases with the number of levels used [6]. Currently, the available microcontrollers can only provide about six pairs of PWM channels, which are

insufficient for multilevel converter systems [6, 7]. In [8], they perform a performance comparison of PS-PWM modulation techniques for a seven-level cascade cell multilevel inverter, implementing modulation techniques in a microcontroller. They perform tests under different operating conditions and analyze the total harmonic distortion (THD) generated. However, they do not present details of how they implemented modulation techniques into the digital device. Reference [9] provided a comprehensive study between DSP and field programmable gate array (FPGA)-based PWM controllers in dynamic performance analysis, flexibility, and time to the market. They show how FPGA-based digital control properties are better than DSP ones for any relative term.

So one option is to use more specialized digital devices, such as FPGA to implement the multicarrier PWM pulse generator since these devices allow the design of 'ad hoc' digital modulators with the desired number of pulse switching using hardware description languages (HDL) [10–13]. A recent examination by Rodríguez-Andina and coworkers [14] includes a recent review of progress in FPGA technology, with an emphasis on

This is an open access article under the terms of the [Creative Commons Attribution](https://creativecommons.org/licenses/by/4.0/) License, which permits use, distribution and reproduction in any medium, provided the original work is properly cited.

© 2021 The Authors. *IET Power Electronics* published by John Wiley & Sons Ltd on behalf of The Institution of Engineering and Technology

novel features that can contribute significantly to the development and implementation of more efficient digital systems for both industrial and scientific research applications. In [15], a DSP-based controller is proposed for harmonic removal in H-bridge cascaded STATCOMs, and the use of FPGA, in this case, is restricted to the generation of 72 PWM signals. Chun et al. [16] describes a scheme for balancing the series capacitor voltages in a three-phase cascaded five-level inverter feeding an induction motor. In this case, two separate digital devices are used: a DSP to implement the control law and an FPGA where the 48 PWM signals necessary to switch the multi-level inverter semiconductor devices are generated. Solutions similar to that of using an FPGA as a multichannel PWM signal generator are proposed in [17–19]. However, with the advancement in FPGA technology and the development of new tools and digital design techniques, there is a clear tendency to integrate complete designs in this type of device. Unlike the works mentioned above, it is now possible to implement everything necessary for the modulation of the semiconductor devices present in a multi-level converter, in a single digital device. Currently, there are several design techniques as well as software environments available for the modelling of switching control schemes with an FPGA. Some commonly used design techniques that employ the MATLAB/Simulink environment include generation of the programming file with hardware description language (HDL) and production of the programming file with the System Generator tool [6]. However, these techniques require special software such as HDL coder, System Generator, PSIM, and ModelSim to verify the performance of generated VHDL code. During the design stage, the employing of the automatic code-generator impact mainly in two aspects: increase development cost and provides limited design options. This tools they are not regularly free and the commercial software available which manages to convert graphics into executable code (for example Matlab/Simulink or System Generator by Xilinx Inc.) often results in excessive use of hardware in the reconfigurable device, which can lead to exceeding the available size FPGA memory [20].

The objective of this work is to present an FPGA-based design technique for the Hybrid, and multicarrier-LSPWM modulation applied to a seven-level asymmetrical cascaded multilevel inverter (ACMLI) in binary structure, using a photovoltaic array how voltage source. The implementation technique that we propose reduces the development time, and it can easily use in fully implemented controllers in FPGAs. This paper also investigates two particular criteria in detail with emphasis on implementation and resources necessary for implemented in the digital programmable device. The design is based on the FPGA's embedded BRAMs using lookup tables to minimize the resources used for its realization. We constructed a hardware prototype for a single-phase seven-level inverter to verify the performance of the proposed implementation. To supply the prototype two photovoltaic arrays were used to validate their viability in such applications.

After the introduction, this work is organized in the following order: In Section 2, we described design realized mainly of two modules, Sine waveform generator and triangle waveform generator, both performed on a low-cost FPGA based

development board (Pipistrello, Spartan-6 LX45). The implementation, as well as the results obtained, are shown in Section 3. Finally, section 4 presents our conclusions.

## 2 | BACKGROUND CONSIDERATIONS

### 2.1 | The single-phase asymmetric cascaded multilevel inverter system

The available multilevel inverter (MLI) topologies used extensively include three main types: flying capacitor multilevel inverter (FCMI), diode-clamped multilevel inverter (DCMI), and cascaded cell multilevel inverter (CCMI) [21–24]. Notably, the CCMI topology has advantages compared with DCMI and FCMI [25]. A clear disadvantage of this type of topology is the high number of voltage sources required to power each of the inverter cells. However, nowadays, with the advent of renewable energy applications, the CCMI topology can be applied easily to interface a group of batteries, photovoltaic, or fuel cells [26, 27]. On the other hand, depending on the dc-link voltage ratio at their voltage sources, CCMI is classified as symmetric and asymmetric topology. When the amplitude of all sources on the CD bus are equal, then the inverter is called symmetric cascaded multilevel inverter (CMLI); otherwise, then it will be called ACMLI or hybrid multilevel inverter.

Hence, choosing the same dc-link voltage source for each of the H-bridge (HB) allows to reach the maximum output voltage with the minimum number of HBs and given switches; otherwise, choosing different dc-link voltage source for each cell enables to obtain the maximum output resolution with the minimum amount of HBs [28]. The ACMLI cascaded H-bridge topology has caught the attention of the power electronics community. It provides a high number of voltage levels when compared against the symmetrical configuration with the same amount of power semiconductor switches. Some advantages of the ACMLI topology are a reduced number of dc sources, high-speed capability, low switching loss, and high conversion efficiency [21, 22, 24, 29, 30]. Two popular asymmetric source configurations are binary and trinary. In the binary arrangement, values of dc-link voltage are in geometric progression with a factor of '2', while in trinary configuration the progression factor is '3' [31].

For this article, we show by means of Figure 1 the configuration of the hardware prototype; which consists of two stages: the power stage converter and the design implemented into the FPGA device. The power stage consists of two photovoltaic (PV) sources  $V_{pv1}$  and  $V_{pv2}$ , two capacitors named  $C_1$  and  $C_2$  connected to a single-phase two-cell arrangement (H-bridge) in binary cascade configuration. The ACMLI is powered by 8 PWM channels named  $S1, \overline{S1}, \dots, S4, \overline{S4}$ . The magnitudes of the PV source are  $V_{pv1} = E$  and  $V_{pv2} = 2E$ . Each bridge generates three different voltage outputs named  $(V_{pvn}, 0, -V_{pvn})$ .

In our design, it is possible to modify the modulation index effortlessly; Additionally, the modulating waveform can be acquired externally from some other digital device, for example, a DAC, DSP, or a data acquisition card. On the other hand,

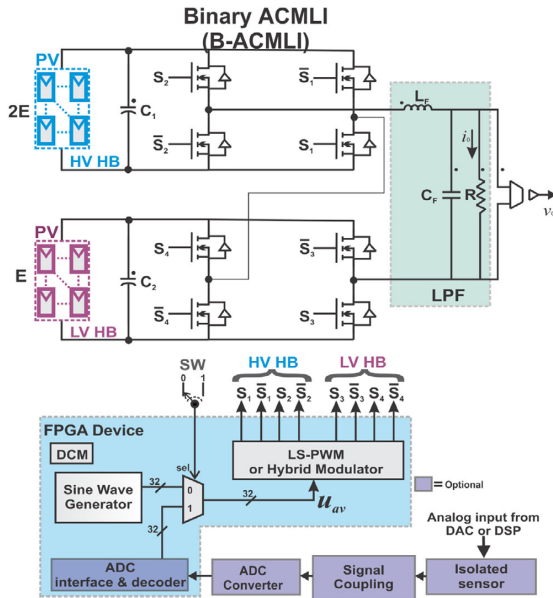


FIGURE 1 Block diagram of FPGA implementation for ACMLI with LC LPF at the output

our proposal is easily adaptable to designs that are implemented entirely in an FPGA, either fixed point or floating point, according to the chosen word format.

## 2.2 | Modulation techniques

There are different types of modulation techniques used in MLI, and they are classified into three main types: fundamental frequency switching, space vector PWM (SVPWM), and multicarrier SPWM [31–33]. The SPWM switching method is applied in ACMLI for a practical implementation [25, 33]. The multicarrier SPWM is divided into two main groups: Level-Shift PWM (LSPWM) and phase-shifting PWM (PSPWM) [25, 34–36]. Two recent survey articles by Javier Chavarría and Paul Sochor [37, 38] show the advantages of the LSPWM method over PSPWM, mainly in terms of energy balance in solar PV applications. This paper analyzed that three commonly used type LSPWM techniques are phase opposition disposition (POD), alternative phase opposition disposition (APOD), and phase disposition (PD) [36, 39, 40].

On the other hand, the hybrid modulation is an alternative strategy to ACMLI [22]. This technique incorporates stepped voltage waveform synthesis in *low-frequency* for high-voltage HB cell (HV-HB); thus, the switch turn-on and turn-off once per cycle, allowing to operate the HV-HB with the least amount of possible losses (see Figure 1). For the low-voltage HB (LV-HB), LSPWM or PSPWM with *high-frequency* is applied, which increases the fundamental component and get to a lower THD. We describe the elements necessary for the realization and

implementation of the mentioned techniques in the following sections.

## 2.3 | FPGA technology

Many studies have confirmed that the FPGA technology is the best candidate when high-speed performance is required [41]. Thus, an essential implementation step for custom computational architectures implemented in FPGAs is selecting a suitable data format. Fundamentally there are two ways to do it: fixed-point and floating-point representations, which have opposite effects on precision and latency [14]. Deciding between one form or another of data format depends both on precision and performance. Still, we should consider that greater accuracy requires a higher amount of digital device resources. FPGAs' critical past limitation was related to the minimal amount of resources available to implement floating-point calculations [14, 41]. A primary requirement for improving the performance of some applications is the ability to perform floating-point operations. An example of a case in which employed floating-point representation realized by Juárez-Abad et al. [42]. They implemented a generalized proportional-integral control algorithm to counteract disturbances in the load current of a multilevel buck converter that acts as an inverter. Control structure and modulation strategy both have implemented into only one FPGA device; examples like this enable task parallelism exploitation inherent in the control algorithm and customized design. Similar designs are treated in [43–46].

On the other hand, FPGA can supply multiple custom PWM generators and can quickly meet this requirement. The main advantage of this reconfigurable digital device is concurrent execution; that is, it can run all operations in parallel with the clock signal. Parallel processing capabilities in FPGAs allow the modulator switches very fast to the power semiconductors of the multi-level inverter [41].

## 3 | FPGA IMPLEMENTATION OF MODULATION STRATEGIES

FPGA-based implementation for this paper follows a *top-down* design methodology [47]. We employ a Floating-point representation to provide adaptability in terms of integration with designs with the same numerical representation. The FPGA-based PWM techniques have been *hand-coded* in VHDL through of Xilinx ISE Design Suite 14.7. A low-cost FPGA based development board for implementing the proposed design has been used (*Pipistrello, Spartan-6 LX45 from Xilinx*). We use the device's embedded memory blocks (BRAMS); therefore, we do not need external storage.

### 3.1 | Layout of the modulation strategies

SPWM and hybrid modulation strategies employ a reference waveform; generally, a sine waveform also named



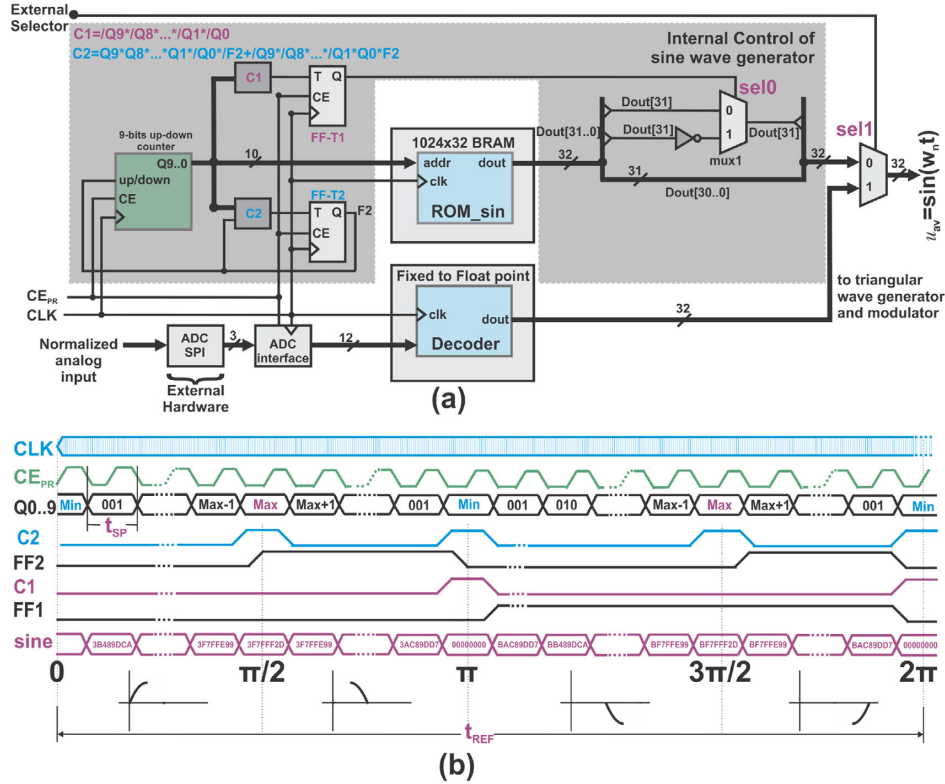


FIGURE 2 Sine Waveform Generator: (a) block diagram; (b) timing diagram control

modulating signal, which is compared by a defined number of carrier waves, commonly triangle waveforms. The magnitude comparison of both waveforms produces an encoded pulse-chain for each carrier for the multi-level inverter controller. Hence, it is necessary to design two main elements present in both modulation strategies: *sine wave generator* (SWG) and *triangle wave generator* (TWG). The next parts detail the development of each one of them.

### 3.2 | FPGA design of SWG

In order to generate the reference waveform must be obtained an approximation of the sine function  $v_{ref} = \sin(w_n t)$ ; where  $w_n = 2\pi f$ . The discretization is obtained by approximating the  $\sin(w_n t)$  function using the format of single-precision floating point. The signal has a frequency of  $f = 60$  Hz, therefore its period is  $t_{REF} \approx 16.666$  ms and peak-to-peak amplitude value ranging from  $v_{ref} = [-1, 1]$ . Based on a sampling time  $t_{SP} = 4\mu s$ , the sine wave function has approximately 4096 sample points ( $t_{REF}/t_{SP} \approx 4096$ ).

Figure 2(a) shows the block diagram for the SWG submodule. This submodule includes a custom BRAM-based ROM memories called  $ROM_{sin}$ , configured as  $1024 - word \times$

32 bits.  $ROM_{sin}$  memory containing the pre-calculated values of the sine wave function and a Fixed-to-Float point decoder whose function is to decode the obtained measurement of the ADC converter to single-precision floating-point. In this work, a design premise is to reduce the number of logical resources used by the device; therefore, we take advantage of the quarter-symmetry of the sine wave to generate it. Therefore, only the segment  $[0, \pi/2]$  of  $\sin(w_n t)$  is calculated and stored in  $ROM_{sin}$ . The internal control of SWG is responsible for generating the remaining segments  $[\pi/2, 2\pi]$ , this is accomplished through two tasks: up/down counting (*9-bits up-down counter*) and sign change (*sel0*). Based on the timing diagram of Figure 2(b) the operations are performed in the following order:

- At first, 9-bits counter Up/down synchronous  $Q[9 \dots 0]$  is ascending. Thus, the segment  $[0, \pi/2]$  of the sine wave function is generated.
- If  $Q[9 \dots 0]$  is  $MAX = 1023$ , the logical operator  $C2$  with  $FF - T2$  establishes a count-down. During this interval the segment  $[\pi/2, \pi]$  of the sine wave function is generated.
- If  $Q[9 \dots 0]$  is  $MIN = 0$ , the logical operator  $C1$  with  $FF - T1$  causes a sign change through the mux *sel0*. Only  $Dout[31]$  bit is changed of  $Dout[31 \dots 0]$ . In this process, interval

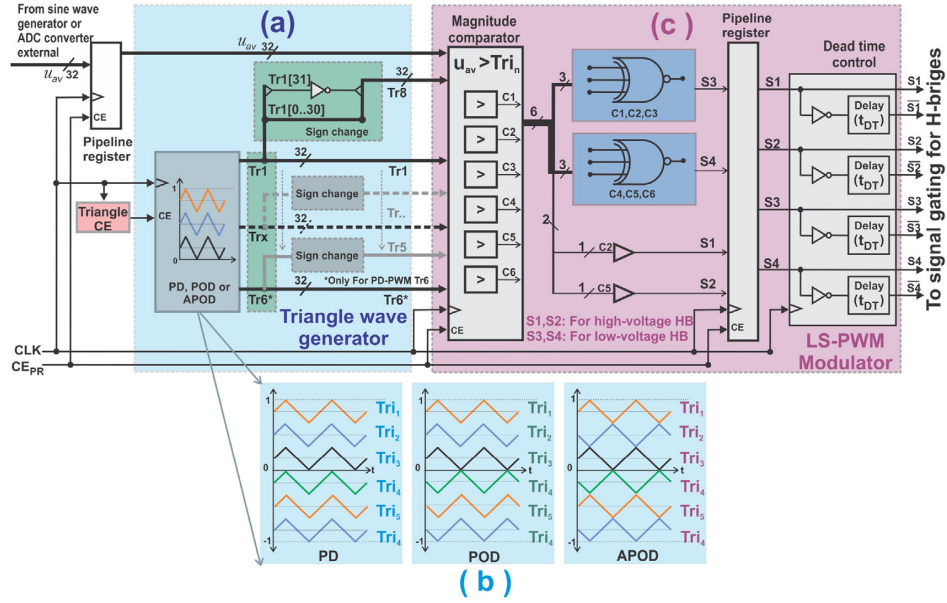


FIGURE 3 Block diagram: (a) TWG submodule; (b) LS-PWM Modulator; (c) LS-PWM variant

is generated of  $[\pi, 3\pi/2]$ . The interval  $[3\pi/2, 2\pi]$  is generated in a similar way. Well, the whole process repeats indefinitely.

The *Decoder* module is disposed to extend the functionality of the design and receive an appropriate reference wave signal from an outside source. The sampling time of the ADC ( $t_{ADC}$ ) may be equal or less than  $t_{SP}$  ( $t_{ADC} \leq t_{SP}$ ). The reference signal can be selected via mux *Sel1*, this is actuated externally through *SW* (see Figure 1). We must emphasize that this functionality is additional and is unnecessary for the operation of our design since the reference signal is mainly generated within the FPGA by the procedure already described.

### 3.3 | FPGA design of TWG

Figure 3(a) shows the block diagram of the TWG. The generation of the carriers for the modulator follows the same principle as described for the sine wave function. The TWG submodule produces a discrete approximation of several triangular waves of  $f_c = 1$  kHz with  $t_c = 1/f_c = 1$  ms, depending on the LSPWM variant (See Figure 3(b)). Each triangular carrier has a peak-to-peak amplitude of  $1/6$ . We analyze that for the PD strategy, the operators have no relation in terms of symmetry:  $Tri_1 \neq Tri_2 \neq \dots \neq Tri_6$ , therefore we generate independent triangular waves. However, POD and APOD strategies, the triangle waves have a relationship in terms of symmetry for both cases, that is,  $Tri_6 = -Tri_1$ ,  $Tri_5 = -Tri_2$  and  $Tri_4 = -Tri_3$ . This condition allows used less logic into the FPGA.

Based on this observation, it is possible to exploit the symmetry for POD and APOD strategies, generating only three carriers ( $Tri_1$ ,  $Tri_2$  and  $Tri_3$ ) and change the sign-bit to get ( $Tri_4$ ,  $Tri_5$  and  $Tri_6$ ); this is possible due to the floating-point representation. The discretization of the triangle waves is obtained from the approximation of each one individually using a single-precision floating-point format. Based on a sampling time  $Triangle_{CE} = 1\mu s$  (see Figure 3(a)), the triangle wave has approximately 1000 sample points ( $t_c / Triangle_{CE} = 1000$  samples). We precomputed using a discrete approximation of the triangle waves and stored in 1000-word 32-bit BRAM memories available into the FPGA.

The carrier frequency is possible increased, employing the *Triangle CE* submodule shown in Figure 3(a). This submodule is a counter so that by increasing or decreasing its count, the frequency is modified indirectly. The basic idea is to increase or decrease the time spent ( $Triangle_{CE}$ ) reading the BRAM memory of the TWG. Therefore, it is possible to reach a frequency ( $f_c$ ) until 25 kHz.

### 3.4 | Implementation of LSPWM strategies

The PWM scheme, implemented in the design, is the sine-type with Level-Shifted PWM (LSPWM) of multiple carrier signals is shown in Figure 3(c). This module receives the reference signal from the SWG ( $u_{av}$ ) and triangular carrier waves of the TWG ( $Tri_1, \dots, Tri_6$ ). The  $C_n$  signals are generated by the intersection of the modulating wave ( $u_{av}$ ) and the carrier waves ( $Tri_n$  for  $n = 1, \dots, 6$ ) according to the expression 1. The PWM module

generates six PWM outputs channels named:  $C_1, \dots, C_6$ , which are employees to control the MOSFETs via the gate-driver to the B-ACMLI.

$$C_n = \begin{cases} 1 & \text{si } u_{av} > Tri_n \\ 0 & \text{si } u_{av} < Tri_n, \end{cases} \quad (1)$$

for  $n = 1, \dots, 6$

The LSPWM uses six 32-bit comparators for obtaining PWM output. The number of gate-driver signals is reduced from 6 to 4, two gate-driver signs for each inverter cell. We carry out the reduction as mentioned above in the same way as in [30, 48]; in their papers, they use an arrangement of XNOR logic gates with three inputs.

The logical operation performed is given by Equation (2), generates  $S3$  and  $S4$  respectively, and connects with the low voltage cell (LV-HB) of the B-ACMLI.

$$S_3 = \overline{C_1 \oplus C_2 \oplus C_3} \quad (2)$$

$$S_4 = \overline{C_4 \oplus C_5 \oplus C_6}$$

Variants of the LSPWM strategy, such as PD, POD, or APOD, is similar, except for the triangle waves used. Finally  $S1$  and  $S2$  are generated from  $C2$  and  $C5$ , are used which generates the input signal to the gate-driver in high-voltage cell (see Figures 1 and 3(c)).

The *dead time* generation shown in Figure 3(c) is implemented via software to prevent crossings between complementary signals from each HB. We implemented  $t_{DT}$  using a Finite State Machine (FSM), and we chose a delay of 350 ns, considering a value higher than that of the technical sheet of the MOSFET.

### 3.5 | Implementation of the hybrid strategy

Figure 4 shows the block diagram for the binary hybrid modulation strategy, which has two sections: HV-HB and LV-HB. HV-HB section comprises the generation of the gate-driver for the high-voltage cell. We generate the switching pulses by comparison the sine wave function received from the SWG and constant  $K1$  [49], using the comparators  $C1$  and  $C2$ . The signals  $S1$  and  $S2$  are connected to the high voltage cell (see Figure 4). To obtain the values of  $V_{pp}$  and  $V_{nn}$  a logical-to-floating value is assigned based on what is obtained by the comparators, according to the Equation (3).

$$V_{pp} = \begin{cases} 2 & \text{si } C1 = \{1\}' \\ 0 & \text{si } C1 = \{0\}' \end{cases} \quad (3)$$

$$V_{nn} = \begin{cases} -2 & \text{si } C2 = \{1\}' \\ 0 & \text{si } C2 = \{0\}' \end{cases}$$

The test point 'A,' shown in Figure 4 shows the signal resulting from the sum of  $V_{pp}$  and  $V_{nn}$ . This signal is subtracted from the sine function with magnitude  $K2 \sin(\omega_n t)$ , the result of this

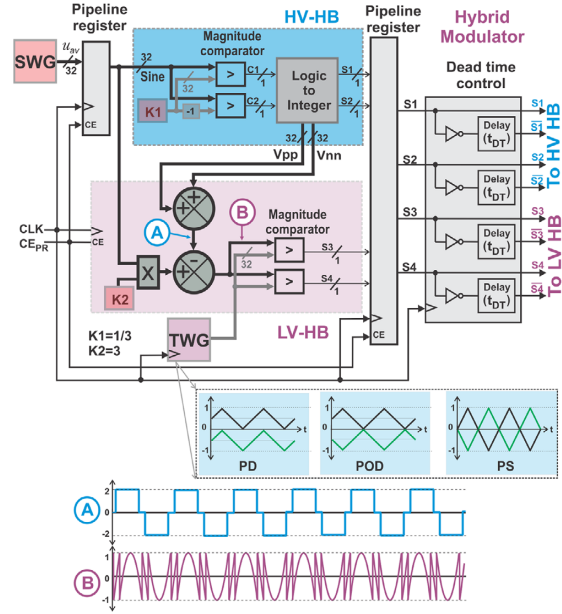


FIGURE 4 Block diagram for the binary hybrid modulation strategy

operation will be the modulating signal for the low-voltage cell (see test point 'B' in Figure 4).

The TWG submodule provides the carriers signals, where these have the following arrangements: PD, POD, and PS (see Figure 4). The low-voltage cell will connect to  $S3$  and  $S4$ .

### 3.6 | Utilization of input-output (I/O) ports of FPGA board

The development card used has a Papilio-style wing interface with 48 user-defined I/O signals (property of Saanlima Electronics). The boards have female headers installed on the wing interface. For our implementation, we use 8 I/O signals corresponding to the 8 PWM channels used for the B-ACMLI. If considering adding an external modulation signal, as proposed at the beginning of this paper, the increase in I/O signals will be according to the analog-to-digital converter used. For example, for our case, we use a converter with the SPI-bus, and the number of necessary I/O signals is 3 ( $SPI_{clk}$ , Enable, and  $SPI_{data}$ ). The total number of I/O signals used for implementation is 8 for PWM channels + 3 for ADC = 11 I/O.

### 3.7 | FPGA resources utilization

An essential point considered is the summary of the use of the device, generally obtained from the tool where the implementation is carried out and provided by the manufacturer of the FPGA; in our case Xilinx ISE 14.7. We make a comparison in terms of the logical resources needed to implement them.

**TABLE 1** Comparison of the implementation of FPGA resources used in LS-PWM and hybrid modulation techniques

Mod.	Slices (54,576 <sup>a</sup> )	LUTs (27,288 <sup>a</sup> )	Embedded BRAMs (116 <sup>a</sup> )	IOBs (48 <sup>a</sup> )
LSPWM				
PD	385 (0.7%)	626 (2.2%)	14 BRAMs (12%)	11 (22%)
POD	407 (0.74%)	607 (2.2%)	8 BRAMs (6.8%)	11 (22%)
APOD	407 (0.74%)	607 (2.2%)	8 BRAMs (6.8%)	11 (22%)
HYBRID <sup>b</sup>				
PD	981 (1.79%)	1267 (4.64%)	4 BRAMs (3.44%)	11 (22%)
POD	981 (1.79%)	1267 (4.64%)	4 BRAMs (3.44%)	11 (22%)
PS	981 (1.79%)	1267 (4.64%)	4 BRAMs (3.44%)	11 (22%)

<sup>a</sup>Available

<sup>b</sup>All Hybrid techniques need two DSP48A1s for arithmetic operations (multiplier), and the total available is 58, only 3.4% is consumed.

Table 1 shows the result of the implementation of each one of the techniques designed; it shows fundamental design elements such as *Slices*, *LUTs*, *Elements embedded (BRAM)*, and *Input/Output Buffers (IOB)*.

Here, the number of BRAMs used by the LSPWM-PD technique is 14. The reason is that the generation of the carrier waveforms for this strategy does not have symmetry, which can help reduce the consumption of implementation resources.

On the other hand, the use of BRAMs in hybrid modulation techniques is less; however, hybrid strategies consume more LUTs. Additionally, all of them need 2 DSP48A1s. These blocks are used for the implementation of Multiplier in FPGA. Extrapolating, if the number of H-bridges in the B-ACMLI increases, the embedded memory consumption (BRAM) would increase so that a suitable solution would be hybrid modulation, despite the additional requirement of DSP48A1s elements.

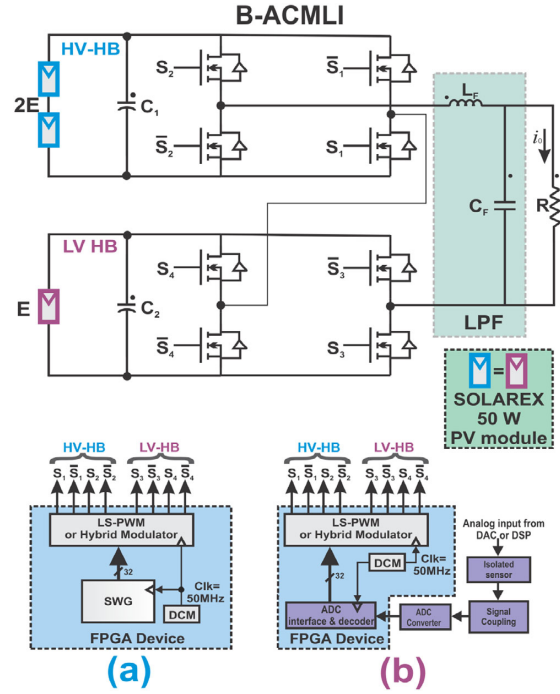
Only one DCM (Digital Clock Manager) was used for internal clock generation and eliminating clock skews within FPGA-based design.

## 4 | HARDWARE RESULTS

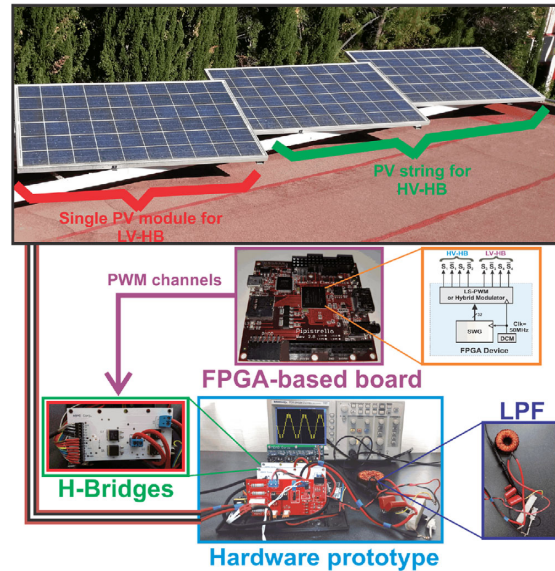
### 4.1 | Experimental setup and results

This section presents the experimental setup and the analysis of results to validate the strategies implemented. For this purpose, Figures 5 and 6 show the block diagram and hardware prototype developed, respectively, which is implemented in the laboratory. The components used for implementation of hardware prototype are given in Table 2.

We designed an LC type second order low pass filter (LPF) with a cutoff frequency of 900 Hz to verify the waveform obtained at the output of the ACMLI. The nominal values of the filter elements are  $L_f = 1$  mH and  $L_f = 1$  mH and  $C_f = 4.7$   $\mu$ F. The DC-Link is composed of three *SOLAREX* photovoltaic modules of 50 W, with  $V_{oc} \approx 18.48$  V and  $I_{sc} \approx 2.75$  A;



**FIGURE 5** Block diagram of the experimental setup: (a) internal modulating signal obtained from SWG; (b) external modulating signal received via ADC from a function generator equipment



**FIGURE 6** Hardware setup for seven-level monophasic B-ACMLI system connected to R load

TABLE 2 List of components used for implementation

Component	Part number
FPGA board	Pipistrello
ADC board	Spartan-6 LX45 from Xilinx
Power switches	MOSFET
Gate driver	PC923
PV module	SOLAREX (50 W)

TABLE 3 Parameter specification for B-ACMLI module

Parameter	Specification
Switching frequency	[kHz] 10
Input voltage for LV-HB	[V] 18
Input voltage for HV-HB	[V] 36
Inductor ( $L_f$ )	[mH] 1
Capacitor ( $C_f$ )	[ $\mu$ F] 4.7
Modulation index ( $m$ )	[pu] 0.88
Resistance load ( $R$ )	[ $\Omega$ ] 100

data read from your technical card. We employ a load resistor ( $R$ ) with a nominal value of  $100\Omega/100$  W.

A summary of the list of components specification used in the hardware prototype is given in the Table 3.

We obtained the results according to Figure 5. We carried out two tests: The first one using the modulating signal generated by the FPGA through the SWG and the second using a modulating via an analog-to-digital converter from a function generator equipment. Additionally, for this first test, we obtained the waveforms resulting in high and low-voltage cells for both the LSPWM and hybrid modulation, but only for one of the variants (see Section 4.2).

For the second experiment, we performed a test with the hybrid modulation in its PS variant. For this test, we use an analog signal with the following electrical characteristics: waveform sinusoidal with  $f = 60$  Hz and  $V_{pp} = 2.6$ V (see Section 4.3). In all tests, we used a amplitude modulation index ( $m = A_m/A_c$ ) of  $m = 0.88$ .

#### 4.2 | Test results 1

Figure 7 shows the output waveform with seven levels of the LSPWM-POD modulation. Before and after the LPF, both signals were captured with an oscilloscope. Figure 8 shows the THD analysis for the voltage ( $THD_v$ ), we measured after the LPF, and we performed them with power-quality equipment (HIOKI 3197). We can observe the high-quality of the output voltage obtained.

Figure 9 shows the B-ACMLI output waveform of all modulation strategies based on our design proposal.

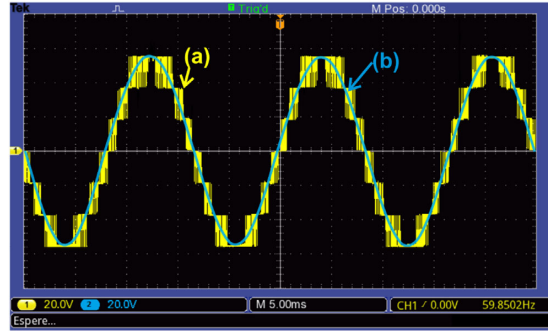


FIGURE 7 Hardware results for LSPWM-POD: (a) output waveform with seven levels; (b) sinusoidal output waveform after LPF

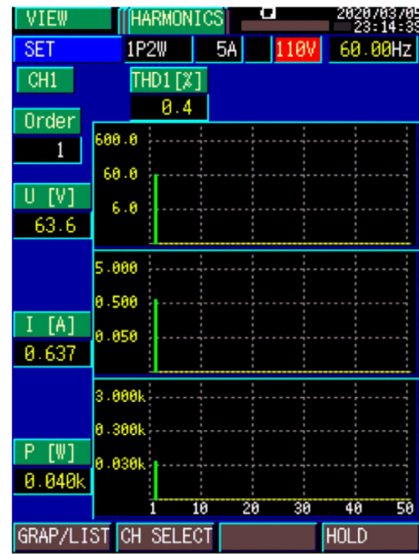


FIGURE 8 THD analysis for the voltage ( $THD_v$ ) captured with the power-quality equipment (HIOKI 3197)

Figure 10 shows the analytical spectrum (FFT) for B-ACMLI output waveform of all modulation strategies.

Figure 11 shows the output of the high and low voltage cells (HV-HB and LV-HB, respectively) for the LSPWM-POD modulation strategy obtained with an oscilloscope with isolated probes.

In the same way as for the LSPWM strategy shown above, Figure 12 shows the output of the high and low voltage cells (HV-HB and LV-HB, respectively) for the hybrid modulation strategy in its PS variant obtained with an oscilloscope with isolated probes.

#### 4.3 | Test results 2

We performed this experiment to test our design's functionality when the modulating signal is supplied from an external source,

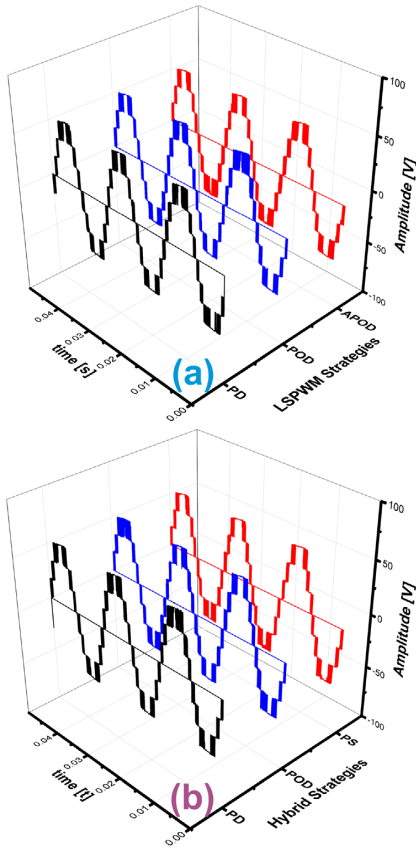


FIGURE 9 (a) LSPWM strategies: PD, POD and APOD; (b) hybrid strategies: PD, POD and PS

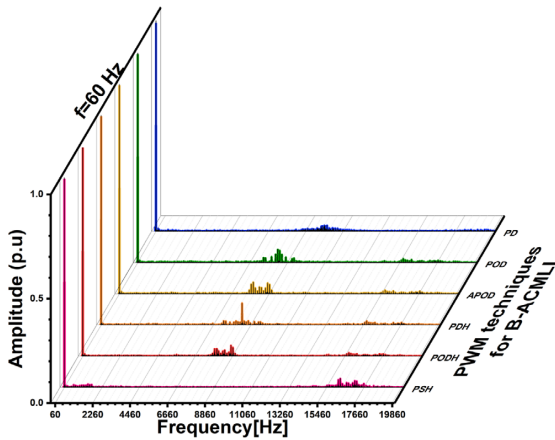


FIGURE 10 Analytical spectrum (FFT) for LSPWM strategies (PD, POD and APOD) and hybrid strategies: PDH, PODH and PSH

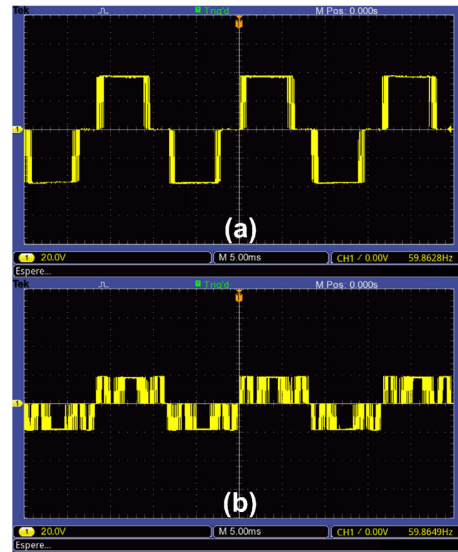


FIGURE 11 LSPWM-POD strategy: (a) HV-HB; (b) LV-HB

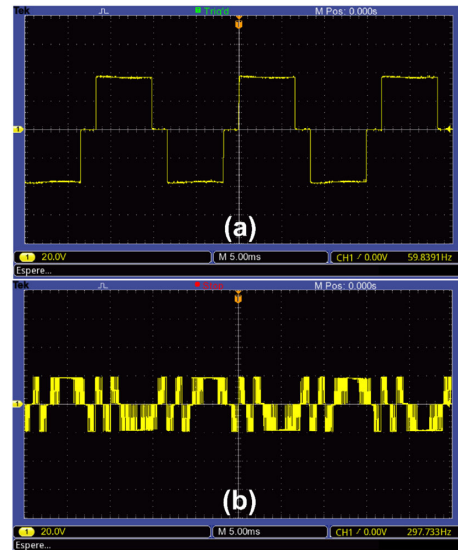


FIGURE 12 Hybrid-PS strategy: (a) HV-HB; (b) LV-HB

not from the SWG within the FPGA. The capture of the external signal is carried out utilizing an analog-to-digital converter board that we designed (see Figure 13). The ADC-board operates at a voltage of 3.3 V; a sine waveform of  $2.6 V_{pp}$  was applied through a function generator equipment to guarantee a modulation index in amplitude  $m = 0.88$  as in test 1 of Section 4.2. Figure 14 shows the results of test 2. We observed that for a hybrid-PS modulation strategy, the voltage output has the same waveform as in test 1, so we conclude that it was successful.

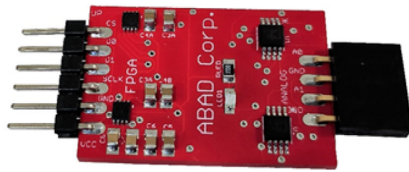


FIGURE 13 Analog-to-digital converter board (own design), based in ADS7041 of Texas Instruments (10-bits)

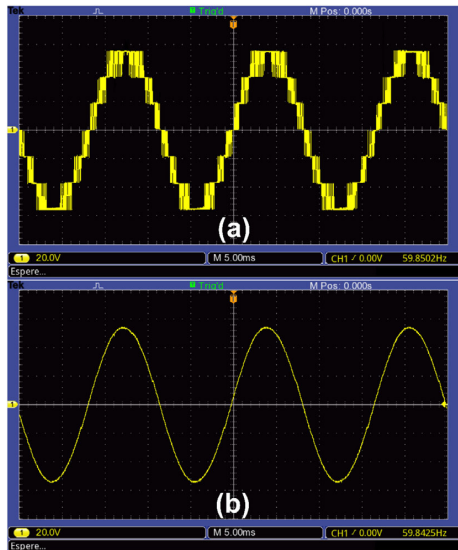


FIGURE 14 External source for hybrid-PS modulation strategy: (a) output waveform with 7-levels; (b) sinusoidal output waveform after LPF

## 5 | CONCLUSIONS

This paper raises, from a focus on implementation, a design framework to complete a hybrid modulator and LSPWM in an FPGA-based architecture used in converters B-ACMLI. The method proposed shows quasi-analog behaviour. The use of floating-point design allows the handling of more extensive ranges and more accurate results. Additionally, we can easily connect with other structures of floating-point arithmetic, such as control algorithms with a high dynamic range in their variables. Furthermore, to increase the capacities of the design proposed, the implemented modulators can work using a sinusoidal signal via another digital device such as a DSP or a data acquisition card. The experimental results obtained show that utilizing a discrete approximation of the triangular and sinusoidal signals using the BRAMs within the FPGA, it is possible to decrease the number of resources used in it. On the other hand, in the proposed implementation it making use of the quarter-wave symmetry property of the signals used, achieving significant savings in the consumption of logical resources inside the FPGA. The implementation results show that the modulator LSPWM-PD consumes more logical resources than the other strategies

discussed. We assume that some rules must be considered when choosing an FPGA as a switching controller in multilevel converters: The number of I/O channels available from the FPGA is limited by the development card we use. FPGAs have several dozen I/O channels. In the same vein, it is necessary to consider that the amount of logical resources required to implement a modulation technique depends on which one is chosen. For our proposal, an essential internal element is RAM blocks (BRAM) since the number of BRAMs needed grows in direct proportion to the number of PWM channels required. Both limitations are mainly related to the FPGA, as its capacity is not unlimited.

## ORCID

José A. Juárez-Abad  <https://orcid.org/0000-0001-7440-0849>

## REFERENCES

- Holmes, D. G., Lipo, T. A.: Pulse Width Modulation for Power Converters Principles and Practice. IEEE Series on Power Engineering, 1ed John Wiley & Sons, Hoboken USA (2003)
- Leon, J.I., et al.: The essential role and the continuous evolution of modulation techniques for voltage-source inverters in the past, present, and future power electronics. *IEEE Trans. Ind. Electron.* 63(5), 2688–2701 (2016)
- Schettino, G., et al.: Overview and experimental analysis of MC SPWM techniques for single-phase five level cascaded H-bridge FPGA controller-based. In: *IECON 2016-42nd Annual Conference of the IEEE Industrial Electronics Society*, Florence (2016)
- Salgado-Herrera, N., et al.: DSPWM multilevel technique of 27-levels based on FPGA for the cascaded dc/ac power converter operation. *Int. Trans. Electr. Energy Syst.* 28(1), e2479 (2018)
- Benanti, S., et al.: Experimental analysis with FPGA controller-based of mc pwm techniques for three-phase five level cascaded H-bridge for PV applications. In: *2016 IEEE International Conference on Renewable Energy Research and Applications (ICRERA)*, Birmingham (2016)
- Rabiul, I., Guo, Y.: *Power Converters for Medium Voltage Networks*, 1st ed., Green Energy and Technology series. Springer, Heidelberg (2014)
- Wang, L., Wu, W.: FPGA based multichannel PWM pulse generator for multi-modular converters or multilevel converters. In: *2006 CES/IEEE 5th International Power Electronics and Motion Control Conference*, Shanghai (2006)
- Monopoli, V.G., et al.: Performance comparison of variable-angle phase-shifting carrier PWM techniques. *IEEE Trans. Ind. Electron.* 65(7), 5272–5281 (2018)
- Fratta, A., Griffero, G., Nieddu, S.: Comparative analysis among DSP and FPGA-based control capabilities in PWM power converters. In: *30th Annual Conference of IEEE Industrial Electronics Society, 2004. IECON 2004, Busan* (2004)
- Al-safi, A., et al.: Advances in FPGA based PWM generation for power electronics applications: Literature review. In: *1th IEEE Annual Information Technology, Electronics and Mobile Communication Conference (IEMCON)*, Vancouver (2020)
- Sarker, R., Datta, A., Debnath, S.: Fpga implementation of phase disposition PWM (PD-PWM) strategy for cascaded h-bridge multilevel inverter (CHB-MLI). In: *2020 IEEE Applied Signal Processing Conference (ASP-CON)*, Kolkata (2020)
- Bharatiraja, C., Jeevananthan, S., Munda, J.L.: A timing correction algorithm-based extended svm for three-level neutral-point-clamped mli in over modulation zone. *IEEE J. Emerging Sel. Top. Power Electron.* 6(1), 233–245 (2018)
- Cecati, C., et al.: FPGA-based multilevel modulations for H-bridge-based converters. In: *2004 IEEE International Symposium on Industrial Electronics, Ajaccio* (2004)

14. Rodríguez-Andina, J.J., Valdés-Peña, M.D., Moure, M.J.: Advanced features and industrial applications of FPGAs—a review. *IEEE Trans. Ind. Inf.* 11(4), 853–864 (2015)
15. Wang, Y., et al.: A harmonic elimination approach based on moving average filter for cascaded dstatcom. In: *IECON 2014-40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, USA, pp. 4508–4513 (2014)
16. Chun, T.W., et al.: A simple capacitor voltage balancing scheme for the cascaded five-level inverter fed ac machine drive. In: *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, Bristol, UK, pp. 1–5 (2012)
17. Janik, D., et al.: Control of primary voltage-source active rectifiers of traction converter with medium-frequency transformer: Advantages of control unit combining DSP and FPGA. In: *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, Novi Sad, Serbia, pp. LS4a.2–1–LS4a.2–7 (2012)
18. Hwang, S., et al.: Distributed digital control of modular-based solid-state transformer using DSP+FPGA. *IEEE Trans. Ind. Electron.* 60(2), 670–680 (2013)
19. Morales-Caporal, R., et al.: Transducerless acquisition of the rotor position for predictive torque controlled pm synchronous machines based on a DSP-FPGA digital system. *IEEE Trans. Ind. Inf.* 9(2), 799–807 (2013)
20. Zhu, W.: FPGA logic devices for precision control: An application to large friction actuators with payloads. *IEEE Control Syst. Mag.* 34(3), 54–75 (2014)
21. Valla: *Multilevel Converters for Industrial Applications*, Industrial Electronics series. CRC Press, Boca Raton Florida (2013)
22. Fang Lin, L., Ye, H.: *Advanced DC/AC inverters: Applications in Renewable Energy*. Power Electronics, Electrical Engineering, Energy, and Nanotechnology series. Taylor & Francis, Oxfordshire (2013)
23. Koshti, A.K., Rao, M.N.: A brief review on multilevel inverter topologies. In: *2017 International Conference on Data Management, Analytics and Innovation (ICDMAI)*, Pune, India, pp. 187–193 (2017)
24. Pharne, I.D., Bhosale, Y.N.: A review on multilevel inverter topology. In: *2013 International Conference on Power, Energy and Control (ICPEC)*, Dindigul, India, pp. 700–703 (2013)
25. Franquelo, L.G., et al.: The age of multilevel converters arrives. *IEEE Ind. Electron. Mag.* 2(2), 28–39 (2008)
26. Muhammad, R.: *Power Electronics Handbook*, 4th ed. Butterworth-Heinemann, Oxford (2017)
27. Khomfoi, S., Praisuwanna, N., Tolbert, L.M.: A hybrid cascaded multilevel inverter application for renewable energy resources including a reconfiguration technique. In: *2010 IEEE Energy Conversion Congress and Exposition*, Atlanta, GA, USA, pp. 3998–4005 (2010)
28. Mariethoz, S., Rufer, A.: Design and control of asymmetrical multi-level inverters. In: *IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02*, Seville, Spain, vol. 1, pp. 840–845 vol. 1 (2002)
29. Nami, A., et al.: A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped H-bridge cells. *IEEE Trans. Power Electron.* 26(1), 51–65 (2011)
30. Vargas, R.A., et al.: Analysis of minimum modulation for the 9-level multilevel inverter in asymmetric structure. *IEEE Lat. Am. Trans.* 13(9), 2851–2858 (2015)
31. Gupta, K.K., et al.: Multilevel inverter topologies with reduced device count: A review. *IEEE Trans. Power Electron.* 31(1), 135–151 (2016)
32. Salem, A., et al.: Voltage source multilevel inverters with reduced device count: Topological review and novel comparative factors. *IEEE Trans. Power Electron.* 36(3), 2720–2747 (2021)
33. Hosseini Aghdam, M.G., Fathi, S.H., Gharehpetian, G.B.: Analysis of multi-carrier pwm methods for asymmetric multi-level inverter. In: *2008 3rd IEEE Conference on Industrial Electronics and Applications*, Singapore, pp. 2057–2062 (2008)
34. Preethi, G., Monika, J.G., Jamuna, V.: Digital simulation of multicarrier PWM strategy for multi-level inverter. In: *2012 International Conference on Computing, Electronics and Electrical Technologies (ICCEET)*, Nagercoil, Tamil Nadu, India, pp. 509–514 (2012)
35. Omer, P., Kumar, J., Surjan, B.S.: Comparison of multicarrier PWM techniques for cascaded H-bridge inverter. In: *2014 IEEE Students' Conference on Electrical, Electronics and Computer Science*, India, pp. 1–6 (2014)
36. Barghi Latran, M., Teke, A.: Investigation of multilevel multifunctional grid connected inverter topologies and control strategies used in photovoltaic systems. *Renewable Sustainable Energy Rev.* 42, 361–376 (2015)
37. Chavarria, J., et al.: Energy-balance control of PV cascaded multilevel grid-connected inverters under level-shifted and phase-shifted PWMs. *IEEE Trans. Ind. Electron.* 60(1), 98–111 (2013)
38. Sochor, P., Akagi, H.: Which is more suitable to a modular multilevel SDBC inverter for utility-scale PV applications, phase-shifted PWM or level-shifted PWM? In: *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, USA, pp. 1–7 (2016)
39. Rozanov, Y.: *Power Electronics Basics: Operating Principles, Design, Formulas, and Applications*. CRC Press, Boca Raton Florida (2016)
40. Euzeli dos Santos: *Advanced Power Electronics Converters: PWM Converters Processing AC Voltages*. 1st ed., IEEE Press Series on Power Engineering. Wiley, Hoboken (2014)
41. Monmasson, E., et al.: FPGAs in industrial control applications. *IEEE Trans. Ind. Inf.* 7(2), 224–243 (2011)
42. Juárez-Abad, J.A., et al.: Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An FPGA implementation. *IEEE Trans. Ind. Inf.* 10(1), 256–266 (2014)
43. Guzinski, J., Abu-Rub, H.: Speed sensorless induction motor drive with predictive current controller. *IEEE Trans. Ind. Electron.* 60(2), 699–709 (2013)
44. Guo, H., et al.: Implementation of EKF for vehicle velocities estimation on FPGA. *IEEE Trans. Ind. Electron.* 60(9), 3823–3835 (2013)
45. Liu, J., Dinavahi, V.: A real-time nonlinear hysteretic power transformer transient model on FPGA. *IEEE Trans. Ind. Electron.* 61(7), 3587–3597 (2014)
46. Lu, X., et al.: Data-driven predictive gearshift control for dual-clutch transmissions and FPGA implementation. *IEEE Trans. Ind. Electron.* 62(1), 599–610 (2015)
47. Kaeslin, H.: *Top-Down Digital VLSI Design: From Architectures to Gate-Level Circuits and FPGAs*, 1st ed. Morgan Kaufmann, Burlington (2014)
48. Radha Sree, K., et al.: Asymmetric cascaded multilevel inverter for electric vehicles. In: *IEEE-International Conference on Advances in Engineering, Science and Management (ICAESM-2012)*, Nagapattinam, India, pp. 758–763 (2012)
49. Rech, C., Pinheiro, J.R.: Impact of hybrid multilevel modulation strategies on input and output harmonic performances. *IEEE Trans. Power Electron.* 22(3), 967–977 (2007)

**How to cite this article:** Juárez-Abad, J.A., Barahona-Avalos, J.L., Linares-Flores, J.: PWM techniques for an asymmetric multilevel binary inverter: an FPGA-based implementation. *IET Power Electron.* 1–11 (2021). <https://doi.org/10.1049/pel2.12131>



2016 13th International Conference on Power Electronics (CIEP)

# FPGA-based Level-shift PWM for an Asymmetric Multilevel Trinary Inverter

Juárez-Abad, J.A\*, Linares-Flores, Jesús\*, and Contreras-Ordaz, M.A\*

\* Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, Huajuapán de León, Oaxaca, 69000, México

Email: abad@mixteco.utm.mx, jlinares@mixteco.utm.mx,

marco.contreras@mixteco.utm.mx

**Abstract**—This paper deals with the design and development of conventional Level-shifted PWM techniques in a field programmable gate array (FPGA) for asymmetrical converters in a Trinary Hybrid Multilevel Inverter topology. Each modulation technique has been implemented in FPGA through a 32-bit single precision floating point architecture in accordance to IEEE-754 standard. Portability to other devices is ensured using VHDL. Embedded Block RAMs minimize FPGA resource usage, saving general logic resources, increasing overall speed and reducing power consumption. A comparison is presented in terms of resource consumption. An Asymmetric Cascaded Multilevel Inverter of single-phase nine-level is developed using Nexys 2 FPGA Card Board with Spartan-3E 1200. Experimental results are based on a two H-Bridged hardware prototype.

## I. INTRODUCTION

There are different types of modulation techniques used in Multilevel Inverters (MLI), they can generally be classified into three main types: Fundamental Frequency Switching, Space vector PWM (SVPWM), and Multicarrier SPWM [1], [2]. The SPWM switching technique is applied in MLIs for its practical implementation [2], [3]. The multicarrier SPWM are divided into two main groups: Level-Shift PWM (LSPWM) and Phase-Shifting PWM (PSPWM) [3], [4], [5]. Three commonly used LSPWM techniques, Phase Opposition Disposition (POD), Alternative Phase Opposition Disposition (APOD), and Phase Disposition (PD) (see Rozanov *et al.* [6] and Euzeli *et al.* [7]).

There are three main types of MLI used extensively: Flying Capacitor Multilevel Inverter (FCMI), Diode-Clamped Multilevel Inverter (DCMI), and Cascaded Cell Multilevel Inverter (CCMI) [8], [9], [10]. The CCMI topology has advantages compared with DCMI and FCMI (see Franquelo *et al.* [3]). Depending on the dc-link voltage ratio, CCMI is classified as symmetric and asymmetric topology. If the amplitude of all dc-link voltage sources is equal, then the inverter is called Symmetric Cascaded Multilevel Inverter (CMLI); otherwise, if at least one of the sources presents different amplitude, then it will be called Asymmetric Cascaded Multilevel Inverter (ACMLI) or hybrid multilevel inverter. Analysis by González *et al.* [8] indicated that an important characteristic of the symmetric topologies is their modular structure and the easiness to increase the number of voltage levels. However, an increase in the number of voltage levels also results in an increase in the number of extra components, passive or active, implies a

rise in mounting complexity, and thus in the cost of the power converter. The ACMLI configuration of Cascades H-bridges has called the attention due to produces higher number of voltage level as compared with symmetric configuration for same number of power switches. In the opinion of the authors Fang Lin Luo *et al.* [9], Nami *et al.* [11] and Vargas *et al.* [12], ACMLI in Trinary topology has the greatest level for a given number of HBs among existing multilevel inverters.

Current state of the processor market with PWM pulse generator cannot provide enough PWM pulses for MLI [13]. Field Programmable Gate Array (FPGA) is applied to implement the multichannel PWM pulse generator, they allow the design of "ad-hoc" digital modulators with the desired number of pulse switching using hardware description languages (HDL) [14]. A recent survey article by Rodríguez-Andina and coworkers [15] contains a review recent advancements in FPGA technology, emphasizing the novel features that may significantly contribute to the development of more efficient digital systems for industrial applications. In [16] DSP-based controller is proposed for harmonic elimination in H-bridge cascaded STATCOMs, the use of FPGAs is restricted in this case to the generation of 72 PWM signals. Chun *et al.* [17] describes a scheme for balancing the series capacitor voltages in a three-phase cascaded five-level inverter feeding an induction motor. The control algorithm is executed in a DSP and an FPGA is used to generate the 48 PWM signals required to act on the multilevel inverter. Similar solutions in terms of DSP-FPGA task distribution is proposed in [18], [19], [20]. A key implementation step for custom computational architectures implemented in FPGAs, is selecting a suitable data representation. There are two fundamental ways that this is approached: fixed-point and floating-point representations, which have opposite effects on accuracy and latency [15]. At the center of the decision is the trade-off between precision and performance: more precise representations typically require more resources. The ability to perform floating-point operations is a fundamental requirement for improved performance in some applications. An example of an instance in which is exploited floating-point representation is realized in Juárez-Abad *et al.* [21], a linear generalized proportional integral output feedback control scheme is proposed for load current disturbance attenuation in a multilevel buck converter system acting as an inverter. In this proposal, control structure and

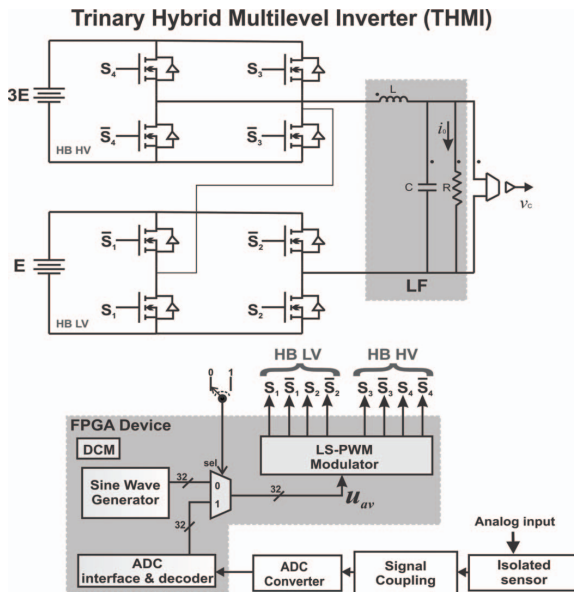


Fig. 1. ACMLI with LC filter and block diagram of FPGA implementation.

modulation strategy have been implemented in only one FPGA device, this enables task parallelism exploitation inherent in the control algorithm and customized design.

This paper aims at presenting the techniques for multicarrier LSPWM used in CCMI, applied to the nine-level Asymmetrical Cascaded Multilevel Inverter (ACMLI) with trinary structure. LSPWM techniques have been analyzed with emphasis on implementation. The techniques have been tested by means of FPGA-based architecture. To verify the implementation, two H-Bridged ACMLI of single-phase nine-level inverter hardware prototype has been constructed. The framework design of this proposal allows modifying the amplitude modulation index and also is able to receive the reference waveform externally, for example from a data acquisition card or a DSP (see Fig. 1).

The remainder of this paper is organized as follows. In Section II shows the design implemented in FPGA: design of Sine Waveform Generator, and design of Triangle Waveform Generator. Implementation and experimental results are presented in Section III and Concluding remarks are made in Section IV.

## II. FPGA IMPLEMENTATION OF MODULATION TECHNIQUES

FPGA-based implementation follows an approach *top-down*. The FPGA-based PWM techniques have been coded in VHDL through of Xilinx ISE Design Suite 14.7. A low cost FPGA board for the implementation of the proposed design has been used (*Spartan 3E-1200 from Xilinx*). BRAMs used are embedded in the device, no external storage is required. All SPWM strategies employs a reference waveform (*Sine*

*Waveform*) being sampled by a defined number of carrier waves (*Triangle Waveform*), it produces a string of coded pulses for each one carrier which are used in switching structure multilevel inverter. Is necessary design two main elements present in multicarrier PWM: *Sine Wave Generator* and *Triangle Wave Generator*. Both Sine Wave Generator and Triangle Wave Generator are discussed in the next section.

### A. FPGA design of Sine Waveform Generator

In order to generate the reference waveform must be obtained an approximation of the sine function  $v_{ref} = \sin(w_n t)$ ; where  $w_n = 2\pi f$ . The discretization is obtained by approximating the function  $\sin(w_n t)$  using the format of single-precision floating point. The signal has a frequency of  $f = 60Hz$ , therefore its period is  $t_{ref} = 16.666 \text{ ms}$  and peak-to-peak amplitude value ranging from  $v_{ref} = [-1, 1]$ . Based on a sampling time  $t_{SP} = 4\mu s$ , the sine function has approximately 4096 sample points ( $t_{ref}/t_{SP} \approx 4096$ ). Figure 2 shows the block diagram for the sine wave generator module. This submodule includes two custom BRAM-based ROM memories:  $ROM_{sin}$  configured as  $1024 - word \times 32bits$  containing the pre-calculated values of the sine function and  $ROM_{Decoder}$  configured as  $4096 - word \times 32bits$  and whose function is to decode the obtained measurement of the ADC converter. In order to reduce resources in programmable logic device, quarter-wave symmetry of the sine function is exploited. Therefore, only the segment  $[0, \pi/2]$  of  $\sin(w_n t)$  is calculated and stored in  $ROM_{sin}$ . The internal control sine wave generator is responsible for generating the remaining segments  $[\pi/2, 2\pi]$ , this is accomplished through two tasks: up/down counting (*9-bits up-down counter*) and sign change (*Sel0*) (See Fig. 2).

The  $ROM_{Decoder}$  memory is placed to extend the functionality of the design and to receive an appropriate reference wave signal from an outside source (reference wave modulator). The sampling time of the ADC ( $t_{ADC}$ ) may be equal or less than  $t_{SP}$  ( $t_{ADC} \leq t_{SP}$ ). The reference signal can be selected via mux *Sel1*, this is actuated externally (See Fig. 1).

### B. FPGA design of Triangle Waveform Generator

The PWM scheme, implemented in the design, is the sine-type with Level-Shifted PWM (LSPWM) of multiple carrier signals. This module receives the reference signal from the control module ( $u_{av}$ ) or an ADC acquisition module, is shown in Figure 3. The PWM module generates eight PWM outputs:  $S1, \bar{S1}, S2, \bar{S2}, S3, \bar{S3}, S4, \bar{S4}$ . These are used to control the MOSFETs via the gate-driver in MLI. The triangle wave generator module produces a discrete approximation of eight 2.5 KHz triangle waves ( $Tri_1, Tri_2, \dots, Tri_8$ ), depending on the LSPWM variant, with a peak-to-peak amplitude  $1/8$  (See Fig. 3). The discretization of the triangle waves is obtained from the approximation of each function individually by using single-precision floating-point format. These signals have been precomputed using an discrete approximation of the functions and stored in BRAM 1024-word 32-bit ROM memories available inside the FPGA.

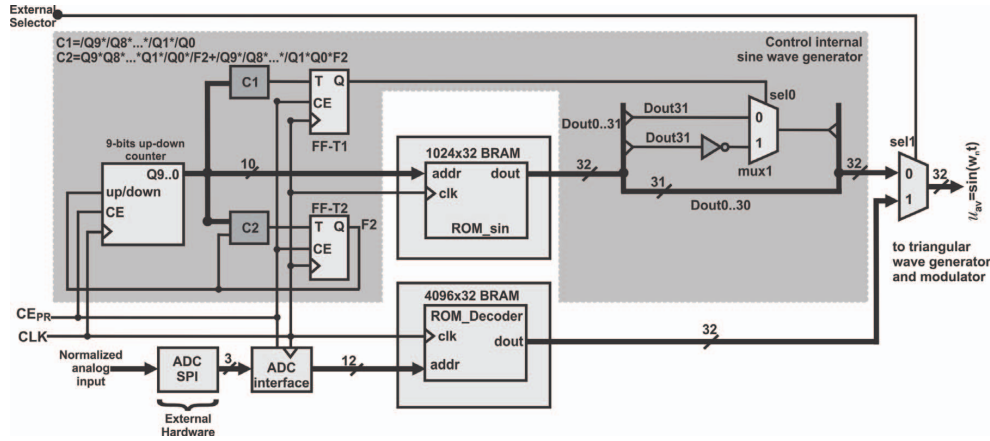


Fig. 2. Sine Waveform Generator Module

The LSPWM employ eight 32-bit comparators for obtaining PWM output. The PWM signals are generated from  $u_{av}$  and  $(Tri_1, Tri_2, \dots, Tri_8)$ . The number of gate-driver signals have been reduced from 8 to 4, two gate-driver signals for each cell of the inverter. This can be done through an arrangement of logic gates NXOR than 5 entries [12]. The expressions 1 and 2 generate  $S_1$  and  $S_2$  respectively and are connected to the low voltage cell.

$$S_1 = \overline{C_1 \oplus C_7 \oplus C_4 \oplus C_3 \oplus C_6} \quad (1)$$

$$S_2 = \overline{C_2 \oplus C_3 \oplus C_5 \oplus C_6 \oplus C_8} \quad (2)$$

Finally  $S_3$  and  $S_4$  are generated from  $C_3$  and  $C_6$ , are used which generates the input signal to the gate-driver in high-voltage HB (See Figures 1 and 3). The *dead times* generation is implemented via software to prevent crossings between complementary signals from each HB.

### III. IMPLEMENTATION AND EXPERIMENTAL RESULTS

Table I shows the result of the implementation of each one of the techniques designed in this paper, the most important design elements are covered (*Slices*, *LUTs*, *Elements embedded and Input/Output Buffers*).

Power semiconductors used for the HB design of the inverter are MOSFETS *IRF640* (18A, 200V). A low-pass filter of second order (LF) has been designed with a cutoff frequency of  $900\text{Hz}$  to verify the waveform obtained at the output the ACMLI. The nominal values of the filter elements are:  $L = 7\text{mH}$  and  $C = 1\mu\text{F}$ . The DC-Link for the HB low voltage is  $E = 20\text{V}$  and the HB high voltage is  $3E = 60\text{V}$ . Load resistor (R)  $100\Omega/100\text{Watts}$  is used. Two tests have been performed at each one of the LSPWM techniques implemented: using the internal sinusoidal signal generated by the FPGA and a sinusoidal signal externally obtained via the analog-digital converter. External sinusoidal signal used has been extracted from the grid, signal conditioning is performed to be processed by the ADC. An 12-bit analog-to-digital converter *Analog*

*Devices AD7476A* is used. The sampling time of the ADC converter is  $t_{ADC} = 4\mu\text{s}$ .

The amplitude modulation index ( $m = A_m/A_c$ ) using the internal sinusoidal signal is  $m = 1$ , for external signal is  $m = 0.925$ . Figure 4 shows the output waveform of ACMLI before and after low-pass filter. Sinusoidal waveform of the cases (a), (c) and (e) have a very fine waveform shaping (THD  $< 1\%$ ), because they are generated by the internal sinusoidal signal design. Cases (b), (d) and (f) show a THD  $< 5\%$  since the modulating signal has been acquired from grid and owns deformations.

 TABLE I  
 COMPARISON OF THE IMPLEMENTATION OF FPGA RESOURCES USED

Mod.	Resources used in modulation techniques LS-PWM			
	Slices (8672*)	LUTs (17344*)	Elements embedded BRAMs(28*) DCM(12*)	IOBs (250*)
PD	513 (5%)	852 (4%)	26 BRAMs (92%)	16 (6%)
			1 DCM (12%)	
POD	512 ( $< 5\%$ )	848 ( $< 4\%$ )	18 BRAMs (64%)	16 (6%)
			1 DCM (12%)	
APOD	512 ( $< 5\%$ )	848 ( $< 4\%$ )	18 BRAMs (64%)	16 (6%)
			1 DCM (12%)	

(\*) Total elements

### IV. CONCLUSION

This paper presents a framework design to build the FPGA-based LSPWM modulator used in converters ACMLI. The approach proposed shows a quasi-analog behavior. The use of floating-point design allows the handling of wider ranges and

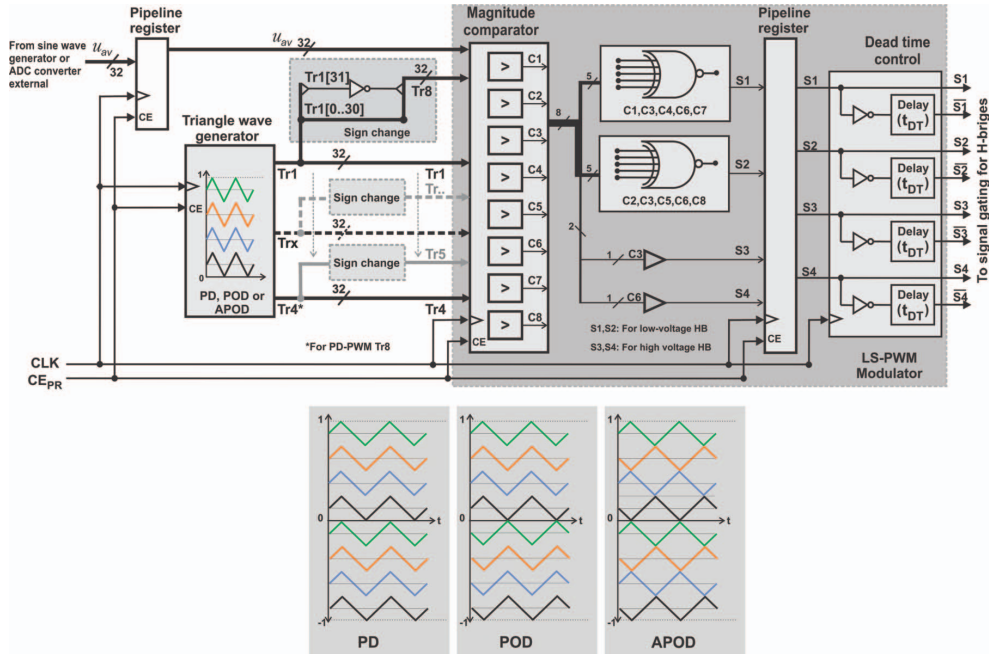


Fig. 3. Triangle Waveform Generator Module and LS-PWM Modulator.

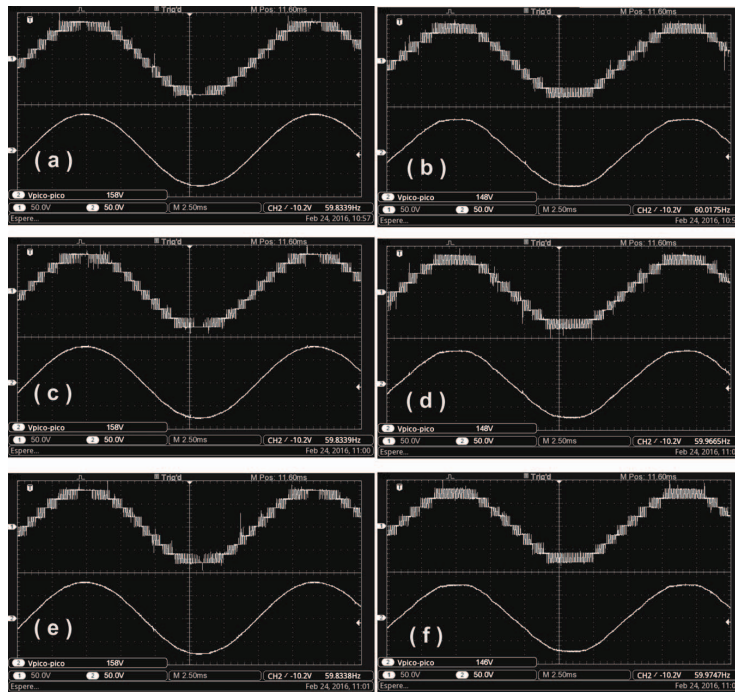


Fig. 4. PD: (a) Internal sinusoidal, (b) External sinusoidal; POD: (c) Internal sinusoidal, (d) External sinusoidal; APOD: (e) Internal sinusoidal, (f) External sinusoidal.

more accurate results. Additionally allows the interconnection with other structures with floating-point arithmetic easily, for example control algorithms with high dynamic range in their variables. To extend the capability of the design, the modulator can operate via external sinusoidal signal which can be obtained from a data acquisition card or a DSP. The implementation results show that through discrete approximation to the sine and triangular functions using BRAMs, decreases the amount of logical resources used in the reconfigurable device, is clear that the design takes advantage of the symmetry of the sinusoidal and triangular waveforms. The implementation results show that the PD modulator consumes more logical resources that modulators POD and APOD.

## REFERENCES

- [1] Gupta, K.K.; Ranjan, A.; Bhatnagar, P.; Kumar Sahu, L.; Jain, S., "Multilevel Inverter Topologies With Reduced Device Count: A Review," in *Power Electronics*, IEEE Transactions on , vol.31, no.1, pp.135-151, Jan. 2016
- [2] Hosseini Aghdam, M.G.; Fathi, S.H.; Gharehpetian, G.B., "Analysis of multi-carrier PWM methods for asymmetric Multi-level inverter," in *Industrial Electronics and Applications*, 2008. ICIEA 2008. 3rd IEEE Conference on , vol., no., pp.2057-2062, 3-5 June 2008.
- [3] Franquelo, L.G.; Rodríguez, J.; Leon, J.I.; Kouro, S.; Portillo, R.; Prats, M.A.M., "The age of multilevel converters arrives," in *Industrial Electronics Magazine*, IEEE , vol.2, no.2, pp.28-39, June 2008.
- [4] Preethi, G.; Monika, J.G.; Jamuna, V., "Digital simulation of multicarrier PWM strategy for multi-level inverter," in *Computing, Electronics and Electrical Technologies (ICCEET)*, 2012 International Conference on , vol., no., pp.509-514, 21-22 March 2012.
- [5] Omer, P.; Kumar, J.; Surjan, B.S., "Comparison of multicarrier PWM techniques for cascaded H-bridge inverter," in *Electrical, Electronics and Computer Science (SCEECS)*, 2014 IEEE Students' Conference on , vol., no., pp.1-6, 1-2 March 2014.
- [6] Rozanov Y., Ryzkin S., Chaplygin E., Voronin P., *Power Electronics Basics: Operating Principles, Design, Formulas, and Applications*, 1a ed., CRC Press, Boca Raton, FL, 2015 , 457 pages.
- [7] Euzeli dos Santos, Edison R. da Silva, *Advanced Power Electronics Converters: PWM Converters Processing AC Voltages*, 1a ed., John Wiley & Sons, 2015, pages. 351.
- [8] S. A. Alberto González, S. V. Andrés y M. V. Inés, *Multilevel Converters for Industrial Applications*, 1a ed., CRC Press, Boca Raton, FL, 2013 July, 241 pages.
- [9] H. Y. Fang Lin Luo, *Advanced DC-AC Inverters: Applications in Renewable Energy*, 1a ed., NY: CRC Press, 2013, pages. 322.
- [10] Pharne, I.D.; Bhosale, Y.N., "A review on multilevel inverter topology," in *Power, Energy and Control (ICPEC)*, 2013 International Conference on , vol., no., pp.700-703, 6-8 Feb. 2013.
- [11] Nami, A., Zare, F., Ghosh, A., Blaabjerg, F.: "A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped H-bridge cells," *IEEE Trans. Power Electron.*, 2011, 26, (1), pp. 5165.
- [12] Vargas, R.A.; Figueroa, A.; DeLeon, S.E.; Aguayo, J.; Hernandez, L.; Rodriguez, M.A., "Analysis of Minimum Modulation for the 9-Level Multilevel Inverter in Asymmetric Structure," in *Latin America Transactions, IEEE (Revista IEEE America Latina)* , vol.13, no.9, pp.2851-2858, Sept. 2015.
- [13] Liqiao Wang; Weiyang Wu, "FPGA Based Multichannel PWM Pulse Generator for Multi-modular Converters or Multilevel Converters," in *Power Electronics and Motion Control Conference*, 2006. IPEMC 2006. CES/IEEE 5th International , vol.1, no., pp.1-5, 14-16 Aug. 2006.
- [14] C. Cecati, A. Dell'Aquila, A. Lecci, M. Liserre and V. G. Monopoli, "FPGA-based multilevel modulations for H-bridge-based converters," *Industrial Electronics*, 2004 IEEE International Symposium on, 2004, pp. 957-962 vol. 2.
- [15] J. J. Rodríguez-Andina, M. D. Valdés-Pea and M. J. Moure, "Advanced Features and Industrial Applications of FPGAs A Review," in *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853-864, Aug. 2015.
- [16] Y.Wang, K.Yang, C.He, and G.Chen, "A harmonic elimination approach based on moving average filter for cascaded DSTATCOM," in *Proc. IECON2014 - The 40th Annual Conference of the IEEE Industrial Electronics Society*, pp. 4508-4513, 2014.
- [17] T. W. Chun, Q. V. Tran, H. H. Lee, H. G. Kim and E. C. Nho, "A simple capacitor voltage balancing scheme for the cascaded five-level inverter fed AC machine drive," *Power Electronics, Machines and Drives (PEMD 2012)*, 6th IET International Conference on, Bristol, 2012, pp. 1-5.
- [18] D. Janik, Z. Peroutka, J. Molnar, T. Komrska and J. Zak, "Control of primary voltage-source active rectifiers of traction converter with medium-frequency transformer: Advantages of control unit combining DSP and FPGA," *Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012 15th International, Novi Sad, 2012, pp. LS4a.2-1-LS4a.2-7.
- [19] Seon-Hwan Hwang, Xiaohu Liu, Jang-Mok Kim and Hui Li, "Distributed Digital Control of Modular-Based Solid-State Transformer Using DSP+FPGA," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 2, pp. 670-680, Feb. 2013.
- [20] R. Morales-Caporal, E. Bonilla-Huerta, C. Hernandez, M. A. Arjona and M. Pacas, "Transducerless Acquisition of the Rotor Position for Predictive Torque Controlled PM Synchronous Machines Based on a DSP-FPGA Digital System," in *IEEE Transactions on Industrial Informatics*, vol. 9, no. 2, pp. 799-807, May 2013.
- [21] Juárez-Abad, J.A.; Linares-Flores, J.; Guzman-Ramirez, E.; Sira-Ramirez, H., "Generalized Proportional Integral Tracking Controller for a Single-Phase Multilevel Cascade Inverter: An FPGA Implementation," in *Industrial Informatics, IEEE Transactions on* , vol.10, no.1, pp.256-266, Feb. 2014.



## Apéndice F

# Rectificación Activa

**Resumen:** En este apéndice se agregan dos trabajos sobre rectificación activa: en topología simple y multinivel. En ambos casos, una pieza importante para su correcto funcionamiento es el algoritmo de sincronía, también llamado de enganche de fase o PLL. Para el primer trabajo, sobre rectificación activa multinivel, se tiene por objetivo de control principal, regular el voltaje de salida del rectificador a un valor dado y a pesar de que el convertidor sea sometido a perturbaciones exógenas, mantener el valor deseado; para este trabajo se empleó una técnica de sincronía llamada PLL enriquecido o **EPLL**. En términos de energía, es necesario que el rectificador multinivel desempeñe un factor de potencia cercano a la unidad. Por otra parte, en el segundo trabajo, se empleó una técnica de sincronía llamada **SOGI-PLL**. El sistema acopla un rectificador monofásico con un motor de CD y se persiguen dos objetivos principales: desde la perspectiva de control, es regular la velocidad del motor de CD y mantenerla en un valor deseado, a pesar que se apliquen perturbaciones a la flecha del motor y en términos energéticos, garantizar un desempeño óptimo de calidad en la energía de la red de CA donde se conecta, esto es, un THD por abajo del máximo permitido en la norma IEEE-519 y un factor de potencia cercano a la unidad. En la misma dirección de los trabajos mencionados en los capítulos anteriores, el diseño e implementación de los algoritmos PLL, así como de los otros algoritmos para cada aplicación, se realizó en un FPGA, por lo tanto, se diseñó y describió en VHDL una estructura de procesamiento aritmético en punto flotante de 32-bits de precisión simple, alineada al estándar IEEE-754 para cada una de las aplicaciones. Finalmente, para ambos casos, los resultados obtenidos fueron satisfactorios.

### F.1. Sistema monofásico de rectificación activa multinivel

Este es un artículo JCR y lleva por título:

**FPGA Implementation of Passivity-Based Control and Output Load Algebraic Estimation for Transformerless Multilevel Active Rectifier (2019).**

<https://ieeexplore.ieee.org/document/8436014>

## F.2. Sistema monofásico de rectificación activa-motor de CD

Este artículo actualmente se encuentra aceptado y en proceso de edición final en el *Journal of Power Electronics* y lleva por título:

**Passivity-Based Controller for a High Energy Quality Active Rectifier-DC Motor System: An FPGA Implementation (Aceptado (2022)).**

<https://jpels.org>





# FPGA Implementation of Passivity-Based Control and Output Load Algebraic Estimation for Transformerless Multilevel Active Rectifier

José Antonio Juárez-Abad <sup>1</sup>, Arturo Pablo Sandoval-García,  
 Jesús Linares-Flores <sup>2</sup>, *Senior Member, IEEE*, José Fermi Guerrero-Castellanos <sup>3</sup>,  
 Pedro Bañuelos-Sánchez <sup>4</sup>, and Marco Antonio Contreras-Ordaz

**Abstract**—This paper presents the design and embedded implementation of a robust controller for the transformerless multilevel active monophasic rectifier. In order to reduce the effects caused by the uncertainty originated by the output load, an *algebraic estimator* is devised. Then, a linear controller based on the exact static error dynamics passive output feedback (ESEDPOF) is proposed, where the uncertainty estimation is taken into account. Since the controller estimator is based on the continuous-time plant model, its real-time implementation on a digital platform requires a discretization of the controller under sufficiently fast sampling, such that the properties of the closed-loop nonlinear sampled-data system are preserved. For this reason, the medium-scale field-programmable gate array Spartan-6 XC6SLX16 is used for implementing the ESEDPOF controller, the online algebraic estimator, the enhanced phase-locked loop, and the multilevel pulsewidth modulator. The parallel processing provided by these devices and the capability in the design of custom modules allow optimizing the hardware description and obtaining an update time for the control law of 9.683  $\mu$ s. Experimental validation shows an excellent dynamical performance and a near-unity power factor.

**Index Terms**—Enhanced phase-locked loop (EPLL), exact static error dynamics passive output feedback (ESEDPOF) controller, field-programmable gate array (FPGA) implementation, multilevel rectifier, online algebraic estimator.

Manuscript received December 22, 2017; revised July 4, 2018; accepted July 23, 2018. Date of publication August 14, 2018; date of current version April 3, 2019. This work was supported in part by PRODEP-SEP (Programa para el Desarrollo Profesional Docente de tipo superior) in the framework of “Integración de Redes Temáticas de Colaboración Académica: UTMIX-CA-24, BUAP-CA-248” and in part by VIEP-BUAP under Grant 100305333-VIEP2018. Paper no. TII-17-3033. (Corresponding author: Jesús Linares-Flores.)

J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, and M. A. Contreras-Ordaz are with the Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, Huajuapán de León 69000, México (e-mail: abad@mixteco.utm.mx; arturosg@mixteco.utm.mx; jlinares@mixteco.utm.mx; marco.contreras@mixteco.utm.mx).

J. F. Guerrero-Castellanos is with the Benemérita Universidad Autónoma de Puebla, Puebla 72000, Mexico (e-mail: fermi.guerrero@correo.buap.mx).

P. Bañuelos Sánchez is with the Universidad de las Américas Puebla, San Andrés Cholula 72810, Mexico (e-mail: pedro.banuelos@udlap.mx).

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/TII.2018.2865445

## I. INTRODUCTION

### A. Motivations and Background

NOWADAYS, ac–dc conversion is fundamental in a great variety of applications; power rectifiers are widely used in industry applications [1]. For a long time, discrete power rectifiers based on diodes or silicon-controlled rectifiers were used. The main disadvantage of these naturally commutated converters is the generation of harmonics and reactive power. Harmonics have a negative effect on the operation of the electrical system, and therefore, their generation and control are receiving increased attention [2]. Nowadays, international standards such as *IEC-555* and *IEEE-519* require a decrease in harmonic pollution [3]. Modern active rectifiers are normally controlled to fulfill a double task: an ac-side sinusoidal current with a unitary power factor and a dc-side satisfactory load voltage regulation [4], [5]. Usually, active rectifier systems are used as high-power-factor nonlinear loads, which maintain load regulation on the dc side [6]. In addition, in the field of distributed generation in power distribution grids, active rectifiers play an important role in micro and nano wind power generation systems [7]. The H-bridge (HB) multilevel topology is an interesting conversion structure among the multilevel converters because of its modularity, simpler layout, and reduced number of components [5], [8]. Despite the major drawback of this structure being the large number of distinct dc supplies needed when the structure is used as an inverter, when it is used as an active rectifier, it is even more attractive due to the availability of multiple outputs to supply different loads [5]. Multilevel active rectifier (MLAR) power converters have attracted the attention of theoretical and practitioners because they can be applied in wind power generation systems, active power filters, batteries chargers, infrastructure power supply, power traction systems, high-power three-phase motor drives, and on-board electrical power on aircraft [9]–[11]. In the field of multilevel rectifiers, the HB cascade topology has a number of advantages: it is particularly attractive in high power or high voltage, and reducing the number of components eliminates the bulky power transformer and reduces stress on the semiconductor devices, with a greater number of levels. Additionally, these systems require few components to synthesize the same number of voltage lev-

els [12]. Thus, different control techniques have been proposed for this type of rectifier; for example, in [12] and [13], the authors propose a predictive control strategy to regulate the output voltage of a single-phase rectifier, which uses an HB multilevel active in low frequency. On the other hand, Vasiladiotis *et al.* [14] present a model-predictive-based control method for cascaded HB MLARs. In [15], the authors propose two controllers for a system in cascaded connection between an HB rectifier and an inverter: one controller is used for the rectifier and the other for the inverter. A modular power electronic transformer is used in [16]; the control strategy ensures that the capacitor voltages converge to the reference value, even if the series HBs do not match perfectly or have different power losses. On the other hand, it is worth mentioning that the design of a controller based on the continuous-time plant model, followed by a discretization of the controller, is one of the most popular methods to design sampled-data controllers. This is known as emulation, and it has been proved to preserve a range of important properties for nonlinear sampled-data systems if the sampling period is small enough [17], [18]. Nevertheless, this approach can be constrained by hardware and reducing the sampling period to a level that guarantees that acceptable closed-loop performance may be impossible using fixed-architecture digital platforms such as a digital signal processor (DSP) or microcontrollers [19]–[21]. In this case, a field-programmable gate array (FPGA) shows to be a solution since in contrast with a DSP or microcontrollers that are instruction based (typically, three to four instructions are required for any mathematical operation on a single sample), FPGA is clock based, so every clock cycle has the potential ability to perform a mathematical operation on the incoming data stream. Furthermore, if the system requires more than a single channel or the development of a custom module, FPGAs become more attractive [22] (see [23] and [24] and references therein).

## B. Contributions

The present work falls within an interesting fusion of power electronics, embedded control systems, and real-time control. From a power electronics point of view, a diode in forward biased is proposed, which allows us to add the dc output voltage of each of the HBs of the rectifier (see Fig. 1). Then, the main output voltage ( $v_C$ ) of the MLAR is two times bigger than the HB's output voltages ( $v_{C1}$  and  $v_{C2}$ ). This characteristic distinguishes the proposed topology with respect to the other topologies presented in the specialized literature on cascaded MLARs [2], [8]–[10], [13], [16], [19]. This circuit can be directly connect to the medium-voltage levels and eliminates the use of a high-frequency galvanic isolation transformer at the output of each HB. From an embedded control systems and real-time control perspective, the contribution of this work deals with the synthesis of a robust controller based on the exact static error dynamics passive output feedback (ESEDPOF) to regulate the dc output voltage and the input current of the rectifier. The ESEDPOF controller design is linear and relatively easily to implement and tuning in comparison with other types of controllers [4], [5], [9], [10]. For this purpose, an FPGA platform (Spartan-6 XC6SLX16) is used for implementing the ESEDPOF controller,

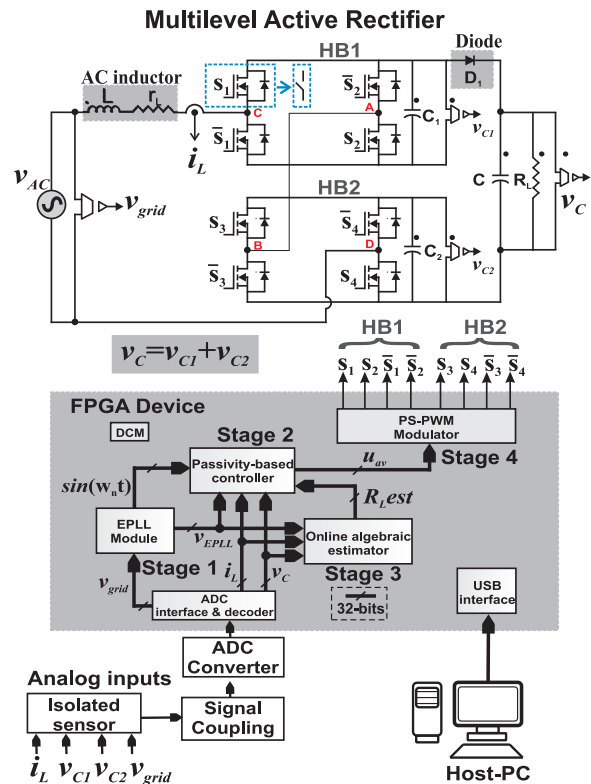


Fig. 1. System configuration.

the online algebraic estimator, the enhanced phase-locked loop (EPLL), and the multilevel pulsewidth modulator (PWM) for the HBs. To the best of the authors' knowledge, this is the first time that a controller estimator as the one presented in this work is applied to a transformerless MLAR together with an embedded implementation. This represents the main contribution of the present work. The rest of this paper is structured as follows. System description and formulation of the problem is presented in Section II. The ESEDPOF controller, the algebraic estimator, and the EPLL are expanded upon in Section III. Sections IV and V explain, in full detail, the FPGA implementation of each of the subalgorithms analyzed in the previous sections. An experimental framework to validate the proposed control scheme is given in Section VI. Finally, conclusions are drawn in Section VII.

## II. SINGLE-PHASE GRID-CONNECTED MLAR SYSTEM

### A. System Description

Fig. 1 shows the single-phase grid-connected MLAR system.

The HB converters of multilevel rectifiers are connected in series at points A and B, and points C and D are connected in series together with the main voltage power supply. The MLAR is coupled to the grid through a smoothing inductor  $L$  with an intrinsic resistance  $r_L$ ; the inductor current is denoted by  $i_L$ . The initial nominal value of the output resistor  $R_L$  is known, and this is considered constant. Meanwhile, the electrolytic capacitors  $C_1$ ,  $C_2$ , and  $C$  are connected to attenuate the dc voltage ripple

in the output voltage of the multilevel rectifier. The capacitor voltages are denoted by  $v_{C_1}$ ,  $v_{C_2}$ , and  $v_C$ , where we suppose that  $v_{C_1} = v_{C_2}$ , which are added and connected in parallel to the output node (node of the load) via a diode  $D_1$  in forward biased; thus, we obtain  $v_C = v_{C_1} + v_{C_2}$ . In this work, we consider that  $v_C = V_d$ , where  $V_d$  is the desired output voltage and is considered constant. The main power supply of the grid is denoted by  $v_{AC} = E \sin \omega t$ . As the multilevel rectifier operates as a boost converter, this requires that  $v_C \geq E$ . Therefore, based on the electrical characteristics of the proposed MLAR, we provide the following main control objectives.

- 1) Given a desired constant amplitude  $V_d$  for the output voltage of the MLAR, it is fundamental to maintain this desired value in the output voltage,  $v_C$ , within an arbitrarily small error, under sudden output resistor changes (disturbances). In that sense, to obtain a robustness in the output voltage, we estimate the output resistor value and adapt it to the desired reference variables of the controller.
- 2) By means of an EPLL algorithm, we can generate the reference signals of the ESEDPOF controller for the output voltage regulation of the MLAR. Consequently, it will be possible to ensure the input current ( $i_L$ ) and grid voltage ( $v_{AC}$ ) become in phase, which is a necessary condition to have a power factor near to unity at the input.
- 3) In terms of the power stage of the MLAR, the main objective is to avoid using a galvanic isolation transformer on the regulated output voltage.

These objectives can be reached through a control law, which takes into account the following considerations in its design.

- 1) The inductor current  $i_L$ , main power supply voltage  $v_{AC}$ , and output voltage  $v_{C12} = v_{C_1} + v_{C_2}$  are measured.
- 2) The set of nominal values  $\{r_L, C_1, C_2, C, L\}$  are known.
- 3) Only the initial nominal value of  $R_L$  is known. However, when the output resistor nominal value changes, this value becomes completely unknown. Thus, we designed an algebraic estimator to calculate this value online, which hereinafter is denoted  $\hat{R}_L$ . This parameter is used to generate the desired reference variables of the controller.

Consider the circuit of an MLAR shown in Fig. 1. This circuit is composed in its main part of *two bidirectional full bridges connected in cascade*. The switches constituted by a diode in parallel to a MOSFET device<sup>1</sup> are controlled via a switching signal  $u$  at their gates, which indicates the switch position function taking values within the finite set  $\{-1, 1\}$ . Furthermore, the switches are operating in a complementary way as shown in the circuit, where  $\bar{u}$  is employed to denote the complement of  $u$ , that is, when  $u = 1$ , then  $\bar{u} = -1$ , and vice versa. The set of controlled differential equations describing the *state average model* system (see [25]–[27] and the Appendix) is given by

$$L \frac{di_L(t)}{dt} = -r_L i_L(t) - u_{av} v_{C12}(t) + v_{AC} \quad (1)$$

$$C \frac{dv_{C12}(t)}{dt} = i_L(t) u_{av} - \frac{v_{C12}(t)}{\hat{R}_L} \rho(v_{AC}) \quad (2)$$

<sup>1</sup>This arrangement is bidirectional, which can be replaced by a simple bidirectional switch (see Fig. 1).

with,

$$\rho(v_{AC}) = \frac{1}{2} (1 + \text{sign}(v_{AC})) = \begin{cases} 1, & \text{if } v_{AC} > 0 \\ 0, & \text{if } v_{AC} < 0 \end{cases}.$$

Furthermore, the output voltage  $v_C(t)$  across the capacitor  $C$  and load resistance  $\hat{R}_L$  is given by

$$v_C(t) = \begin{cases} v_{C12}(t) = v_{C1}(t) + v_{C2}(t), & \text{if } v_{AC} > 0 \\ e^{-\frac{1}{C\hat{R}_L}(t-t_i)} v_C(t_i), & \text{if } v_{AC} < 0 \end{cases}$$

where  $t_i \in T_0 := \{t_0, t_1, t_2, \dots\}$  defines the set of time instants at which  $v_{AC}$  becomes negative. In the same way,  $v_C(t_i)$  denotes the series of successive voltage values across the capacitor  $C$  at instants  $t_i$ .

*Remark 2.1:* Note that in the model (2), one uses  $\hat{R}_L$  instead of  $R_L$ . That is because the value of  $R_L$  is in general unknown, and the estimated value  $\hat{R}_L$  is obtained in real time via an algebraic estimator (see Section III-B). In this work, the nominal value  $R_L$  is within the interval  $[50 \Omega, 140 \Omega]$ .

*Remark 2.2:* After a sufficiently long time, and before the next  $t_i$  occurs, the voltage value across the load resistance  $\hat{R}_L$  is  $v_C(t) = v_{C12}(t)$ ; then, by continuity of  $v_{C12}(t)$  at instant  $t_i$ , one has  $v_C(t_i) = v_{C12}(t_i)$ .

*Remark 2.3:* Choosing an adequate value for  $C$  such that  $\tau = C\hat{R}_L \gg \frac{T}{2} = \frac{\pi}{\omega}$ , where  $T$  represents the fundamental period, then  $|v_C(t) - v_C(t_i)| < \varepsilon$  for all time when  $V_{AC} < 0$  and for all  $t_i$ , with  $\varepsilon > 0$  sufficiently small. Then, the output voltage  $v_C(t)$  remains in the neighborhood of  $v_{C12}(t)$ , that is,  $|v_C(t) - v_{C12}(t)| < \varepsilon$  for all  $t$ .

*Remark 2.4:* The control objective is to drive  $v_{C12}(t)$  to some constant desired value  $V_d$ .

## B. Problem Statement

The desired constant reference  $V_d$  for the output voltage of the rectifier must be regulated and maintained under sudden load resistor changes. The grid synchronization between the main power supply and the MLAR must be resolved in order to have a power factor near to the unity. These two problems are at software level. On the other hand, the sum of the two output voltages of each HB of the MLAR together with the total harmonic distortion of the current input  $i_L$  must be less to 5%. These last challenges are at hardware level.

## III. MAIN RESULT

The bilinear system (1), (2) may be depicted in the following passive form (see [27]):

$$\mathcal{A}\dot{x} = \mathcal{J}(u_{av})x - \mathcal{R}x + \eta. \quad (3)$$

We are going to analyze the *passive-dissipative property* of the system, where

$$x = (i_L, v_{C12})^T \quad (4)$$

$$\mathcal{A} = \text{diag}(L, C) > 0 \quad (5)$$

while the matrices  $\mathcal{J}(u_{av}) \in \mathbb{R}^{2 \times 2}$ ,  $\mathcal{R} \in \mathbb{R}^{2 \times 2}$ , and  $\eta(t) \in \mathbb{R}^{2 \times 1}$  are given by

$$\mathcal{J}(u_{av}) = \begin{pmatrix} 0 & -u_{av} \\ u_{av} & 0 \end{pmatrix}, \eta(t) = (v_{AC} \ 0)^T \quad (6)$$

$$\mathcal{R} = \begin{pmatrix} r_L & 0 \\ 0 & \frac{\rho(v_{AC})}{\hat{R}_L} \end{pmatrix}. \quad (7)$$

The vector  $u_{av}$  is the control input, which belongs to the closed set  $[-1, 1]$  of the real line.  $\eta(t)$  represents the external input to the system, which is constituted, generally speaking, by an ac power supply voltage. The vector  $\mathcal{J}(u_{av})x$  represents the control-input-dependent conservative field of the system, and the vector  $\mathcal{R}x$  represents the dissipative field of the system. The properties of matrices and vectors described in (3) are satisfied when the input control average is  $u_{av} \in [-1, 1]$ . Since  $\mathcal{J}(u_{av})$  and  $\mathcal{R}$  are skew-symmetric and symmetric, respectively, the average model is treated as a passive system (see [27]). On the other hand, to verify that the system is *passive dissipative*, we define the total stored average energy (3) as

$$H(x) = \frac{1}{2}x^T Ax = \frac{1}{2}Li_L^2 + \frac{1}{2}Cv_{C12}^2 > 0. \quad (8)$$

Therefore, the total electrical power is given by the following time derivative of  $H$ , i.e.,

$$dH(x)/dt = L \frac{di_L}{dt} i_L + C \frac{dv_{C12}}{dt} v_{C12}. \quad (9)$$

Substituting the dynamic system (1) and (2) into (9), we have

$$dH(x)/dt = v_{AC}i_L - r_L i_L^2 - \left( \frac{\rho(v_{AC})}{\hat{R}_L} \right) v_{C12}^2 \leq uy \quad (10)$$

where  $u = v_{AC}$  and  $y = i_L$  represent the system input and output, respectively. According to [28, Definitions 2.2.1 and 3.1.2], we verified through (3) and (10) that the system (1), (2) is *passive dissipative*.

### A. Generation of Reference Signals

The desired output voltage of the MLAR is denoted by  $V_d$ . Thus, the desired reference for the open-loop dynamics is calculated from (1) and (2) as

$$A\dot{x}^* = \mathcal{J}(u_{av}^*)x^* - \mathcal{R}x^* + \eta \quad (11)$$

where  $u_{av}^*$  represents the nominal value of the desired input control corresponding to the desired state vector  $x^*(t)$ . The desired state vector  $x^*(t) = (i_L^* \ v_{C12}^*)^T$ , and  $u_{av}^*$  are calculated in terms of  $V_d$  as follows:

$$i_L^*(t) = A_1 \sin(\omega t), \ v_{C12}^*(t) = V_d \quad (12)$$

$$u_{av}^*(t) = \frac{v_{AC} - r_L A_1 \sin(\omega t)}{V_d} \quad (13)$$

where  $A_1$  is given by

$$A_1 = \frac{E}{2r_L} - \sqrt{\frac{E^2 \hat{R}_L - 8V_d^2 r_L}{4r_L^2 \hat{R}_L}}. \quad (14)$$

Note that parameter  $A_1$  has a dependence on  $\hat{R}_L$ ; thus, all the desired reference variables will be dependent in the same

manner. As a consequence, it is imperative to know how this value changes. For this, an algebraic estimator is proposed to calculate this parameter online. The estimator will have as an initial condition the nominal value of  $R_L$ . Then, this parameter is adapted to the desired reference variables given by (12) and (13) in order to reduce the sudden resistor change effects in the MLAR output voltage.

### B. Online Algebraic Estimator

In [29] and [30], Fliess and Sira-Ramírez proposed an algebraic approach to state and parameter estimation using an integral behavior of system dynamics. This approach is used in the present work to obtain  $\hat{R}_L$  because of the simplicity of its design, convergence velocity, and natural implementation on FPGA architectures.

In the case of the MLAR (boost-type converter), the online algebraic estimator is based on the differential equation (2), and it is triggered whenever the power supply voltage is positive, i.e.,  $v_{AC}(t) > 0$  [31]. For the negative period of  $v_{AC}$ , the estimator maintains the last estimated resistance value, which will be used as the initial condition in the next step. The estimation is carried out assuming that  $C$  is a known constant and the states  $i_L$  and  $v_{C12}$  are measurable and time varying. Under this assumption, multiplying (1) by  $t$ , i.e.,  $Ct \frac{dv_{C12}}{d\sigma} = tu_{av}i_L - t \frac{v_{C12}}{\hat{R}_L}$  and integrating with respect to time on the interval  $[0, t]$ , one has

$$C \underbrace{\int_0^t \sigma \frac{dv_{C12}}{d\sigma} d\sigma}_{C[tv_{C12} - \int_0^t v_{C12} \sigma d\sigma]} = \int_0^t \sigma u_{av} i_L d\sigma - \int_0^t \sigma \frac{v_{C12}}{\hat{R}_L} d\sigma. \quad (15)$$

Solving for  $\hat{R}_L$ , an algebraic estimator is given by

$$\hat{R}_L = \frac{\int_0^t \sigma v_{C12} d\sigma}{\int_0^t [\sigma u_{av} i_L + C v_{C12}] d\sigma - C t v_{C12}}. \quad (16)$$

From a practical point of view, the algebraic identification method must utilize a computation window, which starts at the resetting time ( $t_k = kT_E$ ) and extends for  $\epsilon$  of time with  $\epsilon < T_E$ , being  $T_E$  the period of the  $k$ th computation window. In this case, the integration is carried out on the interval  $[t_k, t]$ , and the algebraic estimator is given by

$$\hat{R}_L = \begin{cases} R_L(t_{k-1}), & \text{for } t \in [t_k, t_k + \epsilon] \\ \frac{\text{num}(t_k + \epsilon)}{\text{den}(t_k + \epsilon)}, & \text{for } t \in t_k + \epsilon < t < t_{k+1} \end{cases} \quad (17)$$

where

$$\text{num}(t) = \int_{t_k}^t (\sigma - t_k) v_{C12} d\sigma$$

$$\text{den}(t) = \int_{t_k}^t [(\sigma - t_k) u_{av} i_L + C v_{C12}] d\sigma - C(\sigma - t_k) v_{C12}$$

$$t_k = kT_E, k = 1, 2, \dots$$

The values of  $T_E$  and  $\epsilon$  are chosen based on the signal-to-noise ratio and the speed of the processor. The estimation of the unknown parameter  $R_L$  is periodically corrected (resetting) by means of the recomputation of (17) at each time period  $t_k$  [31].

### C. ESEDPOF Average Controller Design

The proposed desired reference variables are stabilized by an ESEDPOF controller, as studied in [32]. In the particular case of the boost-based unity-power-factor MLAR, the static error dynamics result from subtracting the desired reference dynamics, expressed in (11), from the system dynamics equations, as given by (3). The error dynamics reads

$$\mathcal{A}\dot{e} = (\mathcal{J}(u_{av}) - \mathcal{J}(u_{av}^*))x^* + (\mathcal{J}(u_{av}) - \mathcal{R})e \quad (18)$$

where  $e = x - x^*$  is the tracking error and  $e_u = u_{av} - u_{av}^*$ . A linear approximation by using the Taylor series for the term  $\mathcal{J}(u_{av}) - \mathcal{J}(u_{av}^*)$ , with respect to the average input control  $u_{av}$ , is given by

$$\mathcal{J}(u_{av}) - \mathcal{J}(u_{av}^*) = \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} e_u. \quad (19)$$

Substituting (19) into (18), we obtain the error dynamics

$$\mathcal{A}\dot{e} = \left( \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} x^* \right) e_u + (\mathcal{J}(u_{av}) - \mathcal{R})e. \quad (20)$$

Then, we have the following result.

*Proposition 3.1:* Consider the error dynamics (20) with the control law given by

$$e_u = -\gamma \left( \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} x^* \right)^T e \quad (21)$$

where  $\gamma \in \mathbb{R}_+$ . Then,  $\lim_{t \rightarrow \infty} e(t) = 0$ , and as a consequence,  $\lim_{t \rightarrow \infty} x(t) = x^*(t)$ .

*Proof:* Consider the error dynamics (20) with the control law (21). Thus, the closed-loop dynamics becomes

$$\mathcal{A}\dot{e} = -\tilde{\mathcal{R}}e \quad (22)$$

with

$$\tilde{\mathcal{R}} = \begin{pmatrix} r_L + \gamma(v_{C12}^*)^2 & -\gamma i_L^* v_{C12}^* \\ -\gamma i_L^* v_{C12}^* & \hat{R}_L + \gamma(i_L^*)^2 \end{pmatrix} > 0$$

and  $\mathcal{A} > 0$  defined in (5). As a consequence,  $e = 0$  is an equilibrium point for the closed loop. In order to analyze the asymptotical stability of this equilibrium, consider the positive-definite Lyapunov candidate function

$$V(e) = \frac{1}{2} e^T \mathcal{A}e > 0 \quad \forall e \neq 0 \quad (23)$$

whose time derivative along the trajectory of (20) is given by

$$\begin{aligned} \dot{V}(e) &= e^T \mathcal{A}\dot{e} \\ &= e^T \left( \left( \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} x^* \right) e_u + \mathcal{J}(u_{av}) - \mathcal{R} \right) e. \end{aligned} \quad (24)$$

Using the control law (21), we have

$$\dot{V}(e) = -e^T \tilde{\mathcal{R}}e < 0 \quad \forall e \neq 0$$

Therefore, the origin of the error space is an asymptotically stable equilibrium point [33]. As the control input is bounded in  $[-1, 1]$ , in general terms, the result is not a global one. The stability of the origin of the error space depends on the assumption that the average control input stays within the bounds for any initial state. Under this assumption, we have that  $\lim_{t \rightarrow \infty} e(t) = 0$ ; then,  $\lim_{t \rightarrow \infty} x(t) = x^*(t)$ . In terms of the MLAR current and voltage, referring to (21), we see that the ESEDPOF control law

governs the output voltage of the MLAR to track the desired reference state  $x^*(t)$  with a corresponding control input constant reference  $u_{av}^*$ , i.e.,

$$u_{av}(t) = u_{av}^* + \gamma v_{C12}^* (i_L - i_L^*) - \gamma i_L^* (v_{C12} - v_{C12}^*). \quad (25)$$

Note that when  $i_L \rightarrow i_L^*(t)$  and  $v_{C12} \rightarrow v_{C12}^*(t)$ , the average control input  $u_{av} \rightarrow u_{av}^*(t)$ . The nominal value of gain ( $\gamma$ ) is chosen into the open interval  $1 > \gamma > 0$  (see [32]).

### D. Stability Against the Temporal Error in Parameter Estimation

In the stability analysis carried out in the last subsection, we assumed that the parameter  $\hat{R}_L$  is obtained instantaneously. However, in practice, the algebraic identification method utilizes a computation window, and the value of  $\hat{R}_L$  is obtained almost instantaneously. Furthermore, since the reference signals depend on  $\hat{R}_L$ , an analysis with respect to the temporally discrepancy between the estimated parameter and the nominal one is necessary. For that, we define the signal reference error  $\Delta = x^* - x_n^*$ , where  $x^*$  depends on  $\hat{R}_L$  and  $x_n^*$  on the nominal value  $R_L$ . Consider the closed-loop error dynamics (22), which can be written as  $\dot{e} = -Me$ , with  $M = \mathcal{A}^{-1}\tilde{\mathcal{R}}$ , with

$$M = \underbrace{\begin{pmatrix} \frac{\gamma(v_{C12}^*)^2}{r_L} & \frac{-\gamma i_L^* v_{C12}^*}{r_L} \\ \frac{-\gamma i_L^* v_{C12}^*}{\hat{R}_L} & \frac{\gamma(i_L^*)^2}{\hat{R}_L} \end{pmatrix}}_{M_1} + \underbrace{\begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix}}_{M_2}. \quad (26)$$

Then, the closed-loop error dynamic becomes

$$\begin{aligned} \dot{e} &= -(M_1 + M_2)e = -M_1e - M_2(x - x^*) \\ &= -M_1e - M_2(x - x_n^*) + M_2\Delta. \end{aligned} \quad (27)$$

Since the control law enforces  $(x - x_n^*) = 0$ , the solution of (27) is given by

$$e(t) = \exp(-M_1 t) e(0) + \int_0^t \exp(-M_1(t-\tau)) M_2 \Delta d\tau. \quad (28)$$

$M_1$  has one zero and one real positive eigenvalue, i.e.,  $0 = \lambda_1(M_1) < \lambda_2(M_1)$ . Then, the error vector is bounded by

$$\begin{aligned} \|e(t)\| &\leq \underbrace{\exp(-\lambda_2(M_1)t) \|e(0)\|}_{\beta(\|e(0)\|, t) \in \mathcal{KL}} \\ &\quad + \underbrace{\int_0^t e^{-\lambda_2(M_1)(t-\tau)} \|\Delta\| d\tau}_{\varrho(\|\Delta\|_\infty) \in \mathcal{K}_\infty}. \end{aligned} \quad (29)$$

Since there exist  $\beta \in \mathcal{KL}$  and  $\varrho \in \mathcal{K}_\infty$ , the error dynamics in closed loop is input-to-state stable [34], i.e., the solutions are ultimately bounded by  $\varrho(\|\Delta\|_\infty)$  and the system exhibits asymptotic stability to  $e = 0$  for  $\Delta = 0$ .

### E. EPLL Algorithm

The single-phase phase-locked loop (PLL) is very important for the controlled operation of a single-phase active distribution

TABLE I  
COMPONENTS' NOMINAL VALUES

Modules	Arithmetic operations									
	+	-	×	÷	√					
EPLL	8	16	6	0	14	30	10	0	0	0
PBC	1	1	6	5	15	14	3	1	1	1
Estimator	4	3	1	1	9	7	1	1	0	0
<b>Total</b>	13	20	13	6	38	51	13	2	1	1

system and a single-phase microgrid [35]. Synchronization of the grid current with the grid voltage has an important role in real power systems. To satisfy this control requirement, the overall system should have an excellent tracking capability, as well as a proper reference current. The phase estimation, the so-called EPLL [35], is used in this paper to generate the desired input current reference in the MLAR. The EPLL is used in various power and energy applications; a very detailed explanation of its benefits is given in [36] and [37]. The EPLL differential equations can be written as [36]

$$\begin{aligned}
 \frac{dE(t)}{dt} &= \mu_1 \sin \theta \\
 \frac{d\omega(t)}{dt} &= \mu_2 E \cos \theta \\
 \frac{d\theta(t)}{dt} &= \omega + \mu_3 \frac{d\omega(t)}{dt}.
 \end{aligned} \tag{30}$$

The values used in this work for  $\mu_{1,2,3}$  are shown in Table I.

#### IV. ALGORITHM DEVELOPMENT

In this section, we describe the process to obtain the algorithm for the digital implementation. It partially follows the methodology proposed in [38] and [39].

##### A. Modular Partitioning and Algorithm Digital Realization

In order to increase the clock frequency, as well as reduce the minimum time interval between successive data inputs, we divide a self-timed pipeline to the control system implementation into four modular stages. It consists of four subalgorithms: synchronization, an ESEDPOF controller, an algebraic estimator, and a multilevel modulator. These subalgorithms were designed with a focus on modularity, reusability, and independence. The exacted modules are those presented in Fig. 1. The control stages are based on a *Request/Acknowledge handshaking protocol*. This design uses the numeric format single-precision floating point standard IEEE-754 [40] and is based on the method of *digital redesign* employed in [41]. The complete system includes three main subalgorithms, described by (17), (25), and (30). The discrete approximation of each one is detailed as follows.

1) *EPLL, Synchronization (Stage 1)*: In the case of subalgorithm EPLL (30), required to synchronize with the grid (see

Fig. 1, Stage 1), these are rewritten as follows:

$$\begin{aligned}
 E(t) &= \int_0^t \mu_1 \sin(\theta(\tau)) d\tau \\
 \omega(t) &= \int_0^t \mu_2 E(\tau) \cos(\theta(\tau)) d\tau \\
 \theta(t) &= \int_0^t \omega(\tau) + \mu_2 \mu_3 E(\tau) \cos(\theta(\tau)) d\tau.
 \end{aligned} \tag{31}$$

The Euler method is used for the integration [42]. Then, (31) can be written in its discrete approximation as follows:

$$\begin{aligned}
 I_E[n] &= I_E[n-1] + \Delta t(E[n]) \\
 I_w[n] &= I_w[n-1] + \Delta t(w[n]) \\
 I_\theta[n] &= I_\theta[n-1] + \Delta t(\theta[n])
 \end{aligned}$$

where

$$\begin{aligned}
 E[n] &= \mu_1 \sin(\theta[n-1]) \\
 w[n] &= \mu_2 E[n] \cos(\theta[n-1]) \\
 \theta[n] &= w[n-1] + \mu_2 \mu_3 \cos(\theta[n-1]).
 \end{aligned} \tag{32}$$

To calculate the values of  $\sin(\theta)$  and  $\cos(\theta)$ , the *Taylor series expansion* was employed. The order of the expansion of  $\sin$  and  $\cos$  was 11 and 10, respectively.

2) *Passivity-Based Controller (PBC) (Stage 2)*: This stage consists of three major computations (see Fig. 1, Stage2): calculation of the reference current, feedforward ( $u_{av}^*$ ), and the PBC. The value of the discrete approximation of (12) and (13) is calculated by the following expressions:

$$\begin{aligned}
 i_L^*[n] &= A_1 \sin \theta[n-1] \\
 A_1[n] &= \frac{E}{2r_L} - \sqrt{\frac{E^2 \hat{R}_L[n] - 8V_d^2 r_L}{4r_L^2 \hat{R}_L[n]}} \\
 u_{av}^*[n] &= \frac{E \sin \theta[n-1] - r_L A_1 \sin \theta[n-1]}{V_d}.
 \end{aligned}$$

The coefficient  $A_1$  is recalculated using each new value of  $\hat{R}_L[n]$  provided by the *online algebraic estimator* (stage 3). Finally, the discrete approximation of the ESEDPOF controller (25) is as follows:

$$u_{av}[n+1] = u_{av}^*[n] + \gamma v_{C12}^*[n] e_{i_L}[n] - \gamma i_L^*[n] e_{v_{C12}}[n] \tag{33}$$

where

$$\begin{aligned}
 e_{i_L}[n] &= i_L[n] - i_L^*[n] \\
 e_{v_{C12}}[n] &= v_{C12}[n] - v_{C12}^*[n].
 \end{aligned}$$

3) *Online Algebraic Estimator (Stage 3)*: The discrete approximation of the online algebraic estimator (17) is as follows (see Fig. 1, Stage 3):

$$\hat{R}_L[n] = \begin{cases} \hat{R}_L[n] \cong R_L, & \text{for } n = 0 \\ \frac{\text{num}[n]}{\text{den}[n]}, & \text{for } n = 1, 2, \dots, k \end{cases} \tag{34}$$

**TABLE II**  
 FIRST APPROXIMATION AND OPTIMIZING OPERATIONS

Module	Latency	Execution time
$t_{ADC}$	$20 T_{clk_{ADC}}$	$0.8\mu s$
$t_{EPLL}$	$576 T_{clk_{MLAR}}$	$4.8\mu s$
$t_{PBC}$	$336 T_{clk_{MLAR}}$	$2.8\mu s$
$t_{Est}$	$144 T_{clk_{MLAR}}$	$1.2\mu s$
$t_{PWM}$	$83 T_{clk_{MLAR}}$	$83ns$
$T_{overall} =$	$9.683\mu s$	
$T_{clk_{ADC}} = 40ns,$	$f_{ADC} = 25MHz$	
$T_{clk_{MLAR}} = 8.33ns,$	$f_{MLAR} = 120MHz$	

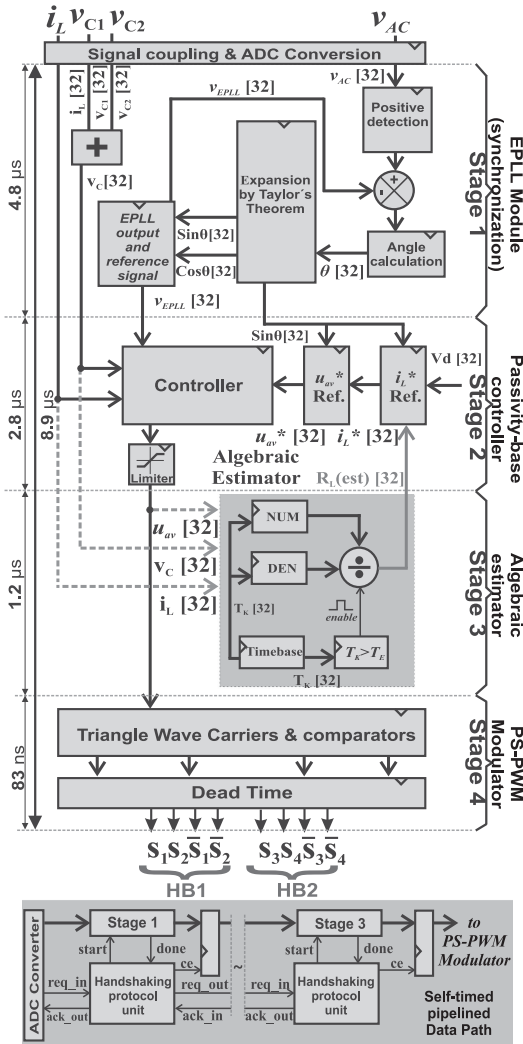


Fig. 2. Designed MLAR architecture.

where

$$\begin{aligned} \text{num}[n] &= T_k[n](I_{\text{num}}[n-1] + \Delta t_s v_{C12}) \\ \text{den}[n] &= (I_{\text{num}}[n-1] + \Delta t_s D[n]) - CT_k[n]v_{C12} \\ D[n] &= T_k[n]u_{av}[n]i_L + Cv_{C12}. \end{aligned}$$

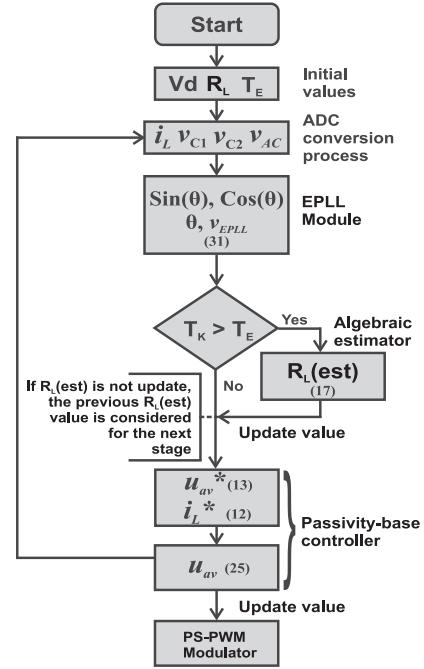


Fig. 3. Flowchart for the proposed MLAR.

$\Delta t_s$  represents the integration step of the algebraic estimator, and  $T_k[n] = T_k[n-1] + \epsilon$  performs the function of *timebase* in the estimator. If  $T_k[n]$  is greater than the reset time  $T_E$  ( $T_k[n] > T_E$ ), then the module division is enabled, so a new estimated value of  $\hat{R}_L$  is obtained.

Finally, the sinusoidal pulse width modulation module (see Fig. 1, Stage 4) is designed according to [41].

### B. Algorithm Optimization

The first approach to computation required for the analyzed subalgorithms (arithmetic operations addition, subtraction, multiplication, and division) is shown in Table II. For example, after analysis in the case of the algorithms performed, the number of division operations was decreased for stage 1. The operations division in the Taylor series expansion were replaced by multiplications using the scalar reciprocal of factorials. After performing some factorizations, the number of arithmetic operations is shown in Table II in gray columns. Analyzing Table II, the number of multiplications increased, but the divisions were decreased. This mainly reflects a reduction in the execution time of the algorithms, since the module division needs more clock cycles (10 Tclk) compared to the multiplication module (5 Tclk).

## V. ARCHITECTURE DEVELOPMENT

In a self-timed system, the elements of the digital circuit are synchronized locally using a handshaking protocol. In order to operate correctly, this protocol requires that a circuit begins operation upon the receipt of a *request* signal and produces an

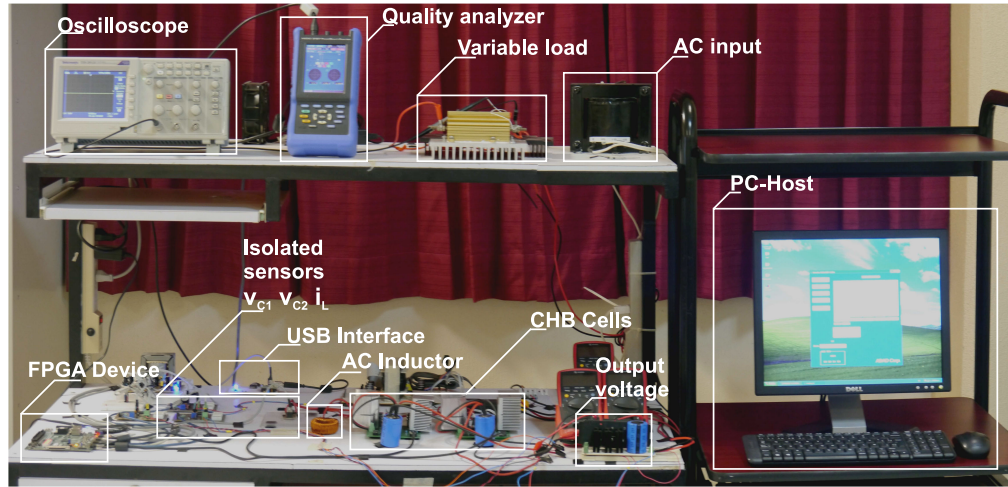


Fig. 4. MLAR experimental setup.

TABLE III  
EXECUTION TIME FOR THE MLAR ARCHITECTURE

Hardware Resource	Available	Consumed	Percentage
Slice Registers	18254	4654	25%
Slice LUTs	9112	5874	64%
Occupied Slices	2278	1933	84 %
16-KByte RAM Blocks	32	26	81%
DSP48A1s Slices	32	8	25%

TABLE IV  
CONSUMED HARDWARE RESOURCES FOR THE MLAR ARCHITECTURE

Parameter	Nominal value
Input smoothing inductor	$L = 3mH$ $r_L = 1.15\Omega$
Value of dc-link capacitors	$C = C_1 = C_2 = 1500\mu F$
Load	$R_L = 140\Omega$ (Nominal value)
Diode( $D_1$ )	CTB34D
N-Channel Power MOSFET	IRF640N
MOSFET Switching frequency	10 kHz

$\mu_1 = 200$ ;  $\mu_2 = 1200$ ;  $\mu_3 = 0.01$   
(See [31])

acknowledge signal when its operation is complete [43]. The self-timed architecture designed is described in the following.

### A. Architecture Design

The whole architecture is shown in Fig. 2. The MLAR architecture is designed as asynchronous only at its top level; its modules have been implemented as a mixed-timed system, i.e., the property of a self-timed pipeline has been exploited in the design as a mixed synchronous–asynchronous system. To enhance performance and minimize hardware costs, the objective consists in developing an FPGA-based architecture using VHDL. For this purpose, a medium-scale FPGA platform, namely, Spartan-6

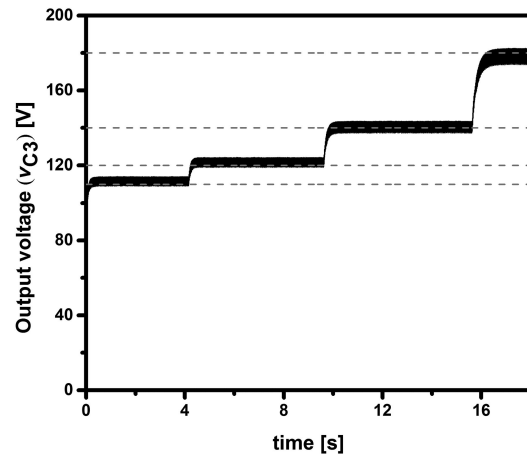


Fig. 5. Measured dc link for various reference voltage steps (from 100 to 180 V).

XC6SLX16, is used to implement the ESEDPOF controller, the online algebraic estimator, the EPLL, and the multilevel PWM.

The control unit has to ensure the proper synchronization between all the tasks of the process. Seven flow control signals are required to ensure proper operation between stages: *req\_in*, *ack\_out*, *start*, *done*, *ce*, *req\_out*, and *ack\_in* (see Fig. 2). The block diagram depicted in Fig. 2 together with the flowchart in Fig. 3 explains and shows the procedure to be followed to calculate the synchronization (EPLL), the algebraic estimator, the control law, and the multilevel PWM. Each stage is related to the corresponding equation described in Sections III and IV. Furthermore, the generation of the VHDL code for this work is done in a modular way, and it has been hand coded. As a consequence, each stage corresponds to VHDL code lines, which is impossible to show due to space limitations. In spite of this, the block diagram and the flowchart depicted in Figs. 2 and 3, respectively, allow us to reproduce the idea easily.



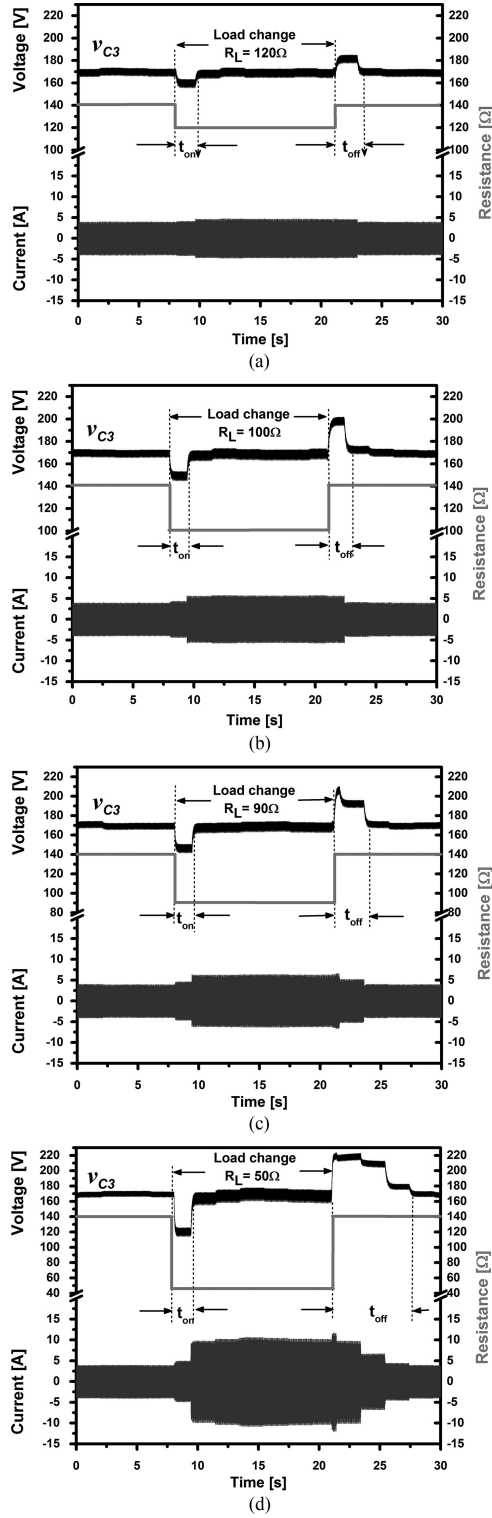


Fig. 6. Experimental framework. (a) Load change ( $140\Omega$  to  $120\Omega$  to  $140\Omega$ ). (b) Load change ( $140\Omega$  to  $100\Omega$  to  $140\Omega$ ). (c) Load change ( $140\Omega$  to  $90\Omega$  to  $140\Omega$ ). (d) Load change ( $140\Omega$  to  $50\Omega$  to  $140\Omega$ ). Note that the control law minimizes changes in the output voltage ( $v_C$ ).

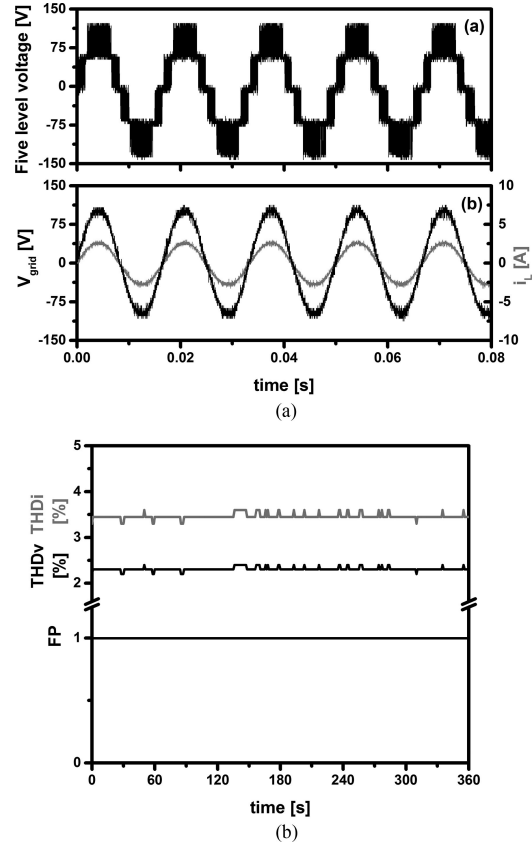


Fig. 7. Measured waveform. (a) *Top*: Multilevel voltage produced by the converter on the ac side; *bottom*: ac voltage ( $V_{AC}$ ) and alternating current ( $i_L$ ) under the rated load condition ( $R_L = 140\Omega$ ). (b) THD<sub>v</sub>, THD<sub>i</sub>, and PF.

**B. Time-Area Performance**

Table III shows the latency and execution time of all subalgorithms of the MLAR architecture including the analog-to-digital converter (ADC).

For performing the synthesis, *Xilinx ISE Design Suite 14.7*, an EDA software tool, was used. Table IV shows the resources needed to implement the MLAR architecture, as well as the USB-interface hardware.

**VI. EXPERIMENTAL RESULTS**

In this section, the experimental validation of the proposed approach is described. The elements' nominal values and the switching frequency value are condensed in Table I. The main power supply voltage ( $v_{AC}$ ), inductor current ( $i_L$ ), and output voltage ( $v_{C12}$ ) are acquired by means of three ADCs with a resolution equal to 48.82 mV, 12.20 mA, and 97.65 mV, respectively. In order to transfer the data, for analysis purpose, between the FPGA device and the host PC, a USB interface is used. The complete experimental setup of the MLAR system is presented in Fig. 4, where the ac source and each element and measure equipment is depicted.

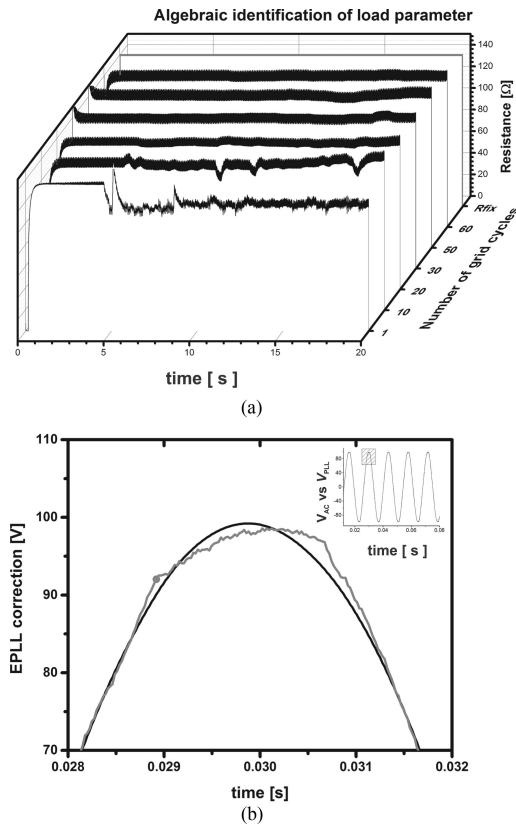


Fig. 8. (a) Evolution in the time of the process of algebraic estimation load parameter. (b) Zoom EPLL correction.

To assess the system dynamic performance, two types of tests have been considered. The first one allows us to validate load voltage regulation to different reference values (100–180 V). This scenario is shown in Fig. 5.

The second test aims to validate the controller-estimator robustness toward abrupt load changes. In this case, the algebraic estimator has to estimate the nominal load value  $R_L$ , and the controller has to compensate this disturbance. This experimental framework is shown in Fig. 6, where it is appreciated that  $R_L$  is estimated and compensated ( $t_{\text{on}} = 1$  s in each case). In the four scenarios,  $\hat{R}_L$  is considered fixed ( $\hat{R}_L = 140 \Omega$ ) until the value is updated by the algebraic identification.

Fig. 7(a), top, shows the voltage waveform produced by the MLAR on the ac side (five levels). Fig. 7(a), bottom, shows the grid current in phase with the grid voltage. In regard to the issue of energy quality, the MLAR behavior is satisfactorily fulfilled within the standards established by the IEEE-519 standard, the  $\text{THD}_i$  test was 3.37%, and for the voltage a  $\text{THD}_v$  value was 2.27% compliant with the IEC-555 standard. The result of the power factor that was measured and reached a unit value, as can be depicted in Fig. 7(b).

Finally, Fig. 8(a) shows the behavior of the algebraic estimation as a function of the number of grid cycles used for its calculation. In this figure, it can be seen that as the number of

grid cycles increases, the accuracy of the algebraic identification increases. The process was performed iteratively until we obtained the estimate  $\hat{R}_L = R_L = 140 \Omega$ . In order to verify that the performance of the PLL algorithm is satisfactory, Fig. 8(b) shows an important aspect of its operation. The graph in gray shows the grid voltage; this wave owns a detrimental deformation; therefore, it is not directly considered as a reference signal in the controller. The graph in solid black corresponds to the output signal provided by the EPLL module. As can be seen, this signal does not show any deformation; therefore, it has been used as a reference to synchronize the current and voltage in the controller.

## VII. CONCLUSION

This paper presents an MLAR powered directly from an ac grid. In terms of the power topology, a diode in forward biased is proposed to work as an adder of the dc output voltage of each HB of the rectifier. An FPGA implementation of an ESEDPOF controller was accomplished, and laboratory experiments were performed on the experimental prototype. The FPGA design is based on the *top-down* methodology, and it was described in detail. Additionally, the developed FPGA-based architecture has been hand coded using VHDL. Synchronization of the grid current with the grid voltage was performed with the EPLL algorithm. As a result, good tracking capability and suitable current reference are obtained. The performance of the controlled system was evaluated by two types of tests: step change for validating the output voltage regulation and an independent load step change to verify the robustness of the output voltage of the converter. A good performance is observed in the experimental results, which shows the effectiveness of the proposed control scheme, keeping an almost sinusoidal grid current. The proposed ESEDPOF controller scheme is shown to be effective for handling the load uncertainties, thanks to the algebraic parameter estimation algorithm.

## APPENDIX

### DYNAMIC EQUATIONS AND AVERAGE MODEL

Table V shows the possible switching configurations for the MLAR when  $v_{AC} > 0$ . The column labeled  $v_{CD}$  in Table V shows the five possible voltage levels that can maintain the HBs' outputs. On the other hand, in the column labeled  $v_C$ , 13 different switching combinations for the zero voltage level and three states of forward biased for the diode are depicted. Among these three states, only an alone state allows the sum of the voltages of the cells in order to obtain  $v_C = v_{C1} + v_{C2}$ . Consider the circuit of a two-HB MLAR system depicted in Fig. 1. In order to obtain the average model of the MLAR, we replace the MOSFET devices with a simple bidirectional switch, as shown in Figs. 9 and 10. The switching signal  $u$  indicates the switch position and takes values in the finite set  $\{-1, 1\}$ . Furthermore, the switches are operating in a complementary way as shown in the circuits, i.e., when  $u = 1$ , then  $\bar{u} = -1$ , and vice versa.

The first case is analyzed when  $v_{AC} > 0$  (see Fig. 9). For this case, we chose  $u = 1$ , and applying the Kirchhoff's voltage law

**TABLE V**  
 SWITCHING STATES OF THE PROPOSED MLAR WHEN  $v_{AC} > 0$ 

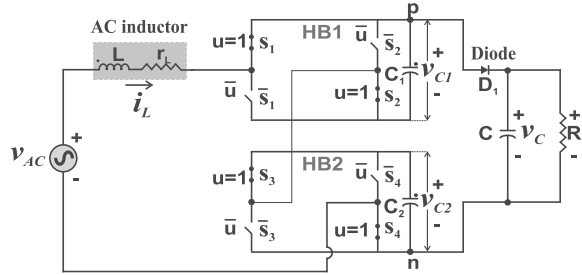
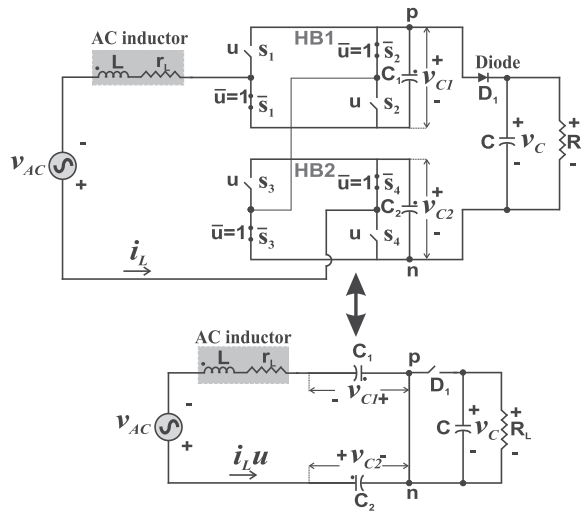
Switching State	$v_{CD}$	$S_2$	$S_4$	$S_3$	$S_1$	$v_C$
0	$-(v_{C1} + v_{C2})$	0	0	0	0	0
1	$-v_{C2}$	0	0	0	1	0
2	$-v_{C1}$	0	0	1	0	0
3	0	0	0	1	1	0
4	$-v_{C1}$	0	1	0	0	0
5	0	0	1	0	1	0
6	0	0	1	1	0	0
7	$v_{C2}$	0	1	1	1	$\frac{v_C}{2}$
8	$-v_{C2}$	1	0	0	0	0
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	$-v_{C1}$	1	0	1	1	0
12	0	1	1	0	0	0
13	$v_{C1}$	1	1	0	1	$\frac{v_C}{2}$
14	$v_{C2}$	1	1	1	0	0
15	$v_{C1} + v_{C2}$	1	1	1	1	$v_C$

**Remarks:**
 $v_{CD} :=$  voltage between points  $C$  and  $D$  in Fig. 1.

 $v_{C1} = v_{C2}$ .

 $v_C = v_{C1} + v_{C2}$ .

 Each pair of switches ( $S_1 - \bar{S}_1$ ,  $S_2 - \bar{S}_2$ ,

 $S_3 - \bar{S}_3$  and  $S_4 - \bar{S}_4$ ) in Fig. 1, works in a complementary manner.

 Fig. 9. Applying KVL and KCL, when  $v_{AC} > 0$ , then  $u = 1$ .

 Fig. 10. Applying KVL and KCL, when  $v_{AC} < 0$ , then  $\bar{u} = 1$ .

(KVL) and Kirchoff's current law (KCL) to the circuit, one obtains the following differential equations:

$$L \frac{di_L(t)}{dt} = -r_L i_L(t) - uv_{C12}(t) + v_{AC}$$

$$C_{eq} \frac{d(v_{C12}(t))}{dt} = i_L(t)u - \frac{v_{C12}(t)}{R_L} \quad (35)$$

where

$$v_{C12}(t) = v_{C1}(t) + v_{C2}(t), C_{12} = \frac{C_1 C_2}{C_1 + C_2}, C_{eq} = C_{12} + C.$$

 The second case is analyzed when  $v_{AC} < 0$  (see Fig. 10). We chose  $\bar{u} = 1$ , and applying the same procedure, the following differential equations are obtained:

$$L \frac{di_L(t)}{dt} = -r_L i_L(t) - \bar{u}v_{C12}(t) + v_{AC}$$

$$C_{12} \frac{dv_{C12}(t)}{dt} = i_L(t)\bar{u}$$

$$C \frac{dv_C(t)}{dt} = -\frac{v_C(t)}{R_L} \quad (36)$$

 where  $v_C(t)$  is the voltage across the capacitor  $C$ , which coincides with the voltage in the load  $R_L$ .

 Consider the set of differential equations (35) and (36). Since the sequence of switching position  $u$  is driven by a phase-shifted PWM circuit, the system exhibits an averaged behavior [44]. As a consequence,  $u$  is substituted, in the average representation, by a continuous signal  $u_{av}$ , which resides in the closed interval  $[-1, 1]$  and acts as the control input to the MLAR system. This signal represents the duty ratio of the phase-shifted PWM circuit. Assume that  $C_1 = C_2 = C$ ; then,  $C_{12} = \frac{1}{2}C < C < \frac{3}{2}C = C_{12} + C = C_{eq}$ . Therefore, the *state average model* system is given by

$$L \frac{di_L(t)}{dt} = -r_L i_L(t) - u_{av}v_{C12}(t) + v_{AC} \quad (37)$$

$$C \frac{dv_{C12}(t)}{dt} = i_L(t)u_{av} - \frac{v_{C12}(t)}{R_L} \rho(v_{AC}) \quad (38)$$

with

$$\rho(v_{AC}) = \frac{1}{2} (1 + \text{sign}(v_{AC})) = \begin{cases} 1, & \text{if } v_{AC} > 0 \\ 0, & \text{if } v_{AC} < 0 \end{cases}$$

 Furthermore, the output voltage across the capacitor  $C$  and load resistance  $R_L$ , denoted  $v_C$ , is given by

$$v_C(t) = \begin{cases} v_{C12} = v_{C1}(t) + v_{C2}(t), & \text{if } v_{AC} > 0 \\ e^{-\frac{1}{\tau} (t-t_i)} v_C(t_i), & \text{if } v_{AC} < 0 \end{cases}$$

 where  $t_i \in T_0 := \{t_0, t_1, t_2, \dots\}$  defines the set of time instants at which  $v_{AC}$  becomes negative. In the same way,  $v_C(t_i)$  will denote the series of successive voltage values across the capacitor  $C$  at instants  $t_i$ . This value represents the initial condition of the solution of the third differential equation in (36).

*Remark 7.1:* Note that  $v_{AC} = E \sin(\omega t)$ ; then, the time instants  $t_i$  coincide with  $t = \frac{n\pi}{\omega}$  with  $n = 1, 3, 5, 7, \dots$

## REFERENCES

- [1] A. Siebert, A. Troedson, and S. Ebner, "AC to DC power conversion now and in the future," *IEEE Trans. Ind. Appl.*, vol. 38, no. 4, pp. 934–940, Jul./Aug. 2002.
- [2] J. R. Rodríguez, J. W. Dixon, J. R. Espinoza, J. Pontt, and P. Lezana, "PWM regenerative rectifiers: State of the art," *IEEE Trans. Ind. Electron.*, vol. 52, no. 1, pp. 5–22, Feb. 2005.
- [3] O. González, J. Pérez-Ramírez, J. A. Beristain, E. J. J. Rodríguez, and N. Vázquez, "Unity power factor rectifier with reactive and harmonic current compensation," in *Proc. 13th Int. Conf. Power Electron.*, Guanajuato, Mexico, 2016, pp. 238–242.
- [4] A. Dell'Aquila, M. Liserre, V. G. Monopoli, and P. Rotondo, "An energy-based control for an n-H-bridges multilevel active rectifier," *IEEE Trans. Ind. Electron.*, vol. 52, no. 3, pp. 670–678, Jun. 2005.
- [5] A. Dell'Aquila, M. Liserre, V. G. Monopoli, and P. Rotondo, "Overview of PI-based solutions for the control of DC buses of a single-phase h-bridge multilevel active rectifier," *IEEE Trans. Ind. Appl.*, vol. 44, no. 3, pp. 857–866, May/June 2008.
- [6] M. A. Hernandez-Nochebuena and I. Araujo-Vargas, "Space vector control of a thirteen-level active rectifier," in *Proc. 13th Int. Conf. Power Electron.*, Guanajuato, Mexico, 2016, pp. 243–246.
- [7] O. Carranza, E. Figueres, G. Garcera, L. G. Gonzalez, and F. Gonzalez-Espin, "Peak current mode control of a boost rectifier with low distortion of the input current for wind power systems based on permanent magnet synchronous generators," in *Proc. 13th Eur. Conf. Power Electron. Appl.*, Sep. 2009, pp. 1–10.
- [8] S. A. Alberto González, M. I. Valla, and S. A. Verne, *Multilevel Converters for Industrial Applications*, 1st ed. Boca Raton, FL, USA: CRC Press, Jul. 2013.
- [9] B. R. Lin and H. H. Lu, "New multilevel rectifier based on series connection of H-bridge cell," *IEE Proc.—Electr. Power Appl.*, vol. 147, no. 4, pp. 304–312, Jul. 2000.
- [10] C. Cecati, A. Dell'Aquila, M. Liserre, and V. G. Monopoli, "Design of H-bridge multilevel active rectifier for traction systems," *IEEE Trans. Ind. Appl.*, vol. 39, no. 5, pp. 1541–1550, Sep./Oct. 2003.
- [11] R. A. Mastromauro, S. Pugliese, and S. Stasi, "An advanced active rectifier based on the single-star bridge cells modular multilevel cascade converter for more-electric-aircrafts applications," in *Proc. Int. Conf. Elect. Syst. Aircr., Railway, Ship Propulsion Road Veh.*, 2015, pp. 1–6.
- [12] V. G. Monopoli, D. Gerry, P. Zanchetta, J. C. Clare, and P. W. Wheeler, "A low frequency predictive current control for multilevel active rectifiers," in *Proc. 35th Annu. Power Electron. Spec. Conf.*, 2004, vol. 5, pp. 3553–3558.
- [13] P. Zanchetta, D. B. Gerry, V. G. Monopoli, J. C. Clare, and P. W. Wheeler, "Predictive current control for multilevel active rectifiers with reduced switching frequency," *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 163–172, Jan. 2008.
- [14] M. Vasiladiotis, K. Pavlou, S. Manias, and A. Rufer, "Model predictive-based control method for cascaded H-bridge multilevel active rectifiers," in *Proc. IEEE Energy Convers. Congr. Expo.*, Phoenix, AZ, USA, 2011, pp. 3200–3207.
- [15] T. Xinghua, X. Lie, S. Yichao, and S. Min, "A transformerless cascaded AC-DC-AC converter for multiphase propulsion drive application," in *Proc. Int. Conf. Elect. Mach. Syst.*, 2011, pp. 1–5.
- [16] H. Iman-Eini, S. Farhangi, M. Khakbazan-Fard, and J.-L. Schanen, "Analysis and control of a modular MV-to-LV rectifier based on a cascaded multilevel converter," *J. Power Electron.*, vol. 9, no. 2, pp. 133–145, 2009.
- [17] D. Nešić and A. Teel, "A framework for stabilization of nonlinear sampled-data systems based on their approximate discrete-time models," *IEEE Trans. Autom. Control*, vol. 49, no. 7, pp. 1103–1122, Jul. 2004.
- [18] D. Nešić and L. Grune, "Lyapunov-based continuous-time nonlinear controller redesign for sampled-data implementation," *Automatica*, vol. 41, no. 7, pp. 1143–1156, 2005.
- [19] A. Moeini, H. Zhao, and S. Wang, "A current-reference-based selective harmonic current mitigation PWM technique to improve the performance of cascaded h-bridge multilevel active rectifiers," *IEEE Trans. Ind. Electron.*, vol. 65, no. 1, pp. 727–737, Jan. 2018.
- [20] H. Vahedi and K. Al-Haddad, "A novel multilevel multioutput bidirectional active buck PFC rectifier," *IEEE Trans. Ind. Electron.*, vol. 63, no. 9, pp. 5442–5450, Sep. 2016.
- [21] N. Marchand, S. Durand, J. F. Guerrero-Castellanos, "A general formula for event-based stabilization of nonlinear systems," *IEEE Trans. Autom. Control*, vol. 58, no. 8, pp. 1332–1337, May 2013.
- [22] May 2017. [Online]. Available: <http://rctcmagazine.com/articles/view/100399>
- [23] M. Dagbagi, A. Hemdani, L. Idkhajine, M. W. Naouar, E. Monmasson, and I. Slama-Belkhdja, "ADC-based embedded real-time simulator of a power converter implemented in a low-cost FPGA: Application to a fault-tolerant control of a grid-connected voltage-source rectifier," *IEEE Trans. Ind. Electron.*, vol. 63, no. 2, pp. 1179–1190, Feb. 2016.
- [24] W. H. Zhu, "FPGA logic devices for precision control: An application to large friction actuators with payloads," *IEEE Control Syst. Mag.*, vol. 34, no. 3, pp. 54–75, Jun. 2014.
- [25] G. Escobar, D. Chevreau, R. Ortega, and E. Mendes, "An adaptive passivity-based controller for a unity power factor rectifier," *IEEE Trans. Control Syst. Technol.*, vol. 9, no. 4, pp. 637–644, Jul. 2001.
- [26] R. D. Middlebrook and S. Cuk, "A general unified approach to modelling switching-converter power stages," in *Proc. Power Electron. Spec. Conf.*, Cleveland, OH, USA, 1976, pp. 73–86.
- [27] H. Sira-Ramírez and R. Silva-Ortigoza, *Control Design Techniques in Power Electronics Devices* (ser. Power Systems Series). London, U.K.: Springer-Verlag, 2006.
- [28] A. van der Schaft, *L<sub>2</sub>-Gain and Passivity Techniques in Nonlinear Control* (ser. Communications and Control Engineering). London, U.K.: Springer-Verlag, 2000.
- [29] M. Fliess and H. Sira-Ramírez, "An algebraic framework for linear identification," *ESAIM: Control, Optim. Calculus Variations*, vol. 168, pp. 151–168, Jan. 2003.
- [30] M. Fliess and H. Sira-Ramírez, "Closed-loop parametric identification for continuous-time linear systems via new algebraic techniques," in *Identification of Continuous-Time Models From Sampled Data* (ser. Advances in Industrial Control). New York, NY, USA: Springer, 2008, pp. 362–391.
- [31] J. Linares-Flores, A. Hernández Méndez, C. García-Rodríguez, and H. Sira-Ramírez, "Robust nonlinear adaptive control of a boost converter via algebraic parameter identification," *IEEE Trans. Ind. Electron.*, vol. 61, no. 8, pp. 4105–4114, Aug. 2014.
- [32] J. Linares-Flores, H. Sira-Ramírez, E. Yescas-Mendoza, and J. J. Vázquez-Sanjuan, "A comparison between the algebraic and the reduced order observer approaches for on-line load torque estimation in a unit power factor rectifier-dc motor system," *Asian J. Control*, vol. 14, no. 1, pp. 45–57, 2012.
- [33] H. K. Khalil, *Nonlinear Systems*, 3rd ed. Englewood Cliffs, NJ, USA: Prentice-Hall, 2002.
- [34] E. D. Sontag and Y. Wang, "On characterizations of the input-to-state stability property," *Syst. Control Lett.*, vol. 24, pp. 351–359, 1995.
- [35] M. K. Ghartemani, and M. R. Iravani, "A nonlinear adaptive filter for online signal analysis in power systems applications," *IEEE Trans. Power Del.*, vol. 17, no. 2, pp. 617–622, Apr. 2002.
- [36] Karimi-Ghartema, Masoud, *Enhanced Phase-Locked Loop Structures for Power and Energy Applications*. New York, NY, USA: Wiley/IEEE Press, 2014.
- [37] M. Karimi-Ghartemani, "Linear and pseudolinear enhanced phase-locked loop (EPLL) structures," *IEEE Trans. Ind. Electron.*, vol. 61, no. 3, pp. 1464–1474, Mar. 2014.
- [38] E. Monmasson, L. Idkhajine, and M. W. Naouar, "FPGA-based controllers," *IEEE Ind. Electron. Mag.*, vol. 5, no. 1, pp. 14–26, Mar. 2011.
- [39] E. Monmasson, G. Petrone, and G. Spagnuolo, "FPGA-based implementation of dual Kalman filter for PV MPPT applications," *IEEE Trans. Ind. Inform.*, vol. 13, no. 1, pp. 176–185, Feb. 2017.
- [40] J. J. Rodríguez-Andina, M. D. Valdés-Peña, and M. J. Moure, "Advanced features and industrial applications of FPGAs—A review," *IEEE Trans. Ind. Inform.*, vol. 11, no. 4, pp. 853–864, Aug. 2015.
- [41] J. A. Juárez-Abad, J. Linares-Flores, E. Guzman-Ramirez, and H. Sira-Ramírez, "Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An FPGA implementation," *IEEE Trans. Ind. Inform.*, vol. 10, no. 1, pp. 256–266, Feb. 2014.
- [42] U. Ascher and L. Petzold, *Computer Methods for Ordinary Differential Equations and Differential-Algebraic Equations* (ser. Advanced Engineering Mathematics). Hoboken, NJ, USA: Wiley, 2006.
- [43] T. Williams et al., "Self-timed pipelines," in *Design of High-Performance Microprocessor Circuits*, A. Chandrakasan et al., Eds. New York, NY, USA: Wiley, 2000, ch. 9.
- [44] R. Ortega, A. Loria, P. J. Nicklasson, and H. Sira-Ramírez, *Passivity-Based Control of Euler-Lagrange Systems*. New York, NY, USA: Springer-Verlag, 1998.



**José Antonio Juárez-Abad** received the Electronics Engineering degree from the Instituto Tecnológico de Oaxaca, Oaxaca, México, in 2002, and the M.Sc. degree in electronic and computer in 2012 from the Universidad Tecnológica de la Mixteca (UTM), Huajuapán de León, México, where he is currently working toward the Ph.D. degree in electronics.

He is a Research Professor with UTM. His research interests include the development and implementation of hardware architectures on reconfigurable logic for control, automatic control applied to power electronics (multilevel converters), and embedded system designs based on microcontrollers or field-programmable gate arrays.



**José Fermi Guerrero-Castellanos** received the B.S. degree in electronic science from the Benemérita Universidad Autónoma de Puebla (BUAP), Puebla, México, in 2002, the M.Sc. degree in automatic control from the Grenoble Institute of Technology, Grenoble, France, in 2004, and the Ph.D. degree in automatic control from Joseph Fourier University, Grenoble, in 2008.

Between January 2008 and June 2008, he was a Postdoctoral Researcher with GIPSA-Lab Laboratory, Grenoble. In 2009, he joined the Faculty of Electronics, BUAP, as a Full Professor, where he established and directs the Control and Cyber-Physical Systems Laboratory. He is also the Head of Renewable Energy Engineering with BUAP.



**Arturo Pablo Sandoval-García** received the bachelor's degree in electronics engineering and the M.Sc. degree in optoelectronics from the Benemérita Universidad Autónoma de Puebla, Puebla, México, in 1999 and 2004, respectively. He is currently working toward the Ph.D. degree in electronics from the Universidad Tecnológica de la Mixteca (UTM), Huajuapán de León, México.

He is currently a Research Professor with UTM. His research interests include electronic power systems and control.



**Pedro Bañuelos-Sánchez** received the Ph.D. degree in electrical engineering from the Ecole Supérieure d'Electricité, Paris, France, in 2001.

He is currently an Associate Professor with the Department of Computation, Electronics and Mechatronics, Universidad de las Américas Puebla, San Andrés Cholula, México. He was an Associate Researcher, Visiting Researcher, and Visiting Professor with different universities. His research interests include high-frequency power conversion, power factor correction techniques, high-frequency magnetics, power converters applied to photovoltaic and wind energy, and modeling and control of converters.



**Jesús Linares-Flores** (M'13–SM'14) received the Ph.D. degree in electrical engineering from the Centro de Investigación y de Estudios Avanzados del IPN, Mexico City, México, in 2006.

Since 2007, he has been a member of the Head of the Academic Body UTMIX-CA-24, Universidad Tecnológica de la Mixteca, Huajuapán de León, México. He is on sabbatical leave with the Facultad de Ciencias de la Electrónica, Benemérita Universidad Autónoma de Puebla.

His research interests include theoretical and practical aspects of feedback regulation of linear and nonlinear dynamic systems with a special emphasis on passivity-based and generalized proportional–integral control techniques and their applications in power electronics.

Dr. Linares-Flores is a member of the National System of Researchers (SNI, Level I), Consejo Nacional de Ciencia y Tecnología, Mexico.



**Marco Antonio Contreras-Ordaz** received the M.Sc. and Ph.D. degrees in electronics from the Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavaca, México, in 2001 and 2007, respectively.

He is currently a Research Professor with the Universidad Tecnológica de la Mixteca, Huajuapán de León, México. His current research interests include power quality, multilevel converters, and integration of renewable energy.

**Date:** 16 Aug 2022  
**To:** "Jose Antonio Juarez-Abad" abad0204@gmail.com  
**cc:** "Ruben Heredia-Barba" rubenflaixs@hotmail.com, "Jesús Linares-Flores" jlinares@mixteco.utm.mx, "Marco Antonio Contreras-Ordaz" marco.contreras@mixteco.utm.mx, "Jorge Luis Barahona-Ávalos" jbarahona@mixteco.utm.mx  
**From:** "JPEL Editorial Office" prabhudeva.bhaskar@springer.com  
**Subject:** Decision on Manuscript JPEL-D-22-00026R1 - Accepted but needs final editing  
 **Attachment(s):** Revision\_Due.ics

Dear Professor Juarez-Abad,

We are pleased to inform you that your submission JPEL-D-22-00026R1 Passivity-Based Controller for a High Energy Quality Active Rectifier-DC Motor System: An FPGA Implementation has been accepted for publication in Journal of Power Electronics

However, before your paper can be forwarded to our Production Department, you are requested to upload the revision one more time. But, please hold on.

Soon, the Managing Editor, Ms. Sejin Jung, will contact you for the process. Please DO NOT upload the revised manuscript to the web site before then. You will be informed what to do.

AFTER the process outside of the web site has been done, we look forward to receiving your final version of your manuscript through the web site before 14 Dec 2022.

In order to add the due date to your electronic calendar, please open the attached file.

Kind regards,

Kyo-Beum Lee, Ph.D.  
Editor-in-Chief  
Journal of Power Electronics

Comments to the author (if any):

Reviewer #1: Thank you for correction. I have confirmed that all modifications have been reflected.

Reviewer #3: The manuscript is properly revised.

\*\*\*\*\*

Please note that this journal is a Transformative Journal (TJ). Authors may publish their research with us through the traditional subscription access route or make their paper immediately open access through payment of an article-processing charge (APC). Authors will not be required to make a final decision about access to their article until it has been accepted.

**Authors may need to take specific actions to achieve compliance with funder and institutional open access mandates.** If your research is supported by a funder that requires immediate open access (e.g. according to Plan S principles) then you should select the gold OA route, and we will direct you to the compliant route where possible. For authors selecting the subscription publication route our standard licensing terms will need to be accepted, including our self-archiving policies. Those standard licensing terms will supersede any other terms that the author or any third party may assert apply to any version of the manuscript.

[Find out more about compliance](#)

This letter contains confidential information, is for your own use, and should not be forwarded to third parties.

Recipients of this email are registered users within the Editorial Manager database for this journal. We will keep your information on file to use in the process of submitting, evaluating and publishing a manuscript. For more information on how we use your personal details please see our privacy policy at <https://www.springernature.com/production-privacy-policy>. If you no longer wish to receive messages from this journal or you have questions regarding database management, please contact the Publication Office at the link below.

In compliance with data protection regulations, you may request that we remove your personal registration details at any time. (Use the following URL: <https://www.editorialmanager.com/jpel/login.asp?a=r>). Please contact the publication office if you have any questions.

# Passivity-Based Controller for a High Energy Quality Active Rectifier-DC Motor System: An FPGA Implementation

Rubén Heredia-Barba<sup>1</sup> José Antonio Juárez-Abad<sup>1\*</sup> Jesús Linares-Flores<sup>1</sup> Marco Antonio Contreras-Ordaz<sup>1</sup> Jorge Luis Barahona-Ávalos<sup>1</sup>

## Abstract

This paper presents a controller based on passivity for a Single-Phase Active Rectifier DC Motor (SPAR-DCM) system. The main objective in the mechanical stage (DCM) is to regulate and maintain the angular speed desired of the motor under sudden load torque changes in the motor's shaft. At the same time, in the electric power stage, namely Single-Phase Active Rectifier (SPAR), the power factor should stay very close to unity. We designed an Online Algebraic Estimator (OAE) to estimate the load torque parameter, adapted to the Linear Controller based on the Exact Static Error Dynamics Passive Output Feedback (ESEDPOF) to minimize its effects. To synchronize the SPAR-DCM system with the grid, we employ a SOGI-PLL to generate the necessary reference signals for the ESEDPOF controller. The arithmetic processing is programmed at medium-scale FPGA Spartan-6 XC6SLX16 through the detailed architecture design in 32-bits in floating-point according to the standard IEEE-754. Finally, experimental results verified the proposed control algorithm's correctness and effectiveness. We demonstrate through Power Quality measurements that the Power Factor value is close to unity.

**Keywords** FPGA, Active rectifier, SOGI-PLL, ESEDPOF, Online algebraic estimator.

## 1 Introduction

### A. Motivations and Background

Since several decades ago, a crucial research topic has been electrical energy control through the application of power electronics and the use of power electronic devices, employed the different topologies of existing power converters. In this direction, the use of control engineering and power electronics, in synergy with other

applications in generation or energy consumption. One of the energy consumption applications whose objective is to generate motion in multiple scenarios is the design of drivers for motors. Among other types of motors, DC motors have benefited since the design of their drivers is based on power electronic converters [1], [2]. DC motors systems are essential in plenty of industrial applications. They require high precision control in some of their magnitudes: position or angular velocity. Thus, some applications examples of such systems are: paper machines and the textile industry, laminating processes, traction systems, machine tools, robotics, refineries, railway systems, high-precision servo motor drives, and multi-axis [3], [4]. According to the related literature, drivers based on power converters for DC motors are divided into two groups: (a) DC/DC power-converters-driven DC motors and (b) AC/DC power-converters-driven DC motors. Then some applications related are mentioned then:

1) DC/DC power-converters-driven: DC motors driven by a DC-DC power converter such as chopper, buck, boost, buck-boost topology, that require a DC power supply [5]-[8].

2) AC/DC power-converters-driven: A typical application of rectifiers is electric motor drive systems, mainly DC motor-based systems [9], [10]. Generally, the AC-grid voltage is rectified to DC voltage to supply loads that require it, or also if the conversion is AC-AC, an intermediate DC stage is often necessary [11]. In many circumstances, it is entirely reasonable to have single-phase loads; thus, it is common to find single-phase rectifiers since they are popular [12]. Diode-based rectifiers, also called passive rectifiers, are widely used in AC-DC converters, and are generally grid-connected, where they create a series of problems mainly related to power quality. In this sense, the problems caused by the generation of even or odd harmonics of the fundamental frequency can cause malfunctions in drive systems based on motors and transformers. These problems can cause losses due to heating, misalignment of bearings, to name a few; this leads to the electromechanical system decreasing its cycle-life [13].

A strategy to minimize the generation of harmonic content in the AC-grid due to the rectification process is the use of converters without diode bridges or thyristors, commonly called active rectifiers. Active rectifiers

\* José Antonio Juárez-Abad  
Email: abad0204@gmail.com

Instituto de Electrónica y Mecatrónica, Universidad  
1 Tecnológica de la Mixteca, Carretera Huajuapán-  
Acatlana, km 2.5, Huajuapán de León, 69007, Oaxaca,  
México

areas, has generated more efficient routes for multiple

2

belong to a new generation of power converters and employ mature or new generation solid-state devices such as MOSFETs, IGBTs, and GTOs. This type of converter is generally also known as Switch-Mode Rectifiers (SMRs), Power-Factor Correctors (PFCs), or Pulse-Width-Modulation (PWM) rectifiers [14]-[16]. Active rectifier technology is the most promising rectifier technology from the standpoint of power quality. It has the advantages of a diode rectifier or a thyristor-based rectifier, with the added benefit of obtaining AC-grid power with minimal harmonic distortion and Power Factor value close to unity [17]. The active rectifier provides fast and precise control of the DC-link voltage, further has the following advantages: bidirectional power flow, regulation of the magnitude of the voltage on the DC bus, and less stress on semiconductor devices [18]. To ensure the advantages mentioned above, a fast and precise voltage synchronization method must be used. In order to carry out this task, the Phase-Lock-Loop algorithms or PLL are applied. A PLL is a closed-loop system in which an internal oscillator-controlled to keep the time of some external periodic signal by using the feedback loop; some of the more advanced synchronization methods are discussed and applied in [19], [20]. A method widely used in recent years is Second Order General Integrator Phase-Locked- Loop (SOGI-PLL) since just by measuring the AC-grid voltage, it is possible to obtain information on the position of the voltage vector ( $v$ ), the amplitude of the voltage vector ( $Um$ ) and fundamental frequency of the voltage ( $\omega$ ) [19]-[21].

On the other hand, Field Programmable Gate Arrays (FPGAs) have made their way as one of the preferred digital deployment platforms for the implementation of current power and industrial electronics applications. Currently, trends show that these devices will be used continuously due to the improvements in hardware they add to them, and the software design tools available. Due to the computational cost necessary to process multiple algorithms currently are required in power electronics applications, FPGAs are suitable as a processing device. It is essential to mention that their chief characteristics are that it has a considerable number of digital inputs and outputs, high processing capacity, concurrent execution of algorithms to perform arithmetic operations, among other advantages (see [22] and references therein).

### B. Contributions

Fig. 1 shows the general scheme of the system treated in this work. As can be seen, the system consists of integrating three crucial areas of the Electronic Engineering fields: Realtime control, Digital Systems and Power Electronics. In general terms, we consider a combination of a Single-Phase Active Rectifier (SPAR)

and a DC-motor connected as a complete system; from here on, we will name it the SPAR-DCM system. Regarding the Control Systems and Power Electronics, we proposed a control scheme to minimize the effects in DC-motor shaft speed caused for load torque changes applied on it. For it, the DC-motor system drives with a SPAR. The design of the angular speed controller with on the passive control technique of the ESEDPOF type (Exact Static Error Dynamics Passive Output Feedback), which acts on the SPAR output voltage to control the speed of the DC motor shaft indirectly. We present an improvement in two aspects: first, to improve the performance of the system by increasing the processing speed of the algorithms, using a reconfigurable logic device, and second, to enhance the aspects of power quality such as current total harmonic distortion in the main input power supply. We estimated the applied torque through an Online Algebraic Estimator (OAE) and the nominal value of the estimated torque used as an online replaceable function in the control law. Thus, the control scheme performs two main tasks: regulating angular speed even when there are changes in the motor load torque, and at the same time, it improves power transfer from the grid-utility to the motor via the SPAR. Overall, the harmonic content is minimized and precompensates the Power Factor (PF). We get a high PF and minimum grid-current distortion. To satisfy the numerical processing requirement demanded by the arithmetic of the control scheme, we employ an FPGA; therefore, we designed a detailed FPGA-based architecture and hand-encoded it in VHDL.

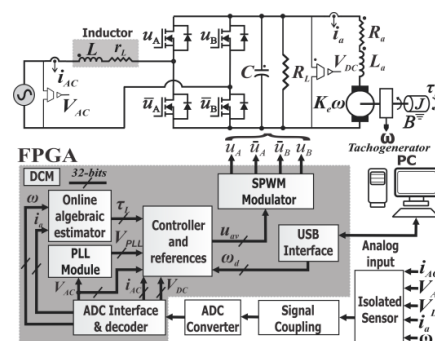


Fig. 1 Configuration for SPAR-DCM system

### C. Organization

This paper is structured as follows: System description, formulation of the problem, and control objectives, are presented in Section II. The ESEDPOF controller, the OAE, and the SOGI-PLL are expanded upon in Section III. Sections IV explain, in full detail, the FPGA implementation of each of the sub-algorithms analyzed in the previous sections. An experimental test bench to



validate the proposed control scheme is given in Section V. Finally, conclusions are drawn in Section VI.

## 2 The SPAR-DC Motor System

### A. System Description

Figure 1 shows the complete system that couples the dynamics of the SPAR with the DC permanent magnet motor. The SPAR is a motor drive that is coupled to the utility grid through a smoothing inductor  $L$  with series resistance  $r_L$ , and the inductor current is denoted by  $i_{AC}$ . The nominal value of resistor  $R_L$  is known. Meanwhile, the capacitor voltage is denoted by  $V_{DC}$ . The grid voltage is denoted by  $V_{AC} = E \sin(\omega t)$ . The SPAR operates as a boost converter, thus be considered that  $V_{DC} \geq V_{AC}$ . Moreover,  $u$  is considered as a switch position function whose values are within the set  $\{-1, 1\}$ . Additionally, as shown in Fig.1, the armature current is denoted by  $i_a$  and  $\omega$  represents the motor shaft angular velocity provided by a tachogenerator coupled to the motor shaft.

The average model of the system is given by (1) thus, the set of differential equations that describe the dynamics system is:

$$\begin{aligned} L \frac{di_{AC}}{dt} &= r_L i_{AC} - V_{DC} u_{av} + V_{AC} \\ C \frac{dV_{DC}}{dt} &= i_{AC} u_{av} - \left(\frac{1}{R_L}\right) V_{DC} - i_a \\ L_a \frac{di_a}{dt} &= V_{DC} - R_a i_a - K \omega \\ J \frac{d\omega}{dt} &= K i_a - B \omega - \tau_L \end{aligned} \quad (1)$$

Where  $R_a$  is the resistance of the rotor loop,  $L_a$  is the inductance of the rotor loop,  $J$  is the rotor moment of inertia. As it is treated in [23], where  $K_e = K_r$ , we consider  $K = K_e = K_r$ .

### B. Problem Statement and control objectives

Let  $\omega_d$  be the desired reference angular velocity. The SPAR-DCM system must regulate and maintain the angular speed desired reference under sudden load torque changes applied in the DC motor shaft. Regarding the issue of electrical power quality, the system must not generate disturbances in the AC grid. It must maintain a Power Factor close to unity and THD values ( $< 5\%$ ) aligned with the IEEE-519 standard.

In this way, we set the following control objectives for the SPAR-DCM system:

(a) On the DC side, the main objective is to regulate the angular speed of the motor at the desired speed ( $\omega_d$ ) despite applying a load torque on the motor shaft. The load torque estimator adapts to the ESEDPOF control law to reduce the effects of this disturbance without increasing the measurement hardware.

(b) From the perspective of the AC-side power source, the main objective is maintaining power quality and optimizing power transfer, mainly to maintain high

efficiency in the system. In the same way, obtaining a power factor close to unity and minimize the harmonic content generated by the rectification process using a SPAR.

## 3 Main Result

The non-linear system shown in (1) may be depicted in the following passive form:

$$\mathcal{A}\dot{x} = J(u_{av})x - \mathcal{R}x + \epsilon \quad (2)$$

Where:

$$\mathcal{A} = \text{diag}(L, C, L_a, J) > 0 \quad (3)$$

$$x = (i_{AC}, V_{DC}, i_a, \omega)^T \quad (4)$$

$$J(u_{av}) = \begin{bmatrix} 0 & -u_{av} & 0 & 0 \\ u_{av} & 0 & -1 & 0 \\ 0 & 1 & 0 & -K \\ 0 & 0 & K & 0 \end{bmatrix} \quad (5)$$

$$\mathcal{R} = \begin{bmatrix} r_L & 0 & 0 & 0 \\ 0 & \frac{1}{R_L} & 0 & 0 \\ 0 & 0 & R_a & 0 \\ 0 & 0 & 0 & B \end{bmatrix} \quad (6)$$

$$\epsilon = \begin{bmatrix} 0 \\ 0 \\ 0 \\ -\tau_L \end{bmatrix} \quad (7)$$

hence the matrices  $J(u_{av}) \in R^{4 \times 4}$ ,  $\mathcal{R} \in R^{4 \times 4}$  and  $\epsilon \in R^{4 \times 1}$ . Notice that the vector  $u_{av}$  is the control input, which belongs to the closed set  $\{-1, 1\}$ . In expression (2), we have the vector  $J(u_{av})x$  represents the control-input-dependent conservative field of the system. Moreover, the vector  $\mathcal{R}x$  represents the dissipative field of the system and finally  $\epsilon$  is an external input from the system. Matrix  $J(u_{av})$  is skew-symmetric since  $J(u_{av}) + J^T(u_{av}) = [0]$ . Furthermore,  $\mathcal{R}$  is the dissipative matrix that complies with being symmetric and semi-defined positive  $\mathcal{R} = \mathcal{R}^T \geq 0$ . Thus, according to [24] the properties of matrices and vectors described in (2) are satisfied. We check whether the system is passive-dissipative, considering the total energy stored, which is given by

$$H = \frac{1}{2} L i_{AC}^2 + \frac{1}{2} C V_{DC}^2 + \frac{1}{2} L_a i_a^2 + \frac{1}{2} J \omega^2 \quad (8)$$

thusly, the total electrical power is given by the time derivative of H:

$$\frac{dH}{dt} = L \frac{di_{AC}}{dt} i_{AC} + C \frac{dV_{DC}}{dt} V_{DC} + L_a \frac{di_a}{dt} i_a + J \frac{d\omega}{dt} \omega \quad (9)$$

substituting the dynamic system (1) into (9), we obtain:

$$\frac{dH}{dt} = i_{AC} V_{AC} - (r_L i_{AC}^2 + \frac{V_{DC}^2}{R_L} + R_a i_a^2 + B \omega^2 + \hat{\tau}_L \omega) \leq u y \quad (10)$$

If we consider in the expression (10) to  $i_{AC} V_{AC}$  as the input power to the system, that is,  $i_{AC} V_{AC} = u y$ , in this way, according to definitions 2.2.1 and 3.1.2 given in [25], we

4

can conclude that the SPAR-DCM system described by (1) is passive-dissipative.

#### A. Generation of Reference Signal

To achieve the control objectives, we propose the following state vector of reference parameters:  $x^* = (i_{AC}^*, V_{DC}^*, i_a^*, \omega^*)^T$ . Considering the dynamic model of the SPAR-DCM system shown in (1) and defining the reference variables in terms of the desired speed  $\omega^* = \omega_d$ , after performing some algebraic manipulations, we obtain the following expressions:

$$\omega^* = \omega_d \quad (11)$$

$$V_{DC}^* = R_a \left( \frac{B\omega_d + \tau_L}{K} \right) + K\omega_d \quad (12)$$

$$i_a^* = \frac{B\omega_d + \tau_L}{K} \quad (13)$$

$$i_{AC}^* = A_1 \sin(\omega_n t) \quad (14)$$

$$u_{av}^* = \frac{V_{AC} - r_L i_{AC}^*}{V_{DC}^*} \text{ for } V_{DC}^* \neq 0 \quad (15)$$

For reference (14), we obtain the value of the amplitude  $A_1$  from equation (10) which contemplates the information of the total electrical power of the system. In this way, we obtain the following expressions:

$$A_{1,2} = \frac{E}{2r_L} \pm \sqrt{\rho}$$

$$\rho = \frac{E^2 K^2 R_L - 8r_L [v^2 + R_L v(B\omega_d + \tau_L)]}{4r_L^2 K^2 R_L}$$

$$v = R_a B\omega_d + R_a \tau_L + K^2 \omega_d \quad (16)$$

Note that the expressions for the reference variables (12), (13) and (16) depend on the value of the torque applied to the motor shaft, named  $\tau_L$ . Therefore, there are two well-known ways to know the value of  $\tau_L$ : Measure the applied torque using a suitable sensor (via hardware) or estimate its value (via software). In this work, we propose estimating the value of  $\tau_L$  with an OAE, and we name the estimated value as  $\hat{\tau}_L$ . In this way, we will compute the reference variables online, and we will have an adaptive control scheme. Substituting for  $\hat{\tau}_L$  in the expressions for the reference variables  $V_{DC}^*$ ,  $i_a^*$  and  $i_{AC}^*$  we have:

$$V_{DC}^* = R_a \left( \frac{B\omega_d + \hat{\tau}_L}{K} \right) + K\omega_d \quad (17)$$

$$i_a^* = \frac{B\omega_d + \hat{\tau}_L}{K} \quad (18)$$

$$i_{AC}^* = A_1 \sin(\omega_n t)$$

$$A_{1,2} = \frac{E}{2r_L} \pm \sqrt{\rho}$$

$$\rho = \frac{E^2 K^2 R_L - 8r_L [v^2 + R_L v(B\omega_d + \hat{\tau}_L)]}{4r_L^2 K^2 R_L}$$

$$v = R_a B\omega_d + R_a \hat{\tau}_L + K^2 \omega_d \quad (19)$$

Now, the average reference model for SPAR-DCM system can be rewritten, starting from (1), in terms of the reference signals as follows:

$$L \frac{di_{AC}^*}{dt} = r_L i_{AC}^* - V_{DC}^* u_{av}^* + E \sin(\omega_n t)$$

$$C \frac{dV_{DC}^*}{dt} = i_{AC}^* u_{av}^* - \left( \frac{1}{R_L} \right) V_{DC}^* - i_a^*$$

$$L_a \frac{di_a^*}{dt} = V_{DC}^* - R_a i_a^* - K\omega_d$$

$$J \frac{d\omega_d}{dt} = K i_a^* - B\omega_d - \hat{\tau}_L \quad (20)$$

The set of expressions shown in (20) are valid once we have a precise estimated value of  $\hat{\tau}_L$ , that is,  $\hat{\tau}_L = \tau_L$ , which occurs in a relatively short estimation time. We will do the design of the OAE in the next section.

#### B. Design of the OAE

This section will design the OAE for  $\tau_L$ . To do this, we take

the differential equation of the mechanical part of the average model shown in (1) of the SPAR-DCM system, but substituting  $\tau_L = \hat{\tau}_L$ :

$$J \frac{d\omega}{dt} = K i_a - B\omega - \hat{\tau}_L \quad (21)$$

First, we apply the Laplace transform to equation (21) and isolate the value of  $\hat{\tau}_L$  from the resulting equation; with this, we have:

$$\frac{1}{s} \hat{\tau}_L = J [S\Omega(S) - \omega(0)] + B\Omega(S) - K I_a(S) \quad (22)$$

in order to cancel the initial constant term  $\omega(0)$ , the equation (22) is derived with respect to  $S$ , and we obtain:

$$\frac{1}{s^2} \hat{\tau}_L = J \left[ \Omega(S) - S \frac{d}{ds} \Omega(S) \right] + B \frac{d}{ds} \Omega(S) - K \frac{d}{ds} I_a(S) \quad (23)$$

then, multiplying (23) by  $1/S$ , we eliminate time-derivatives,

thus

$$\frac{1}{s^3} \hat{\tau}_L = J \left[ \frac{\Omega(S)}{s} - \frac{d}{ds} \Omega(S) \right] + B \frac{1}{s} \frac{d}{ds} \Omega(S) - K \frac{1}{s} \frac{d}{ds} I_a(S) \quad (24)$$

applying the inverse Laplace transform to both sides of equation (24) we obtain:

$$\hat{\tau}_L = \frac{2}{(t-t_k)^2} \left[ J \int_0^t \omega(\tau) d\tau - J(t-t_k)\omega(t) \right. \\ \left. + K \int_0^t (t-t_k) i_a(\tau) d\tau - B \int_0^t (t-t_k) \omega(\tau) d\tau \right] \quad (25)$$

The expression (25) shows that the torque  $\hat{\tau}_L$  can be estimated from the states  $i_a$  and  $\omega$ , which are measurable and know the constants  $B$ ,  $J$ , and  $K$  nominally.

In this way, we propose the estimate of  $\hat{\tau}_L$  within the integration interval  $[t_k, t]$ , as shown in the expression (26).

$$\hat{t}_L = \begin{cases} \hat{t}_L(t_{k-1}), & \text{for } t \in [t_k, t_k + \delta] \\ \frac{Num(t_k + \delta)}{Den(t_k + \delta)}, & \text{for } t \in [t_k + \delta, t_{k+1}] \\ \text{with} \\ Num(t_k + \delta) = \\ 2 \int_{t_k}^t \omega(\tau) d\tau + K \int_{t_k}^t (\tau - t_k) i_a(\tau) d\tau \\ -B \int_{t_k}^t (\tau - t_k) \omega(\tau) d\tau - J(\tau - t_k) \omega(t) \\ Den(t_k + \delta) = (t - t_k)^2 \\ \text{and} \\ t_k = kT_E, k = 0, 1, 2, \dots, T_E \gg 0 \end{cases} \quad (26)$$

Initially, the value  $\hat{t}_L(t_{k-1}) \neq 0$  to avoid indeterminacy at the beginning of the computation of the estimator, we chose a small value, that is,  $\hat{t}_L(t_{k-1}) = 0.1Nm$ . Once the first computation of the estimate of  $\hat{t}_L$  has been completed, that is, for  $t_k = kT_E$ , where  $T_E$  is the time value of the estimation window, the value of  $\hat{t}_L = \hat{t}_L(t_{k-1})$  is replaced by the result of  $\frac{Num(t_k + \delta)}{Den(t_k + \delta)}$ . It is necessary to clarify that we update the estimated value of  $\hat{t}_L$  each time interval  $T_E$  for this, we apply a reset to the estimator. We do this to recalculate the estimated value of  $\hat{t}_L$  since its value varies in time. The online algebraic estimator method is used with excellent results, e.g. [7], [23], [26].

### C. Average Controller Design

The proposed desired reference variables are stabilized by a Passivity Based Controller type controller namely PBC-ESEDPOF, as studied in [23], [26]. In the case of the SPAR-DCM system, the static error dynamics result from subtracting the desired reference dynamics, expressed in (1). Thus, we express the error as follows:

$$\mathcal{A}\dot{e} = J(u_{av})e + [J(u_{av}) - J(u_{av}^*)]x^* - \mathcal{R}e \quad (27)$$

where  $e = x - x^*$  is the tracking error.

Using a linear approximation to the  $J(u_{av}) - J(u_{av}^*)$  term of the expression (27) through the Taylor series concerning the average input control  $u_{av}$ , we obtain:

$$\mathcal{A}\dot{e} = J(u_{av})e + \left[ \frac{\partial J(u_{av})}{\partial (u_{av})} x^* \right] e_u - \mathcal{R}e \quad (28)$$

where  $e_u = u_{av} - u_{av}^*$ . Thus, consider the error dynamics of (28) with the control law given by

$$e_u = -\gamma \left[ \frac{\partial J(u_{av})}{\partial (u_{av})} x^* \right]^T e \quad (29)$$

where  $\gamma > 0$ .

The expression given by (30) ensures that the angular speed of the SPAR-DCM system follows the signals references of current ( $i_{AC}^*$ ) and voltage ( $V_{DC}^*$ ).  $u_{av} = u_{av}^* - \gamma i_{AC}^* (V_{DC} - V_{DC}^*) + \gamma V_{DC}^* (i_{AC} - i_{AC}^*)$  (30)

In order to prove the asymptotic stability of the regulation error for  $e = 0$ , we propose the candidate Lyapunov function, which is positive definite as follows:

$$V(e) = \frac{1}{2} e^T \mathcal{A}e > 0 - \{0\} \quad (31)$$

thus, the time derivative of (31) is given as

$$\begin{aligned} \dot{V}(e) &= e^T \mathcal{A}\dot{e} \leq 0 \\ &= e^T \left[ J(u_{av})e + \frac{\partial J(u_{av})}{\partial (u_{av})} x^* e_u - \mathcal{R}e \right] \\ &= e^T J(u_{av})e + e^T \frac{\partial J(u_{av})}{\partial (u_{av})} x^* e_u - e^T \mathcal{R}e \end{aligned} \quad (32)$$

substituting (29) into (32), we obtain the following closed-loop dynamics:

where  $\tilde{\mathcal{R}}$  is given by:

$$\tilde{\mathcal{R}} = \begin{bmatrix} r_L + \gamma (V_{DC}^*)^2 & -i_{AC}^* V_{DC}^* & 0 & 0 \\ -i_{AC}^* V_{DC}^* & \frac{1}{R_L} + \gamma (i_{AC}^*)^2 & 0 & 0 \\ 0 & 0 & R_a & 0 \\ 0 & 0 & 0 & B \end{bmatrix} \quad (34)$$

Using Sylvester's criterion, we verified that  $\tilde{\mathcal{R}} \geq 0$  is a positive semi-definite matrix. Thus, (33) is a negative semi-definite function, and the equilibrium point of (28) under the control law (29) is stable. On the other hand, if the matrix  $\tilde{\mathcal{R}}$  is semi-definite positive, we say that the condition of dissipation coupling is satisfied, as the unique solution is the origin and is fulfilled the Lasalle Invariance theorem. That way, this indicates that the error dynamics of (28) has a unique equilibrium point in  $e = 0$ , thus, is asymptotically stable.

## 4 FPGA Implementation

FPGA-based implementation for this paper follows the methodology proposed by [27]. We divide the entire control algorithm into four sub-algorithms that we name modules: Synchronization module (SOGI-PLL), Controller module (ESEDPOFC), Estimation module (AOE), and an SPWM module (modulator). Mentioned sub-algorithms were designed with a modular approach of reusability and were optimized to reduce the resources used. The implementation modules perform the assigned operations for each of the sub-algorithms mentioned above. To guarantee the operation of all modules, we synchronize all of them locally through a handshake protocol based on *request/acknowledgment* actions. We show this in Fig. 1 in the box enclosed in gray. Thus, each module has a control signal for the start of operations (Start\\_Op) and an Acknowledgment signal (Acknowledgment\\_Op) when the operation is completed. We used a medium-scale FPGA platform with the *Spartan-6 XC6SLX16* of Xilinx to implement all algorithms. We selected this device mainly due to the number of logical resources and low cost. Furthermore, the generation of the VHDL code for this implementation is modular and hand-coded. We do not use high-level software to generate the code, which allows us to optimize logical resources within the device used. On the other hand, the format chosen for the numerical representation was the simple 32-bit floating-point, aligned to the IEEE-754 standard, and all arithmetic

6

operations are performed following that format. Our implementation has a sampling period of  $T_s = 10.2 \mu s$ .

A. Layout of algorithms

In this section, we describe in detail how we implement the algorithms used in the SPAR-DCM system in the reconfigurable device; these are:

- Synchronization module (SOGI-PLL).
- Controller module (ESEDPOFC).
- Online Algebraic Estimator (AOE).
- SPWM module.

In Fig. 2 we show the design of the complete architecture that includes the processing modules for each algorithm.

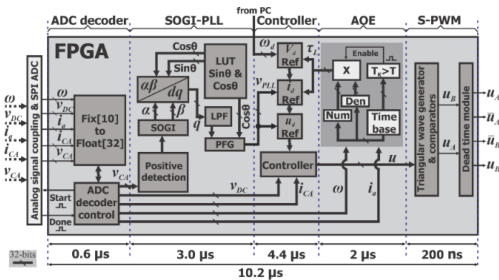


Fig. 2 Architecture designed for SPAR-DCM system

B. Utilization of Input-Output (I/O) ports of FPGA board

The Nexys-3 board is a complete, ready-to-use digital circuit development platform based on the Xilinx Spartan-6 LX16 FPGA. The development board includes slide switches, push-buttons, individual LEDs, and a four-digit seven-segment display. In the same way, it has four proprietary ports called Pmod ports with eight configurable Input/Output (I/O) terminals. Overall, the development board has more than 200 fully configurable I/O pins. We use six I/O terminals for the PmodA port, four for the system's PWM channels, and two ports to apply a variable load to the SPAR. Same, PmodB, PmodC, and PmodD were used to control six Analog-to-Digital converters (ADC) through the SPI communication protocol, so the number of necessary I/O signals are eight ( $Clk, Enable, Data_1, Data_2, \dots, Data_6$ ). Additionally, we use eight slide switches, three push-buttons, three LEDs, eleven I/O for seven-segment display, and two I/O for USB-UART bridge to allow the PC application to communicate with the FPGA board, which gives us a total of 47 I/O pins used.

C. FPGA resource utilization

In order to evaluate the performance of FPGA-based implementation, we present a summary of the logic resources used of the device. Generally, these results are obtained from the tool where the implementation is

carried out and provided by the manufacturer of the FPGA; in our case Xilinx ISE 14.7. Table 1 shows the summary of resources used in the implementation of SPAR-DC motor system architecture included the UART-PC interface hardware. It shows fundamental design elements such as Slices, LUTs, Elements embedded (BRAM), and Input/Output Buffers (IOB).

Table 1 Logic Resources Consumed

Hardware Resource	Available	Consumed	Percentage
Slice Register	18254	8342	45%
Slice LUTs	9112	7937	87%
16-KByte RAM Blocks	32	2	6%
8-KByte RAM Blocks	64	10	15%
DSP48A1s	32	20	62%
IOBs	232	47	20%

5 Experimental setup and results

This section presents the experimental setup and the analysis of results to validate the implemented control strategy.

A. Experimental setup description

Fig. 3 shows the hardware prototype developed, the same that we implemented in the laboratory. The part list used for the implementation of the hardware prototype for the SPAR-DCM system is shown in Table II.

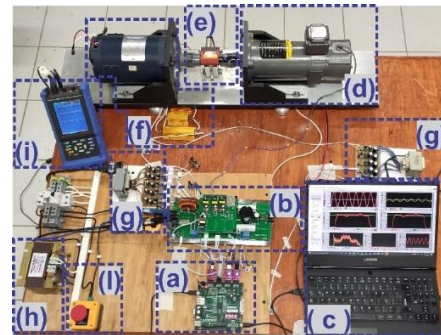


Fig. 3 Whole experimental setup for the SPAR-DCM system (See Table II)

Table 2 Parts List for SPAR-DCM system

Component	Part Number
(a)	Nexys 3 Spartan-6 LX16 from Xilinx and ADC ADS7041 (own design)
(b)	IRFP450, Power switches PC923, gate driver
(c)	PC host for GUI
(d)	DC-motor BALDOR Mod. CDPT3306
(e)	FUTEK Rotary Torque Sensor
(f)	DC-motor (mechanical load)
(g)	Isolated DC sources
(h)	Transformer for linking with Grid-utility
(i)	HIOKI power quality meter
(j)	Emergency stop button

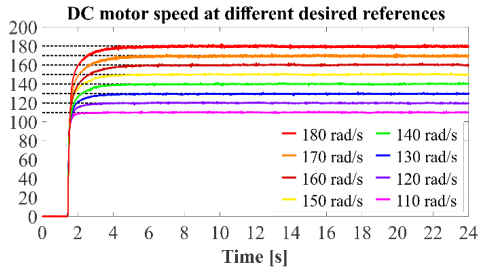
### B. Description of the tests bench and results

In this section, we will validate the controller's performance designed for the SPAR-DCM system. We show a summary of the list of Parameters used in the prototype in Table III. We plan a test bench with three types of experiments:

**Table 3** SPAR-DCM system parameters

Parameter		Magnitude
Switching Frequency	[kHz]	10
Input Voltage	[V]	100
Grid Inductor ( $L$ )	[mH]	3
Parasitic series resistance ( $r_L$ )	[ $\Omega$ ]	1.15
DC Capacitor ( $C$ )	[ $\mu$ F]	2200
Resistance Load ( $R_L$ )	[ $\Omega$ ]	2000
Specs for Baldor <b>CDPT3306</b>		
Armature resistance ( $R_a$ )	[ $\Omega$ ]	9.7
Armature inductance ( $L_a$ )	[mH]	33.8
Moment of inertia ( $J$ )	[kgm <sup>2</sup> ]	0.001
Electrical constant ( $K_e$ )	[V s/rad]	0.94
Torque constant ( $K_t$ )	[N-m/rad]	0.94
Viscous friction ( $B$ )	[(Nm-s)/rad]	0.00078
Rated speed ( $\omega$ )	[rad/s]	180
	[rpm]	1750
Torque ( $\tau$ )	[Nm]	1.117
System		
Sample Time ( $T_s$ )	[ $\mu$ s]	10.2
Control gain:	$\gamma$	0.0022
AOE parameter		
Time constant ( $T$ )	[ $\mu$ s]	2.0
Estimation windows ( $T_E$ )	[s]	0.5
SOGI-PLL gains		
$K_p=0.92$	$K_i=42.39$	$K_{SOGI}=1$

1) **Test 1:** This test validates the speed regulation at different reference values from 110 rad/s to 180 rad/s without applying mechanical load to the motor shaft; it is a closed-loop test set with seven angular speeds. Fig. 4 shows the results of this test that we carried out with the system. Based on the result, the PBC correctly regulates the angular speed of the DC motor shaft in the proposed range.



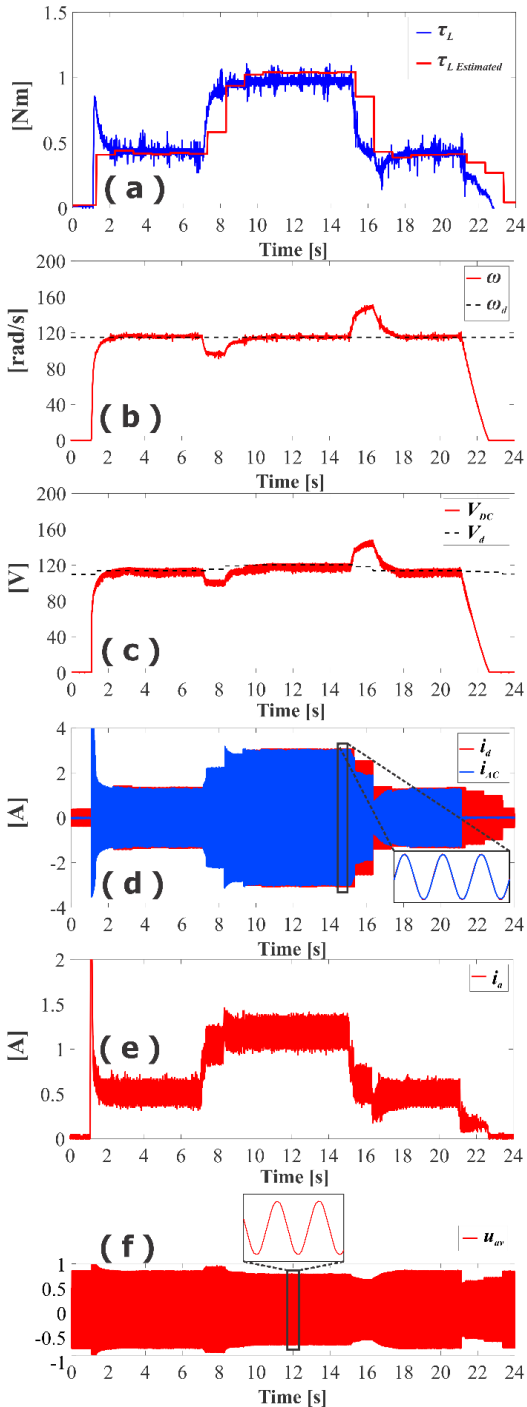
**Fig. 4** SPAR-DCM system a different angular speeds

2) **Test 2:** The second test aims to validate the adaptive controller robustness towards abrupt changes in load

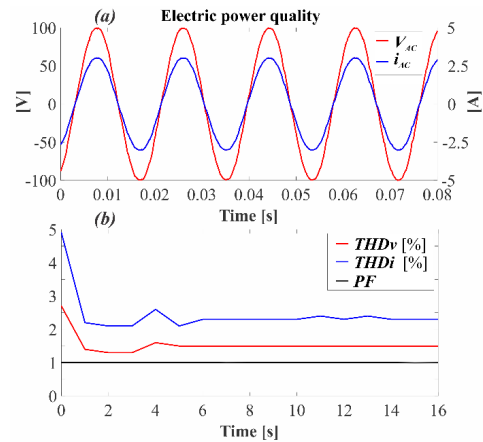
torque in the motor shaft. We used a DC motor as a mechanical load, and it was matched with the SPAR-DCM system through a coupling. It is necessary to clarify that the results shown in Fig. 5 were obtained at a desired angular velocity of 115 rad/s. Initially, in this test, we compare the estimated value of ( $\hat{\tau}_L$ ) calculated by the AOE and the value obtained from a FUTEK's Rotary Torque Sensor Non-contact shaft ( $\tau_L$ ). Fig. 6a shows such a comparison. OAE provides a stable and accurate torque value despite a sudden load torque change, unlike the rotary torque sensor, which features noise. The purpose of this comparison is to validate that the value of the OAE is correct. Fig. 5b show the speed responses when there is a sudden mechanical load change in the shaft DC-motor running at an angular speed of 115 rad/s. The desired angular speed is recovered after the load perturbation, as shown in the time intervals [7-17] s. In this case, the AOE must estimate the load torque value ( $\hat{\tau}_L$ ), and the passivity-based controller compensates for this disturbance. Fig. 5c show the response of the SPAR output voltage increases its amplitude to regulate the desired angular speed of the DC-motor, once the load torque suddenly changes in the time intervals [7-17] s. This is because the reference value ( $V_{DC}^*$ ) depends on the estimated torque ( $\hat{\tau}_L$ ) obtained from AOE and its value is updated. Similarly, Fig. 5d shows the SPAR inductor current ( $i_{AC}$ ) also increases its amplitude when the load torque perturbation is applied. The amplitude of the desired current is updated once the OAE obtains a new value of ( $\hat{\tau}_L$ ), so it adapts the current reference ( $i_{AC}^*$ ). However, always ( $i_{AC}$ ) and ( $i_{AC}^*$ ) are synchronized and conserved a perfect sinusoidal shape. Fig. 5e shown the nominal value change in armature current ( $i_a$ ) of the SPAR-DCM system after where the mechanical load disturbance occurs over DC-motor shaft. Finally, average control input ( $u_{av}$ ) shown in Fig. 5f have a change in its amplitude; therefore, these changes are applied to the SPAR-DCM system via the SPWM to minimize the effects of the applied load torque disturbance. In the same figure, we observed that the average control signal ( $u_{av}$ ) has a perfect sinusoidal shape.

3) **Test 3:** The third experiment consists of verifying compliance of energy quality with the IEEE-519 standard. Results of the experiment we obtained through the HIOKI power quality analyzer Mod. 3197-01. The Fig. 6a shows the grid voltage in phase with the grid current. Energy quality test is shown in Fig. 6b,  $THD_v$  test was 1.6% and for the current a  $THD_i$  value was 2.3%. Fig. 6b show the Power Factor measured with a unit value. Hence, in general terms, SPAR-DCM system behavior is satisfactorily aligned with the IEEE-519 standard.

8



**Fig. 5** Test performed at an angular velocity desired of 115 rad/s: **a**  $\tau_L$  vs.  $\hat{\tau}_L$ ; **b** Angular speed ( $\omega$ ); **c** SPAR output voltage ( $V_{DC}$ ); **d** SPAR inductor current ( $i_{ac}$ ); **e** Armature current ( $i_a$ ); **f** Controller ( $u_{AV}$ ).



**Fig. 6 a** AC voltage ( $V_{AC}$ ) and alternating current ( $i_{AC}$ ); **b**  $THD_v$ ,  $THD_i$  and Power Factor

### 6 Conclusions

This paper presents a SPAR-DCM system connected directly to an AC grid. We regulate the angular speed of the DC-Motor through the SPAR. It is achieved that current and voltage are in phase from the perspective of the AC grid. The SPAR-DCM system performed from two main features: angular speed regulation, which can be driven satisfactorily at the desired speeds from 110 rad/s to 180 rad/s. To verify the robustness of the SPAR-DCM system, we carried out some tests that showed that the system could attenuate and handle sudden mechanical load changes applied to the DC motor shaft, obtained good results, which shows the effectiveness of the proposed control scheme. Another aspect to consider is the power quality. A good performance is observed in the experimental results since a unity power factor is conserved and maintains a sinusoidal grid current. Additionally, the values of  $THD_v$  and  $THD_i$  are less than 5% as requested in the IEEE-519 standard for this type of application. On the other hand, we designed an FPGA-based architecture that we hand-coded in VHDL. The architecture was described in detail, emphasizing the reuse of modules, and saving logical resources with excellent results and reduced processing times.

In that sense, we show that utilizing a discrete approximation of the values of  $\sin \Phi$ ,  $\cos \Phi$  and triangular using the BRAMs into the FPGA contributes to decreasing the computation time and the number of resources used in it.

In general terms, the objectives set for the design of the system set out in the corresponding section were fully met.

## References

1. Silva-Ortigoza, R., Hernández-Márquez, E., Roldán-Caballero, A., Tavera-Mosqueda, S., Marciano-Melchor, M., García-Sánchez, J.R., Hernández-Guzmán, V.M., Silva-Ortigoza, G.: Sensorless tracking control for a “full-bridge buck inverter-dc motor” system: Passivity and flatness-based design. *IEEE Access* 9, 132191–132204 (2021)
2. Hernández-Márquez, E., García-Sánchez, J.R., Silva-Ortigoza, R., Antonio-Cruz, M., Hernández-Guzmán, V.M., Hind Taud, Marcelino- Aranda, M.: Bidirectional tracking robust controls for a dc/dc buck converter-dc motor. *Complex Optimization and Simulation in Power Systems*, Hindawi 1(2), 1–10 (2018)
3. Trentin, A., Sala, G., Tarisciotti, L., Galassini, A., Degano, M., Connor, P.H., Golovanov, D., Gerada, D., Xu, Z., La Rocca, A., Eastwick, C.N., Pickering, S.J., Wheeler, P., Clare, J.C., Gerada, C.: Research and realization of high-power medium-voltage active rectifier concepts for future hybrid-electric aircraft generation. *IEEE Transactions on Industrial Electronics* 68(12), 11684–11695 (2021)
4. Ming, W., Zhong, Q.: A single-phase rectifier having two independent voltage outputs with reduced fundamental frequency voltage ripples. *IEEE Transactions on Power Electronics* 30(7), 3662–3673 (2015)
5. Cheng, X.-F., Liu, C., Wang, D., Zhang, Y.: State-of-the-art review on soft-switching technologies for non-isolated dc-dc converters. *IEEE Access* 9, 119235–119249 (2021)
6. Guerrero, E., Guzmán, E., Linares, J., Martínez, A., Guerrero, G.: FPGA - based active disturbance rejection velocity control for a parallel dc/dc buck converter-dc motor system. *IET Power Electronics* 13(2), 356–367 (2020)
7. Linares-Flores, J., Sira-Ramírez, H.: A smooth starter for a dc machine: a flatness-based approach. In: (ICEEE). 1st International Conference on Electrical and Electronics Engineering, 2004, 589–594 (2004)
8. Linares-Flores, J., Sira-Ramírez, H.: Sliding mode-delta modulation GPI control of a dc motor through a buck converter. In: (2nd IFAC). Symp. Syst., Struct. Control, 2004., 405–409 (2004)
9. Michalik, J., Molnar, J., Peroutka, Z.: Traction single-phase current- source active rectifier: Main problems and proposed solutions. In: 2009 13th European Conference on Power Electronics and Applications, 1–7 (2009)
10. Poomima, R., Suganya, P., Kumaresan, N., Subbiah, M.: Operating modes of single-phase thyristor converter fed dc drives using phase angle control scheme - a monograph. In: 2006 IEEE International Conference on Industrial Technology, 2402–2407 (2006)
11. Nejabatkhah, F., Li, Y.W., Tian, H.: Power quality control of smart hybrid ac/dc microgrids: An overview. *IEEE Access* 7, 52295–52318 (2019)
12. Dong, D., Luo, F., Zhang, X., Boroyevich, D., Mattavelli, P.: Grid- interface bidirectional converter for residential dc distribution systems - part 2: Ac and dc interface design with passive components minimization. *IEEE Transactions on Power Electronics* 28(4), 1667–1679 (2013)
13. IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems, 5th edn. IEEE-SA Standards Board (2014)
14. Namgoong, G., Choi, E., Park, W., Lee, B., Park, H., Ma, H., Bien, F.: A 6.78 MHz, 95.0% peak efficiency monolithic two-dimensional calibrated active rectifier for wirelessly powered implantable biomedical devices. *IEEE Transactions on Biomedical Circuits and Systems* 15(3), 509–521 (2021)
15. Ann, S., Lee, B.K.: Analysis of impedance tuning control and synchronous switching technique for a semibridgeless active rectifier in inductive power transfer systems for electric vehicles. *IEEE Transactions on Power Electronics* 36(8), 8786–8798 (2021)
16. Singh, B., Singh, B.N., Chandra, A., Al-Haddad, K., Pandey, A., Kothari, D.P.: A review of single-phase improved power quality ac-dc converters. *IEEE Transactions on Industrial Electronics* 50(5), 962–981 (2003)
17. Siebert, T., Troedson, A., Ebner, S.: Ac to dc power conversion now and in the future. In: Record of Conference Papers. IEEE Incorporated Industry Applications Society. Forty-Eighth Annual Conference. 2001 Petroleum and Chemical Industry Technical Conference (Cat. No.01CH37265), 145–152 (2001)
18. Pavlova, Y.V., Grigorii, B.V.: The synthesis of a control system of the active rectifier. In: 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 941–944 (2018)
19. He, X., Geng, H., Yang, G.: Reinvestigation of single-phase fls. *IEEE Access* 7, 13178–13188 (2019)
20. Golestan, S., Guerrero, J.M., Musavi, F., Vasquez, J.C.: Single-phase frequency-locked loops: A comprehensive review. *IEEE Transactions on Power Electronics* 34(12), 11791–11812 (2019)
21. Xie, M., Wen, H., Zhu, C., Yang, Y.: DC offset rejection improvement in single-phase sogi-pll algorithms: Methods review and experimental evaluation. *IEEE Access* 5, 12810–12819 (2017)
22. Rodríguez-Andina, J.J., Valdés-Peña, M.D., Moure, M.J.: Advanced features and industrial applications of FPGAs - a review. *IEEE Transactions on Industrial Informatics* 11(4), 853–864 (2015)
23. Linares-Flores, J., Sira-Ramírez, H., Yescas-Mendoza, E., Vásquez- Sanjuan, J.J.: A comparison between the algebraic and the reduced order observer approaches for on-line load torque estimation in a unit power factor rectifier-dc motor system. *Asian Journal of Control* 14(1), 45–57 (2012)
24. Sira-Ramírez, H.: *Control Design Techniques in Power Electronics Devices*. Springer, Germany (2006)
25. van der Schaft, A.: *L2-Gain and Passivity Techniques in Nonlinear Control*, Second Edition (Communications and Control Engineering). Springer, Switzerland (2000)
26. Juárez-Abad, J.A., Sandoval-García, A.P., Linares-Flores, J., Guerrero- Castellanos, J.F., Bañuelos-Sánchez, P.,

Contreras-Ordaz, M.A.: FPGA implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier. *IEEE Transactions on Industrial Informatics* 15(4), 1877–1889 (2019)

27. Dagbagi, M., Hemdani, A., Idkhajine, L., Naouar, M.W., Monmasson, E., Slama-Belkhdja, I.: ADC-based embedded real-time simulator of a power converter implemented in a low-cost FPGA: Application to a fault-tolerant control of a grid-connected voltage-source rectifier. *IEEE Transactions on Industrial Electronics* 63(2), 1179–1190 (2016)



Ruben Heredia-Barba received the M.Sc degree in Electronics, Option: Applied Intelligent Systems from Postgraduate Studies Division of the Universidad Tecnológica de la Mixteca, Huajuapán de León, Mexico, in 2021. His research interests include theoretical and practical aspects of feedback regulation of power electronics systems, DC machines, AC machine with a special emphasis on passivity-based control.



José Antonio Juárez Abad received the electronics engineering degree from the Instituto Tecnológico de Oaxaca, México in 2002, the M.Sc. degree in Electronic and Computer from Universidad Tecnológica de la Mixteca (UTM), Oaxaca, México in 2012, and currently he is about to obtain Ph.D degree in electronics from the UTM. He is currently a Research Professor with the UTM. His researches interests include development and implement hardware architectures on reconfigurable logic for control, automatic control applied to power electronics (multilevel converters) and embed-ded system design based in microcontrollers, DSPs, or FPGAs.



Jesús Linares-Flores received the Ph.D. degree in electrical engineering from the Centro de Investigación y de Estudios Avanzados del IPN, Mexico City, México, in 2006. Since 2007, he has been a member of the Head of the Academic Body UTMIX-CA24, Universidad Tecnológica de la Mixteca, Huajuapán de León, México. He did on sabbatical leave with the Facultad de Ciencias de la Electrónica, Benemérita Universidad Autónoma de Puebla, in 2016-2018. His research interests include theoretical and practical aspects of feedback regulation of linear and nonlinear dynamic

sys-tems with a special emphasis on passivity-based and generalized proportional–integral control techniques and their applications in power electronics. Dr. Linares-Flores is a member of the National System of Researchers (SNI, Level II), Consejo Nacional de Ciencia y Tecnología, Mexico. Dr. Linares-Flores received the IEEE senior member distinction in 2014. He has published over 77 technical articles; 35 of them in credited journals and the rest in refereed international conferences.



Marco Antonio Contreras-Ordaz received a M. Sc. Degree in Electronics in 2001 and his Ph. D. degree in Electronics in 2007 at Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavaca, México. Since 2009, he has been a member of the Academic Body UTMIX-CA24, Universidad Tecnológica de la Mixteca, Huajuapán de León, México. His research interests include DC-DC converters and multilevel converters



Jorge Luis Barahona, received the bachelor's degree in electronics and the degree of Master of Science in Electronics Automation Option from Autonomous University of Puebla, Mexico in 1996 and 2004 respectively, and the PhD in Electronics from Technological University of Mixteca in 2016. Yours research interests include: - Modeling, analysis and control of Electro-mechanical and Thermoelectric Systems: Thermoelectric Coolers (Peltier), Direct Drive Motors, Robot Manipulators, DC/DC Converters, Smooth Starters for DC/DC-DC motor combinations.



## Apéndice G

# Metodología de implementación en FPGA

**Resumen:** En este apéndice se presentan dos artículos donde de manera secuencial se siguen las diez etapas que conforman la metodología que se propone para la implementación en FPGA de técnicas de control para aplicaciones en electrónica de potencia. En el primer artículo se realiza el diseño e implementación de un control de velocidad para un motor síncrono de imanes permanentes (**MSIP**) impulsado por un inversor multinivel trifásico de cinco niveles. El objetivo del trabajo en mención, es regular a una velocidad deseada al motor y mantenerla, a pesar de que se aplique una perturbación en su flecha. En el segundo artículo, se presenta un control de seguimiento de la salida de voltaje de un inversor multinivel en topología de capacitores flotantes. La salida de voltaje del convertidor es capaz de mantenerse en un valor deseado, a pesar del tipo de carga que se le conecte: lineal o no lineal. Durante el desarrollo de ambos trabajos se siguieron tres fases: **Fase 1 (Controlador)**: diseño del controlador, estimadores, etc.; **Fase 2 (FPGA)**: diseño y descripción en VHDL para el dispositivo de lógica reconfigurable y una fase que se nombra: **Fase concurrente (construcción del convertidor)**, en la que se construye el hardware del sistema y todos los sub-sistemas tales como la instrumentación electrónica, sensores, convertidor de potencia, entre otros. Cabe mencionar que, en los capítulos anteriores, cada uno de los trabajos presentados se implementaron en un FPGA y se siguió este camino metodológico para su desarrollo, pero cada uno de ellos recibió un énfasis en diferentes partes para su presentación.

### G.1. Motor síncrono de imanes permanentes

Este es un artículo indexado y lleva por título:

**Speed control of a permanent magnet synchronous motor actuated by a three-phase multilevel inverter (2020).**

<https://ingenius.ups.edu.ec/index.php/ingenius/article/view/23.2020.09>

## G.2. Inversor multinivel de capacitores flotantes

Este es un artículo indexado y lleva por título:

**Control for the output voltage on a flying capacitor multilevel inverter (2020).**

<https://ingenius.ups.edu.ec/index.php/ingenius/article/view/24.2020.07>



# SPEED CONTROL OF A PERMANENT MAGNET SYNCHRONOUS MOTOR ACTUATED BY A THREE-PHASE MULTI LEVEL INVERTER

## CONTROL DE VELOCIDAD DE UN MOTOR SÍNCRONO DE IMANES PERMANENTES ACCIONADO POR UN INVERSOR TRIFÁSICO MULTINIVEL

Rosalino Mayoral Lagunes<sup>1</sup>, José Antonio Juárez Abad<sup>2</sup>, Beatriz Angélica Aguilar López<sup>1</sup>, Jesús Linares Flores<sup>2</sup>, Jorge Luis Barahona Ávalos<sup>2</sup>

### Abstract

This paper presents the design and FPGA embedded implementation of robust controller design to speed tracking problem for a Permanent Magnet Synchronous Motor (PMSM). Then, a linear controller based on the exact static error dynamics passive output feedback (ESEDPOF) is proposed, where the uncertainty estimation is taken into account. The technique of passivity requires knowing the load torque, this is estimated with a traditional reduced-order observer. PMSM is driven by a five levels Three-Phase Cascaded Cell Multi-Level Inverter (3 $\Phi$ -CCMLI). The medium-scale field-programmable gate array (FPGA) Spartan-6 XC6SLX9 is used for implementing the ESEDPOF controller, the reduced-order observer, and the multilevel pulse width modulator. The parallel processing provided by these devices allowed to obtain a sampling time of 10 $\mu$ s. Simulation and Experimental validation shows an excellent dynamical performance.

**Keywords:** PMSM, Passivity Based Control, Multi Level Inverter, FPGA.

### Resumen

Este trabajo presenta el diseño e implementación de un controlador robusto para el seguimiento de velocidad de un motor síncrono de imanes permanentes (MSIP). Se propone un controlador lineal basado en la retroalimentación dinámica de la salida pasiva estática del error exacto. El controlador pasivo propuesto requiere del conocimiento del par de carga, por lo que el mismo es estimado con un observador tradicional de orden reducido. El MSIP es impulsado por medio de un inversor multinivel trifásico de celdas en cascada de cinco niveles. Para la implementación del controlador, estimador y modulador multinivel se emplea un arreglo de compuertas programable en campo (FPGA) de la familia Spartan-6 XC6SLX9. El procesamiento en paralelo que provee este dispositivo permite obtener un tiempo de muestreo de 10  $\mu$ s. Los resultados de simulación y experimentales muestran que el controlador propuesto tiene un excelente desempeño.

**Palabras clave:** PMSM, control por pasividad, inversor multinivel, FPGA

<sup>1,\*</sup>Postgraduate Studies Department, Universidad Tecnológica de la Mixteca – México.

<sup>1</sup> <http://orcid.org/0000-0003-3420-7416>, <sup>2</sup> <http://orcid.org/0000-0002-2769-4992>.

<sup>2</sup>Institute of Electronics and Mechanics, Universidad Tecnológica de la Mixteca – México,

Corresponding author ✉: [jbarahona@mixteco.utm.mx](mailto:jbarahona@mixteco.utm.mx). <sup>1</sup> <http://orcid.org/0000-0001-7440-0849>,

<sup>2</sup> <http://orcid.org/0000-0002-5723-4786>, <sup>3</sup> <http://orcid.org/0000-0002-5502-6692>.

Received: 22-11-2019, accepted after review: 13-12-2019

Suggested citation: Mayoral Lagunes, R.; Juárez Abad, J. A.; Aguilar López, B. A.; Linares Flores, J. and Barahona Ávalos, J. L. (2020). «Speed control of a permanent magnet synchronous motor actuated by a three-phase multi level inverter». INGENIUS. N.º 23, (january-june). pp. 97-108. DOI: <https://doi.org/10.17163/ings.n23.2020.09>

## 1. Introduction

Electrical motors are actuators that are used in most of the industrial machinery and household appliances; their position and/or speed are controlled so that they can fulfill specific tasks, such as: Computer Numerical Control (CNC) machines, belt conveyors, robotics and other industrial processes. Among these applications it is common to find permanent magnet synchronous motors (PMSM), which have better precision in terms of speed and position due to their property of synchrony. Recently, controllers that enable modifying those magnitudes are implemented using reprogrammable and reconfigurable devices, such as digital signal processors (DSP) and field-programmable gate arrays (FPGA) [1, 2].

Different control schemes have been proposed for these type of motors, for instance the passivity-based control shown in [3], and a controller based on the Backstepping technique for position tracking, which is shown in [3].

The PMSM must be driven by a three-phase inverter, which must preferably provide a voltage wave with the lowest possible amount of harmonics, because otherwise some well-known damages may occur in both the electrical and mechanical parts of the motor [4]. A three-phase multilevel inverter of five levels is constructed in this work, with which the harmonics content is reduced thus improving the quality of the voltage supplied to the motor [5]. An additional feature of this type of converter is that it handles more power, since such power is distributed in the series arrays that constitute the commutation devices [6–8].

The rest of the work is structured in the following manner. Section 2 briefly describes the system to be controlled, and then section 3 describes the centered methodology employed for the implementation of processing systems in FPGA, taken from [9–13]; such methodology possesses two phases which are covered in sections 4 and 5. Afterwards, section 6 describes the construction of the power converter employed, in this case the three-phase multilevel inverter of five levels, and at last section 7 presents the experimental results obtained.

## 2. Description of the system

A passivity-based control is implemented for soft tracking the speed of a permanent magnet synchronous motor, driven by a three-phase inverter of cascade topology of 5 levels. This is carried out using a device of reconfigurable logic.

Figure 1 shows the scheme of the proposed system. The PMSM is driving an unknown mechanical load, and the motor power is supplied by the three-phase inverter of 5 levels. The passivity-based controller, the

signal processing and the PS-PWM modulator are implemented in a FPGA.

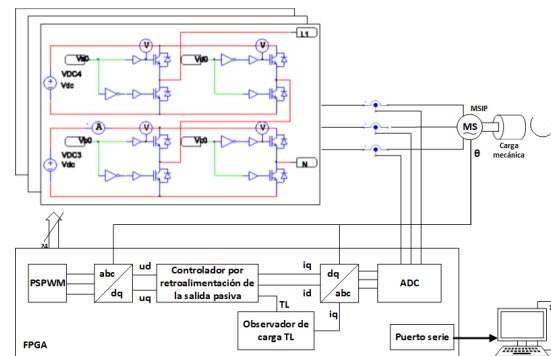


Figure 1. General scheme of the system.

## 3. Methodology

According to the methodology employed, taken from [7], this work is divided in 2 phases. In general, the first phase has to do with the modeling of the system, and the analysis of the mathematical properties of this model to formulate the controller of the system. The second phase deals with the implementation of the control algorithm formulated in phase 1, and the complementary modules which will be implemented in the reconfigurable logic device. Each of these phases is described with more detail in the following.

Phase 1 is graphically summarized in Figure 2. This phase is independent of the device to be used in the implementation, and in turn is divided in three stages:

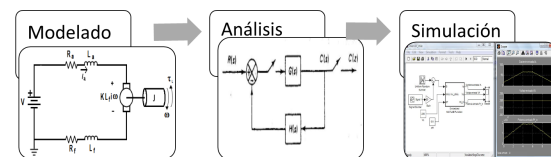


Figure 2. Phase 1 of the methodology.

- 1. Modeling:** In this stage the PMSM and the three-phase multilevel are mathematically modelled, using the laws and theorems necessary to obtain the differential equations of the system.
- 2. Analysis:** The dynamic models of the combination inverter-motor are analyzed, the proposed controller is designed by means of algebraic tools, and the feasibility of the complete system is determined.
- 3. Simulation:** In this stage the obtained mathematical models are simulated, to confirm the

approximation to the real system; the MATLAB-Simulink software together with the software PSIM are utilized for this purpose.

Phase 2 of the proposed design methodology is summarized in Figure 3, and comprises 7 stages. This proposal is a balanced solution between two opposing requirements: 1) a friendly method that perfectly adapts to a control engineer who is not an expert in digital design and 2) obtain a good performance of the control system [9]. The aforementioned stages are described in the following:

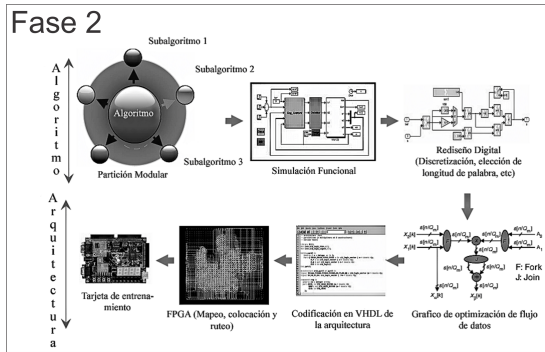


Figure 3. Phase 2 of the methodology. [9]

1. **Modular partition:** Consists of dividing the algorithm in reusable blocks that make sense from the functional point of view, in other words, the control algorithm and the modulator of the inverter are divided in modules, and those that may be reusable such as operations, coders, search tables, among others, are identified. It is sought to divide the design in smaller parts that may be manageable.
2. **Functional simulation:** In this stage the controller is validated as a function of continuous-time blocks using, for instance, the MATLAB-Simulink software.
3. **Digital redesign:** This stage is very important, since it includes the realization of the digital filter, the selection of the sampling time, the selection of the format of the coefficients and variables according to the control requirements and constraints, such as: word length, and fixed or floating point, among others.

The final four stages are for the implementation based on FPGA, and consist of the following:

4. **Optimization graph of the data flow:** In this stage, the data flow of the algorithm is modeled to have the best balance in terms of

time/area; for this purpose, a graphical representation of every module of the algorithm is obtained. The graphical representation is constituted by lines and nodes, each line corresponding to a data transfer and the nodes representing arithmetical operations, or logic or mathematical functions.

5. **HDL coding:** the graphic of data flow of the previous stage is transcribed to VHDL code; regularly, the data transfers are controlled by finite states machines, synchronized at the clock signal of the FPGA.
6. **Implementation in FPGA:** This is an automatic process, regularly carried out with the tool provided by the manufacturer of the device. In this stage a mapping of the resulting functions, placement and routing is performed.
7. **Experimental validation:** Consists of integrating the whole system, carrying out the performance tests, and adjusting all the necessary parameters until obtaining the desired results.

## 4. Phase 1 of the methodology

### 4.1. Control by DFSPOEE, modeling and analysis

Starting with the  $d - q$  model obtained from the equations of the original mathematical model presented in [14], the input voltages  $u = [u_d u_q]$  and input currents  $i = [i_d i_q]$  in the coordinate axes  $d - q$  are calculated. For the design of the controller it is supposed that the angular speed and the load torque are known. To start with the design of the controller by passive output feedback, it is considered the following model in the coordinate axes  $d - q$  [15]:

$$\begin{aligned}
 L \frac{di_d}{dt} &= -r_e i_d + L i_q n_p \omega + u_d \\
 L \frac{di_q}{dt} &= -r_e i_q + L i_d n_p \omega - K_m \omega + u_q \\
 J \frac{d\omega}{dt} &= \frac{3}{2} K_m i_q - D \omega - T_L
 \end{aligned} \quad (1)$$

Representing the system of equations (1) in matrix form and rewriting it in passive form, yields [16]:

$$\begin{aligned}
 A \dot{x} &= [J(y) - R] x + B u - N \eta, x \in R^3, u \in R^2 \\
 y_1 &= i_d \\
 y_2 &= i_q
 \end{aligned} \quad (2)$$

where:

$$A = \text{diag} \left( L \quad L \quad \frac{2}{3} J \right); N = \text{diag} (1 \quad 1 \quad 1) \quad (3)$$

$$J(y) = \underbrace{\begin{pmatrix} 0 & 0 & 0 \\ 0 & 0 & -k_m \\ 0 & k_m & 0 \end{pmatrix}}_{=J_0} + y \underbrace{\begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}}_{=yJ_1} \quad (4)$$

$$R = \begin{pmatrix} r_e & 0 & 0 \\ 0 & r_e & 0 \\ 0 & 0 & \frac{2}{3}B \end{pmatrix}; B = \begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 0 & 0 \end{pmatrix}; \eta = \begin{pmatrix} 0 \\ 0 \\ \frac{2}{3}T_L \end{pmatrix} \quad (5)$$

The state vector is constituted by:

$$x^T(t) = (i_d, i_q, \omega) \quad (6)$$

$J_0$  and  $J_1$  are constant and antisymmetric matrices,  $y$  is a scalar representing the output  $y$  of the system which, in addition, is one of the variables of the state vector  $x$ ;  $R$  is a positive semidefinite symmetric matrix,  $B$  is a constant matrix of the control inputs, and finally  $\eta$  is a vector of load torques. The definitions of passivity and dissipativity discussed in [15] are used to verify that the average nonlinear system of the PMSM given in (1) is passive.

Let  $u^* \in \mathbb{R}^2$  denote the nominal input trajectory corresponding to the trajectory of the nominal state vector  $x^*(t) \in \mathbb{R}^3$ . Starting from this, the reference dynamics of the system is constructed, which must satisfy the following expression:

$$A\dot{x}^* = [J(y^*) - R]x^* + Bu^* - N\eta^* \quad (7)$$

It is defined the tracking error  $e = x - x^*$ , the error of the control input  $e_u = u - u^*$ , and the error of the disturbance input  $e_\eta = \eta - \eta^*$ , and considering that  $J(y) = J_0 + yJ_1$ , then:

$$A\dot{e} = J(y)e - Re + Be_u + J_1x^*l_3e - Ne_\eta$$

Defining  $M_3 = J_1x^*l_3$  as the  $3 \times 3$  matrix given

$$M_3 = \begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} i_d^* \\ i_q^* \\ \omega \end{pmatrix} \begin{pmatrix} 0 & 0 & 1 \end{pmatrix} \\ = n_p L \begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & -i_q^* \\ 0 & 0 & 0 \end{pmatrix}$$

Afterwards, matrix  $M_3$  is decomposed in a symmetric and an antisymmetric matrix using matrix algebra, having as result

$$M_3 = \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & i_q^* \\ -i_d^* & i_q^* & 0 \end{pmatrix}}_{W_3} + \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & i_q^* \\ -i_d^* & i_q^* & 0 \end{pmatrix}}_{S_3}$$

Subsequently  $W_3$  is added to the conservative matrix  $J(y)$ , and  $S_3$  is added to the dissipative part  $R$ . With this operation it is found the dynamic equation of the tracking error, expressed as:

$$A\dot{e} = J^*e - R^*e + Be_u \quad (8)$$

If it is considered that  $R^* > 0$ , in other words, positive definite, then the following condition is satisfied:

$$R^* = \begin{pmatrix} r_e & 0 & -\frac{1}{2}n_p Li_q^* \\ 0 & r_e & \frac{1}{2}n_p Li_d^* \\ -\frac{1}{2}n_p Li_q^* & \frac{1}{2}n_p Li_d^* & \frac{2}{3}B \end{pmatrix} \quad (9)$$

Using the Sylvester criterion it is verified that  $R^* > 0$ , namely, that it is a positive definite matrix, it must hold that

$$\det(R^*) = \frac{2}{3}r_e B - \frac{1}{4}n_p^2 L^2 [(i_d^*)^2 + (i_q^*)^2] > 0 \quad (10)$$

Following with the design methodology of the controller, using Lyapunov, it is proposed that  $e_u$  como  $e_u = -\delta B^T e$ , where:

$$\delta = \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} > 2 \\ \delta_1, \delta_2 > 0 \quad (11)$$

with  $\delta$  a positive matrix, such that

$$\begin{pmatrix} u_d \\ u_q \end{pmatrix} = \begin{pmatrix} u_d^* \\ u_q^* \end{pmatrix} - \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} x^* \quad (12)$$

From equation (12) the control laws that will act on the system are obtained, yielding:

$$u_d = \widetilde{u}_d - \delta_1(i_d - \widetilde{i}_d) \\ u_q = \widetilde{u}_q - \delta_2(i_q - \widetilde{i}_q) \quad (13)$$

#### 4.1.1. Equilibrium points

The equilibrium points will be used to calculate the desired reference variables  $i_d^*$ ,  $i_q^*$ ,  $u_d^*$ ,  $u_q^*$ ,  $w^*$ . For this case,  $w^*$  is the desired value of the speed which will be measured in the motor shaft. To obtain these references, the derivatives of equations (1) are set equal to zero, thus obtaining the following expressions:

$$0 = \widetilde{L}i_q n_p \omega_d + u_d \quad (14)$$

$$0 = -r_e \widetilde{i}_q - K_m \omega_d + u_q \quad (15)$$

$$0 = \frac{3}{2}K_m \widetilde{i}_q - D\omega_d - T_L \quad (16)$$

from which it can be solved:

$$\begin{aligned} \tilde{i}_d &= 0 \\ \tilde{i}_q &= \frac{2}{3} \frac{D}{K_m} \omega_d + \frac{2}{3} \frac{T_L}{K_m} \\ \tilde{u}_d &= -L \tilde{i}_q n_p \omega_d \\ \tilde{u}_q &= r_e \tilde{i}_q + K_m \omega_d \end{aligned} \quad (17)$$

#### 4.1.2. Design of the observer of the load torque parameter

To design and develop an efficient and robust controller, it is necessary to know all the variables that disturb the system. Since the controller by feedback of the error passive output is not robust in the presence of disturbances of constant load torque, a reduced order observer is designed to estimate the load torque parameter together with the unmolded friction terms [17]. The quadrature current  $i_q$  is defined as the control input,  $u_1 = i_q$ , and the estimated angular speed is defined as the measured output,  $y_1 = \omega$ . The nominal values of the parameters  $J$  and  $K_m$  are considered known. Substituting variables  $u_1$  and  $y_1$  in the mechanical equation given in (1), yields the following expression:

$$J \frac{dy_1}{dt} = \frac{3}{2} k_m u_1 - B y_1 - T_L \quad (18)$$

The following observer of load torque is proposed as:

$$\frac{d\tilde{T}_L}{dt} = \lambda (T_L - \tilde{T}_L) \quad (19)$$

where  $\lambda > 0$ . The dynamics of the estimation error is given by:

$$e_{T_L} = T_L - \tilde{T}_L \quad (20)$$

$$\frac{de_{T_L}}{dt} = \frac{dT_L}{dt} - \frac{d\tilde{T}_L}{dt} \quad (21)$$

If  $T_L$  is considered as constant,  $\frac{dT_L}{dt} = 0$ , and substituting (19) in (21) results in the following dynamics of the estimation error:

$$\frac{de_{T_L}}{dt} = -\lambda e_{T_L} \quad (22)$$

Choosing a gain  $\lambda > 0$ , the observing error  $e_{T_L}$  converges exponentially to zero as  $t \rightarrow \infty$ . Now, substituting equation (18) in (19) gives:

$$\frac{d\tilde{T}_L}{dt} = \lambda \left[ \frac{3}{2} K_m i_q - \left( B y_1 + J \frac{dy_1}{dt} \right) \tilde{T}_L \right] \quad (23)$$

Solving and rearranging the previous equation yields the following expression:

$$\frac{d\tilde{T}_L}{dt} + \lambda J \frac{dy_1}{dt} = \frac{3}{2} K_m u_1 - \lambda B y_1 - \lambda \tilde{T}_L \quad (24)$$

Making the change of variable  $\Psi = \tilde{T}_L + \lambda J y_1$ , results in the following reduced order observer:

$$\frac{d\Psi}{dt} = -\lambda \Psi + (J\lambda - B)\lambda y_1 + \frac{3}{2} \lambda K_m i_q \quad (25)$$

$$\tilde{T}_L = \Psi - \lambda J y_1 \quad (26)$$

The estimated value of the load torque parameter together with the unknown friction terms  $\tilde{T}_L$ , adapt online to the control law for soft tracking the angular speed. The purpose of this adaptation is to reduce the effects produced by the load applied to the shaft of the PMSM.

#### 4.2. Simulations of the controller in MATLAB

With the use of the MATLAB-Simulink software, it is proceeded to design the whole system in block diagram. Figure 4 shows the main block diagram.

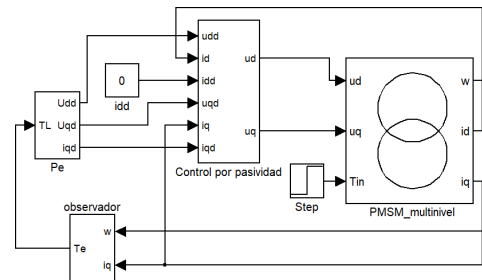


Figure 4. Main block diagram.

The passivity-based controller shown in Figure 4 is based on the set of equations (12); Figure 5 shows the implementation in blocks.

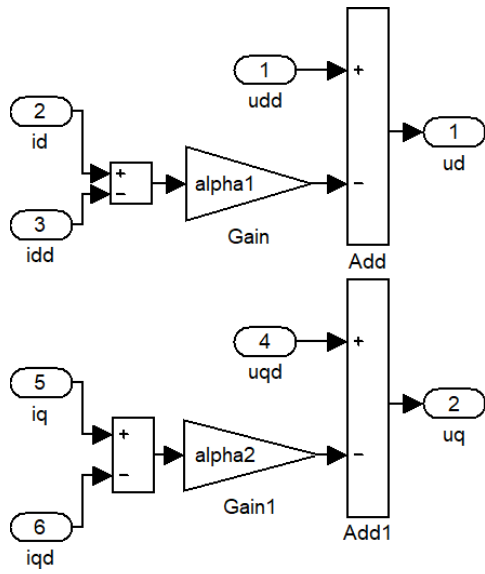


Figure 5. Passivity-based controller.

The load observer of equations (25) and (26) is shown in blocks in Figure 6.

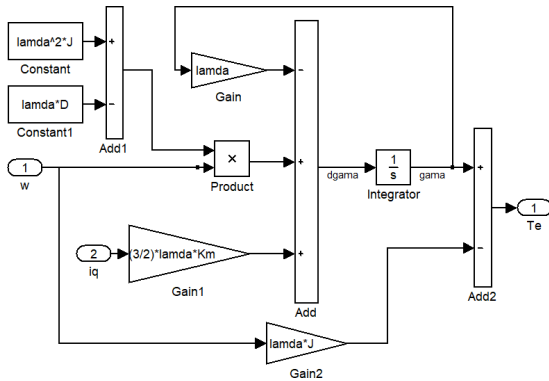


Figure 6. Reduced order load observer.

Equations (17) of the equilibrium points of the system, which are utilized to find the references and desired trajectories, are shown in blocks in Figure 7.

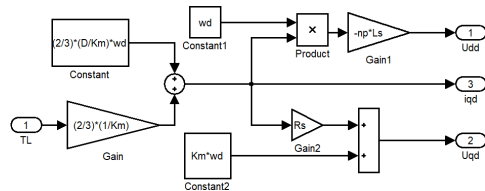


Figure 7. Reference signals.

A cosimulation with Simulink and Psim is carried out to validate the operation of the system. The electric diagram in Psim of the multilevel inverter in conjunction with the PMSM, is shown in Figure 8. It can be

observed that the multilevel inverter is constituted by three sections, equal to the one shown in the square at the left of Figure 8.

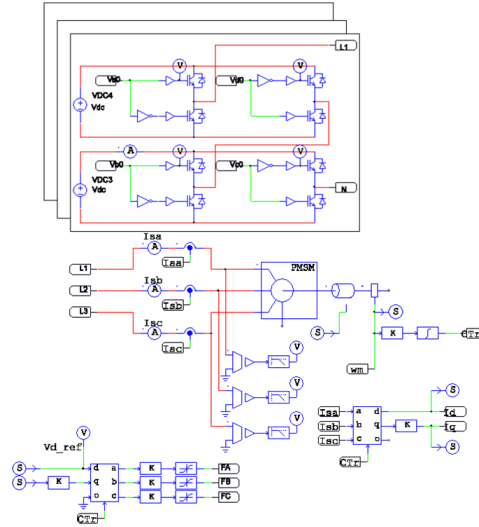


Figure 8. Electric diagram in Psim.

### 4.3. Multilevel inverter

For this work, a multilevel inverter with cascaded cells is utilized. This configuration is based on cells connected in series to add up the voltages, and obtain the 5 desired levels as shown in Figure 9.

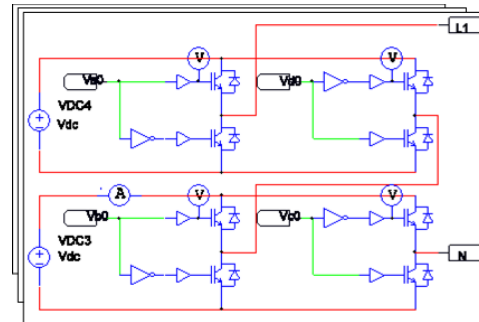


Figure 9. Topology of the selected cascade inverter of five levels.

The modulation technique employed is PS-PWM, which for the case of the inverter of 5 levels, consists of four triangular signals called carriers, 90° out of phase between them, i.e., 0°, 90°, 180° and 270°, respectively; in this case the carriers are generated at a frequency of 12 kHz. These signals are compared with a sinusoidal signal called modulating signal; for the case of interest, such modulating signal is generated by the transformation dq-abc. In general, its operation consists in obtaining logic ones and zeros by means of the comparison between the carrier and modulating signals: a



logic one is obtained if the carrier signal is greater than or equal to the modulating signal, otherwise a logic zero arises. In this way, PWM signals that activate the commutation devices are generated. It should be pointed out that each phase contains a modulating signal  $120^\circ$  out of phase with respect to the other phases; therefore, there is a total of 24 PWM signals, 12 main channels with their corresponding 12 complementary signals. Figure 10 shows the diagram to generate the PS-PWM modulation for a single phase, with its four main signals.

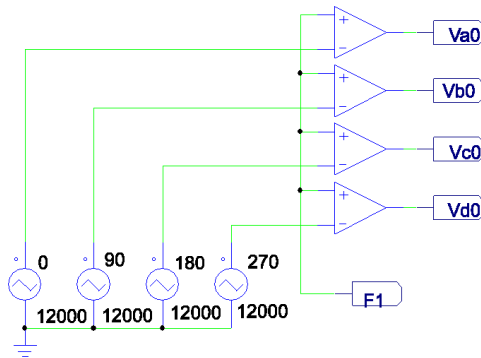


Figure 10. PS-PWM modulator for one phase.

4.4. Simulation results

Hereunder, the results obtained from the cosimulation of the system in different scenarios are shown, with the purpose of performing a comparison. These scenarios are: the Psim model of the PMSM driven by a conventional three-phase inverter, and finally driven by the three-phase multilevel inverter of five levels. The designed passivity-based controller is applied in both cases. As a result of the simulation, the plot in Figure 11 shows the angular speed of the motor driven by both types of inverters. It can be observed in such plot that when a change of the load torque is applied on the motor shaft, at time  $t = 1$  s, the disturbance caused by such change is effectively counteracted by the controller. There is no significant difference between one type of inverter and the other.

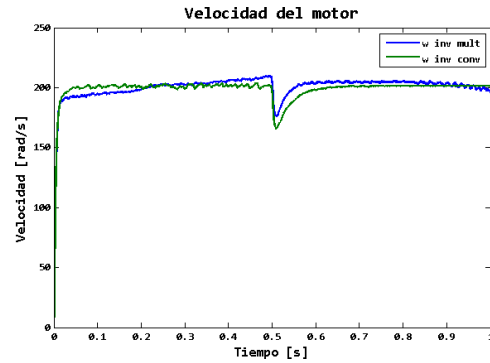


Figure 11. Motor speed.

Figures 12 and 13 show plots of the currents  $i_d$  and  $i_q$ , respectively, for the aforementioned conditions. It is important to point out that with the use of the multilevel inverter the ripple in the currents decreases considerably, due to the combined use of such inverter and the designed controller.

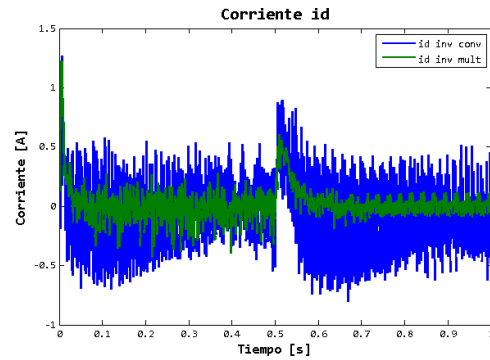


Figure 12.  $i_d$  current.

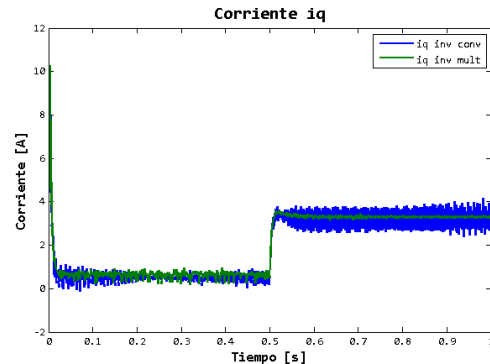


Figure 13.  $i_q$  current.

At last, Figure 14 shows the estimated load torque. It can be seen that the designed observer equally works better in the case of the multilevel inverter, which verifies its correct operation.

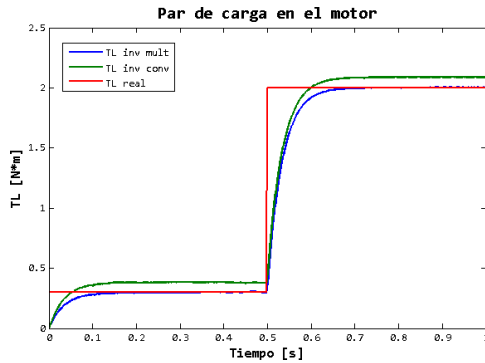


Figure 14. Estimated load torque of the motor.

### 5. Phase 2

The programming of the FPGA is carried out in this phase. It is worth mentioning that in this work, the coding is directly performed in the VHDL language, without employing any code generator; this approach enables making optimal use of the device resources.

#### 5.1. Implementation of the PS-PWM modulator module

The modulator was programmed in VHDL language in the ISE DESIGN software of XILINX. For simplicity, Figure 15 shows the design by means of a schematic block diagram. The main programmed blocks are: block of carrier signals, in which the triangular signals are generated; block of modulating signal, which generates the modulating signal; at last, the comparators generate the PWM signals to perform the comparison between the carrier signals and the modulating signal.

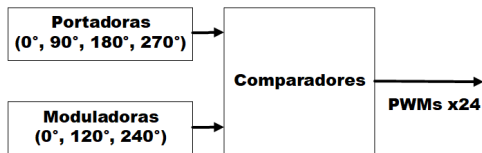


Figure 15. Block diagram of the modulator.

#### 5.2. Implementation of the controller module

The controller is divided in various sub-modules: abc-dq transformation, dq-abc transformation, load observer, equilibrium points, passivity-based speed control, reading of current sensors, reading of position/speed sensor. These modules work with the IEEE 754 32-bit simple precision standard, which is the numerical format mostly used in hardware [18].

#### 5.2.1. dq – abc transformation module

The architecture shown in Figure 16 is implemented for the development of this module, which enables on-line solving equation (27) and optimizing resources. A multiplier, an adder and a register are utilized in the case of this module; although all these elements are inside the FPGA, their use should be optimized because they are limited. As observed in Figure 16, it requires 8 inputs: d, q and the 6 trigonometric functions. The outputs are the values a, b and c, which correspond to the value of voltage of the phases. Afterwards, Figure 17 shows the hardware implementation of equations (27); this methodology was taken from [19]. Since the complexity of the system makes difficult to exemplify the development, only this module is shown; however, the construction of the remaining modules is carried out in a similar manner. Table 1 shows the consumption of logic resources in the FPGA after performing the implementation of all modules involved in the design, and Figure 18 presents the highest hierarchy diagram of the system.

$$\begin{aligned}
 V_a &= V_d \cos(\theta) + V_q \sin(\theta) \\
 V_b &= V_d \cos(\theta - \frac{2}{3}\pi) + V_q \sin(\theta - \frac{2}{3}\pi) \\
 V_c &= V_d \cos(\theta + \frac{2}{3}\pi) + V_q \sin(\theta + \frac{2}{3}\pi)
 \end{aligned}
 \tag{27}$$

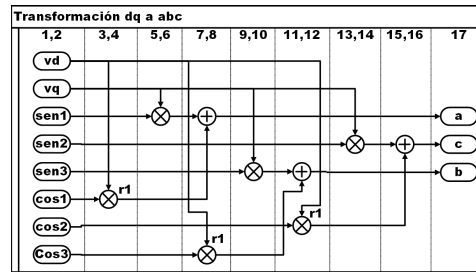


Figure 16. Sequence diagram of the transformation dq to abc.

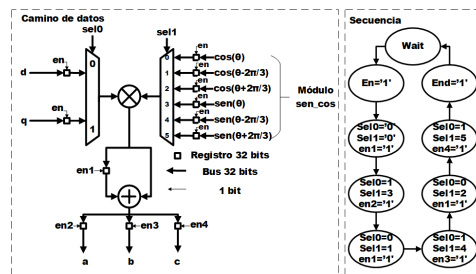


Figure 17. Flow diagram of data and machine of states.

Table 1. Level of utilization of the FPGA

Device Utilization Summary			
Slice Logic Utilization	Used	Available	Utilization
Number of Slice Registers	4,038	11,440	35%
Number of Slice LUTs	4,834	5,720	84%
Number used as logic	4,599	5,720	80%
Number used as Memory	179	1,440	12%
Number of occupied Slices	1,408	1,430	98%
Number of MUXCYs used	1,716	2,860	60%
Number with an unused Flip Flop	1,808	5,107	35%
Number with an unused LUT	273	5,107	5%
Number of fully used LUT-FF pairs	3,026	5,107	59%
Number of unique control sets	84		
Number of slice register sites lost to control set restrictions	245	11,440	2%
Number of bonded IOBs	56	186	30%
Number of LOCed IOBs	55	56	98%
Number of RAMB16BWERS	17	32	53%
Number of RAMB8BWERS	10	64	15%
Number of BUFIO2/BUFIO2_2CLKs	1	32	3%
Number of BUFIO2FB/BUFIO2FB_2CLKs	1	32	3%
Number of BUFG/BUFGMUXs	5	16	31%
Number of DCM/DCM_CLKGENs	1	4	25%
Number of DSP48A1s	16	16	100%
Average Fanout of Non-Clock Nets	3.65		

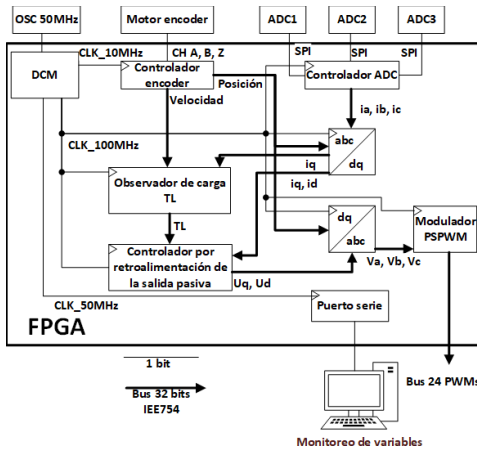


Figure 18. General schematic diagram of the system in the FPGA.

### 6. Experimental platform

The electrical configuration of the platform of the multilevel inverter is shown through the one-line diagram in Figure 19.

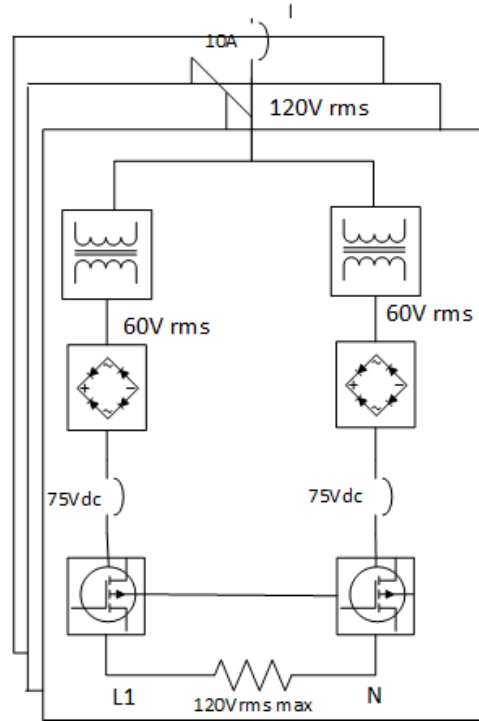


Figure 19. One-line diagram of the multilevel inverter.

Figure 20 shows the experimental platform constructed and used for the laboratory tests. The control signals are generated by the FPGA, which are used to switch the multilevel inverter and generate the power necessary to drive the PMSM according to the desired reference trajectory. The experimental platform is constituted by the following elements:

- Isolated DC sources
- H-bridges
- Main charge center
- Transformer of the DC source
- Diode bridge
- Capacitor of the DC source
- DIN rail
- Connection screw terminals
- Protection breakers

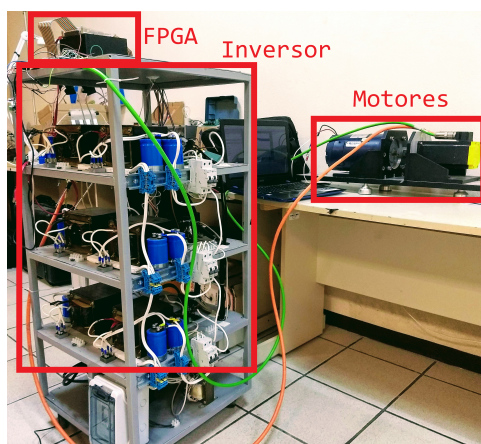


Figure 20. Experimental platform.

### 6.1. ALINX development kit

The development kit utilized is ALINX brand, AX309 model, shown in Figure 21. It comprises a FPGA SPARTAN-6 XC6SLX9, which is a low-cost development platform, with the following characteristics:



Figure 21. Development kit.

- FPGA model: XC6SLX9
- Size: 90x130 mm
- Crystal oscillator: 50 MHz
- Number of expansion I/O: 68
- SDRAM: 256 Mbit
- FLASH: 16 Mbit
- IO port level: 3.3 V
- Serial port: onboard U transfer serial port

### 6.2. Permanent magnet synchronous motor

The motor utilized is BALDOR Brand, whose main characteristics are 1.23 kW at 4000 rpm; Figure 22 shows the motor, while Table 2 shows its parameters.

Table 2. Motor parameters

Parameters	Value
CAT.NO.	BSM80N-275AF
SPEC.	S2P141W042G1
TORQ CONT STALL	3.2 NM
CUR CONT STALL/A RMS	4
POWER	1.23KW
RATED SPEED/RPM	4000
RATED BUS VOLTS	300
PEAK CUR/A RMS	14.4
MAX SPEED/RPM	7000
CLASS	F
AMB.	25

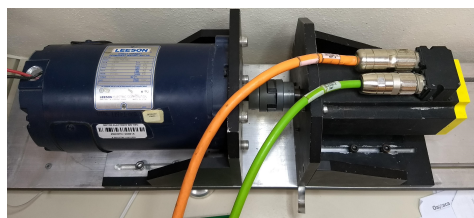


Figure 22. PMSM employed (left) and DC motor used as load (right).

## 7. Experimental results

Since the processing inside the FPGA device is numerical, it is necessary to have a mean to read the different signals that are processed. For this purpose, readings of the signals are taken and sent through a serial port/UART at a speed of 921600 bps; once received in the computer, they are processed and presented by means of a GUI designed in LabView. The measured parameters include the speed ( $\omega$ ), the currents  $i_q$ ,  $i_d$  and the estimated load torque (LT); each plot has a total of 70000 samples in 5 seconds.

On the other hand, the shaft of the PMSM is coupled to a direct current (DC) motor that operates as an external mechanical load, as can be seen in Figure 22.

Then, Figure 23 shows the angular speed  $\omega$  measured by the motor encoder. The desired speed  $\omega_d$  is determined by tracking a curve obtained from a 6th-order Bezier polynomial, which is used as reference. The duration of the starting curve is 5 s, after which it can be observed that the motor speed settles at 200

rad/s, as desired. Nevertheless, note that there is a ripple in the real speed, which is mainly due to the numerical differentiation algorithm used to obtain the speed from the readings of the encoder.

During the same period of time, Figure 24 shows the tracking of the  $i_q$  current at the start of the motor, which settles at 0.5 amperes; this is the active current, which is transformed by the motor into mechanical torque. Similarly, Figure 25 shows the regulation of the  $i_d$  current, which should remain equal to 0 amperes because it is the reactive current that cannot be utilized. Both currents exhibit ripple, due to the resolution of the employed sensor currents. At last, Figure 26 shows the estimation of the load torque at the motor shaft during the same period of time, which settles at 0.4 Nm when the desired speed is reached.

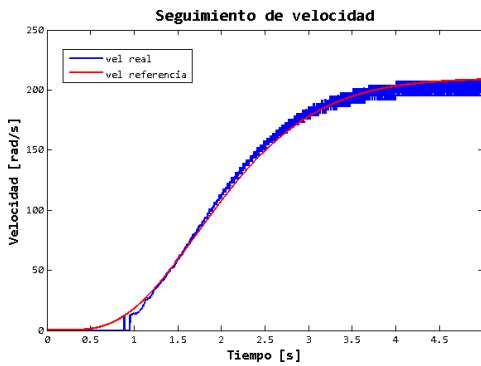


Figure 23. Soft tracking of velocity at start.

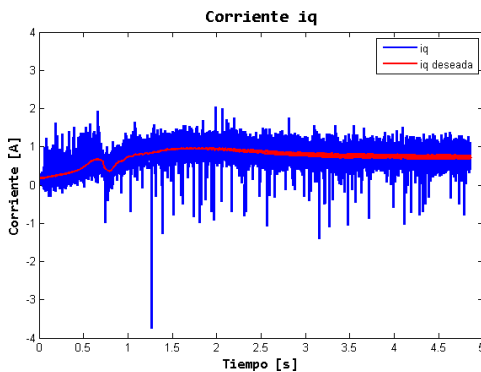


Figure 24. Tracking of the  $i_q$  current at start.

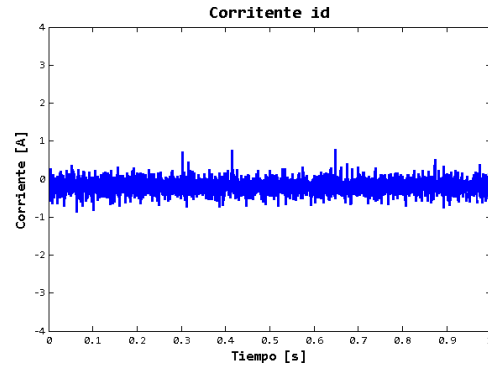


Figure 25. Tracking of the  $i_d$  current at start.

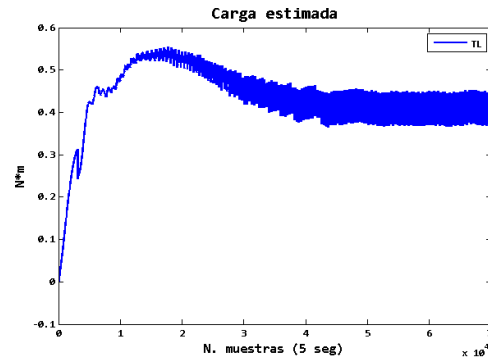


Figure 26. Estimated load at the motor shaft.

## 8. Conclusions

Based on the simulation and experimental results, it can be argued that the designed and implemented passive output feedback controller exhibits an adequate performance in the tracking and regulation of the angular speed of the PMSM. On the other hand, it is verified that the reduced-order load torque estimator, correctly estimates this parameter. In addition, in terms of hardware, it is observed that the multilevel inverter considerably reduces the harmonic distortion of the voltage, which in general results in less noise in the system and avoids the need of using filters. Due to the particularities of the digital device (FPGA) where the implementation was carried out, a sampling time of 10  $\mu$ s is achieved, which results in the benefit of having larger speed of response in the presence of sudden changes in the load.

As a future work, it is intended to implement a more complex algorithm, such as an algebraic estimator, to accomplish a better estimation of the mechanical load torque. The above would be possible taking advantage of the parallelism, which is the main characteristic of the FPGA.

## References

- [1] T. Wildi, *Máquinas eléctricas y sistemas de potencia*, 2007. [Online]. Available: <https://bit.ly/35aPtZm>
- [2] L. Blanco Rubio, “Diseño electromagnético de un motor síncrono de imanes permanentes para el accionamiento directo de la hélice de un barco,” 2017. [Online]. Available: <https://bit.ly/2PAJZAj>
- [3] J. Linares-Flores, C. Garcia-Rodriguez, H. Sira-Ramirez, and O. D. Ramirez-Cárdenas, “Robust backstepping tracking controller for low speed pmsm positioning system: Design, analysis, and implementation,” in *2015 IEEE International Conference on Industrial Technology (ICIT)*, March 2015, pp. 2131–2138. [Online]. Available: <https://doi.org/10.1109/ICIT.2015.7125411>
- [4] IEEE, “Ieee recommended practices and requirements for harmonic control in electrical power systems,” *IEEE Std 519-1992*, pp. 1–112, April 1993. [Online]. Available: <https://doi.org/10.1109/IEEESTD.1993.114370>
- [5] M. H. Rashid, *Electrónica de potencia: circuitos, dispositivos y aplicaciones*, 2004. [Online]. Available: <https://bit.ly/2t9mZ42>
- [6] J. A. Juárez-Abad, J. Linares-Flores, E. Guzmán-Ramírez, and H. Sira-Ramírez, “Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An fpga implementation,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, Feb 2014. [Online]. Available: <https://doi.org/10.1109/TII.2013.2242085>
- [7] F. Chauca Llusca, F. Llerena Rengel, and P. Chico Hidalgo, “Diseño y construcción de un inversor multinivel,” *Revista Politécnica*, vol. 33, no. 1, 2014. [Online]. Available: <https://bit.ly/36rAxpI>
- [8] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, “The age of multilevel converters arrives,” *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008. [Online]. Available: <https://doi.org/10.1109/MIE.2008.923519>
- [9] E. Monmasson, L. Idkhajine, and M. W. Naouar, “Fpga-based controllers,” *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, March 2011. [Online]. Available: <https://doi.org/10.1109/MIE.2011.940250>
- [10] D. G. Maxinez and J. Alcalá Jara, *VHDL: el arte de programar sistemas digitales*, 2002. [Online]. Available: <https://bit.ly/2PCE8dL>
- [11] J. J. Rodríguez-Andina, M. D. Valdés-Peña, and M. J. Moure, “Advanced features and industrial applications of FPGAs—a review,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853–864, Aug 2015. [Online]. Available: <https://doi.org/10.1109/TII.2015.2431223>
- [12] W. Zhu, “Fpga logic devices for precision control: An application to large friction actuators with payloads,” *IEEE Control Systems Magazine*, vol. 34, no. 3, pp. 54–75, June 2014. [Online]. Available: <https://doi.org/10.1109/MCS.2014.2308691>
- [13] E. Mandado, L. J. Álvarez, and M. D. Valdés, *Dispositivos Lógicos Programables*, 2002. [Online]. Available: <https://bit.ly/38uCiEq>
- [14] R. Krishnan, *Permanent Magnet Synchronous and Brushless DC Motor Drives*, 2017.
- [15] J. Linares-Flores, C. García-Rodríguez, O. D. Ramírez-Cárdenas, C. Escobar-Noriega, and M. A. Contreras-Ordaz, “Control robusto de seguimiento suave de posición angular del motor síncrono de imanes permanentes,” in *Memorias del XVI Congreso Latinoamericano de Control Automático, Octubre 14-17, 2014. Cancún, Quintana Roo, México*, 2014, pp. 1113–1118. [Online]. Available: <http://doi.org/10.13140/2.1.2760.9607>
- [16] H. J. Marquez, *Nonlinear control systems: analysis and design*. Wiley-Interscience Hoboken, 2003, vol. 1. [Online]. Available: <https://bit.ly/2YMdMKM>
- [17] Y. E. Gliklikh, “Necessary and sufficient conditions for global-in-time existence of solutions of ordinary, stochastic, and parabolic differential equations,” *Abstract and Applied Analysis*, vol. 2006, Special Issue, p. 17, 2006. [Online]. Available: <https://doi.org/10.1155/AAA/2006/39786>
- [18] IEEE, *IEEE 754-2019 - IEEE Standard for Floating-Point Arithmetic*, 2019. [Online]. Available: <https://bit.ly/2E5tnvo>
- [19] M. Naouar, E. Monmasson, A. A. Naasani, I. Slama-Belkhdja, and N. Patin, “FPGA-based current controllers for AC machine drives—a review,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1907–1925, Aug 2007. [Online]. Available: <https://doi.org/10.1109/TIE.2007.898302>



# CONTROL FOR THE OUTPUT VOLTAGE ON A FLYING CAPACITOR MULTILEVEL INVERTER

## CONTROL PARA EL VOLTAJE DE SALIDA DE UN INVERSOR MULTINIVEL DE CAPACITORES FLOTANTES

Beatriz Angélica Aguilar-López<sup>1</sup>, José Antonio Juárez-Abad<sup>2,\*</sup>,  
 Jorge Luis Barahona-Avalos<sup>2</sup>, Rosalino Mayoral-Lagunes<sup>1</sup>,  
 Jesús Linares-Flores<sup>2</sup>, Marco Antonio Contreras-Ordaz<sup>2</sup>

### Abstract

This paper presents the design of a robust Active Disturbance Rejection Controller (ADRC) for tracking the reference trajectory of the output voltage of a flying capacitor multilevel inverter. If the dynamics of each flying capacitor and of the passive elements of the filter are considered in the dynamic model of the converter, it results a high order model, which is difficult to control. PS-PWM modulation is used in this work to keep the voltages in the flying capacitors at their nominal values, and thereby generate a second-order simple dynamic model that is easier to control. The simulation and experimental results confirm that the controller is robust in the presence of disturbances, caused by either linear or nonlinear load changes. The experimental prototype of the complete system was built, and the implementation of the controller and the modulator was carried out in a FPGA; the results obtained are shown in the final part.

**Keywords:** Active Disturbance Rejection, Exact Linearization, Flying Capacitors, Natural balancing, Power converter, Robust Control.

### Resumen

Este artículo presenta el diseño de un controlador mediante la técnica de rechazo activo de perturbaciones para el seguimiento de la trayectoria de referencia para el voltaje de salida de un inversor multinivel de capacitores flotantes. Si en el modelo dinámico del convertidor se consideran las dinámicas de cada capacitor flotante, adicionalmente, las de los elementos pasivos del filtro de salida, el modelo resultante es de un orden alto, lo que dificulta su control. En este trabajo se emplea la modulación PS-PWM para mantener los voltajes en los capacitores flotantes en sus valores nominales y de esta manera poder generar un modelo dinámico simple, que resulta ser más fácil de controlar. Los resultados de simulación y experimentales, confirman que el controlador es robusto a perturbaciones provocadas por cambios en la carga, sin importar si son de tipo lineal o no lineal. Se realizó la construcción del prototipo experimental del sistema y se implementó el controlador y modulator en un FPGA y en la parte final se muestran los resultados obtenidos.

**Palabras clave:** balanceo natural, capacitores flotantes, control robusto, convertidor de potencia, linealización exacta, rechazo activo de perturbaciones.

<sup>1</sup>División de estudios de posgrado, Universidad Tecnológica de la Mixteca - México.

<http://orcid.org/0000-0002-2769-4992>, <http://orcid.org/0000-0003-3420-7416>

<sup>2,\*</sup>Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca - México.

Corresponding author ✉: [abad@mixteco.utm.mx](mailto:abad@mixteco.utm.mx)

<http://orcid.org/0000-0001-7440-0849>, <http://orcid.org/0000-0002-5502-6692>

<http://orcid.org/0000-0002-5723-4786>, <http://orcid.org/0000-0002-3478-796X>

Received: 22-11-2019, accepted after review: 03-06-2020

Suggested citation: Aguilar-López, B. A.; Juárez-Abad, J. A.; Barahona-Avalos, J. L.; Mayoral-Lagunes, R.; Linares-Flores, J. and Contreras-Ordaz, M. A. (2020). «Control for the output voltage on a flying capacitor multilevel inverter». INGENIUS. N.º 24, (july-december). pp. 68-80. DOI: <https://doi.org/10.17163/ings.n24.2020.07>.

## 1. Introduction

Electric power may be available in two modes: direct current (DC) or alternating current (AC). There are applications where it is required the transformation from one mode to the other, and such conversion is carried out by a device known as power converter; for example, the AC-DC transformation is performed by a converter called rectifier, and the DC-AC conversion is carried out by a converter called inverter [1]. The power converters are built with commutation devices and passive elements such as capacitors, inductors, diodes and transformers. In general, the power that the converter is capable of delivering is limited by the current and voltage ratings of its switches and commutation devices.

Even though an inverter should ideally produce a sinusoidal voltage in traditional applications of alternating current (to achieve better efficiency and low electromagnetic interference, among other advantages [2]), they are only capable of producing rectangular waves (i.e., with three levels). With the rise of multilevel inverter topologies, it was possible to generate voltage waves with multiple levels, which are more similar to the ideal sinusoidal wave. The most well-known topologies of multilevel converters are: cascade cells, diode clamped and flying capacitor [3]. The first topology mentioned consists of a series connection of H-bridges and requires isolated voltage sources for each of the cells, while the last two require only one voltage source [4].

The topology of flying capacitor multilevel converters (FCMC) has demonstrated to be an excellent choice in applications where high power density is required [5]. The structure of a FCMC consists of power cells. Each power cell is constituted by a pair of switches and a flying capacitor. The number of levels at the output of the FCMC may be increased by adding more cells to the FCMC, but more capacitors and switches are required. Each flying capacitor should be charged to a particular nominal voltage. Depending on the state of the cell switches, the flying capacitor will or will not supply its voltage at the output of the converter.

For the correct operation of the FCMC, a balanced distribution in the voltages of the flying capacitors should be maintained: each of them should maintain a nominal voltage equivalent to a fraction of the total voltage of the DC bus divided between the number of cells. Two independent processes known as precharge and balancing (or regulation) of the voltages in the flying capacitors, are carried out to achieve a correct operation of the FCMC.

For the case of the precharge, some reported methods may be found in [6] and [7]. On the other hand, the balancing of the voltages in the flying capacitors may be carried out passively and actively. The natural or passive balancing utilizes a modulation technique com-

monly called Phase Shifted-PWM (PS-PWM). This modulation technique is employed to generate the commutation states that form the desired output voltage signal and, at the same time, it maintains an average net charge equal to zero in the flying capacitors.

The aforementioned passive balancing technique is easy to implement, but it does not guarantee that the voltages of the capacitors reach their nominal values, because the components utilized in the construction of the FCMC regularly have non-ideal conditions, i.e.: unequal leakage currents in the capacitors, asymmetrical charge and discharge in the capacitors and load disturbances, among others [8]. On the other hand, in active balancing the voltage of the flying capacitors is individually regulated. This approach requires the use of a voltage sensor for each of the flying capacitors as shown in [9] and [10], or estimating them by means of observers as it is considered in [11].

A necessary control task in power converters is supplying an output voltage of constant amplitude, regardless of the effective load resistance. For the case of the DC-AC converter it is desired that the output tracks a reference voltage despite the disturbances that occur due to changes in the load current or in the input voltage [12]. A feedback control system is required for these tasks to be carried out precisely. Voltage tracking in multilevel inverters has been addressed using different control techniques. Different control schemes have been employed for the cascade cells topology, which include: passivity-based controller [13] and generalized proportional integral tracking control [14]. Voltage tracking for the flying capacitor topology has been carried out in [15] and [16]. In [15], each appropriate commutation state is generated to produce the desired output voltage, using an algorithm that does not require an additional modulation nor the model of the converter. In [16], the authors state that the tasks of voltage balancing and voltage reference tracking are coupled, which becomes a serious problem in high bandwidth and high precision applications. They emphasize in the decoupling of these tasks by means of two techniques: feedback linearization and a variant of vector space modulation. Proportional-integral (PI) and linear quadratic regulator (LQR) controllers are applied for voltage tracking, and simple proportional (P) controllers for balancing the voltages in the capacitors.

The objective of the present work is the tracking control of a sinusoidal reference signal applied to the output voltage of a FCMC. The PS-PWM modulation is responsible for the task of balancing the voltages in the flying capacitors. This enables avoiding the use of multiple voltage sensors, and reducing the complexity of both the converter dynamic model and of the controller implementation. The controller is based on the Active Disturbance Rejection Control (ADRC) technique.



Section 2.1 describes the components of the system: controller, modulator and power converter. The average dynamic model of the FCMC is obtained in section 2.2. The exact linearization of the FCMC model is carried out in section 2.3. The design of the ADRC-based controller is presented in section 2.4. Section 3 shows the results of the cosimulation carried out in Matlab-Simulink/PSIM, where it is analyzed the effectiveness of the controller before the experimental construction, the experimental results are shown in section 4 and, at last, the conclusions are presented in section 5.

## 2. Materials and methods

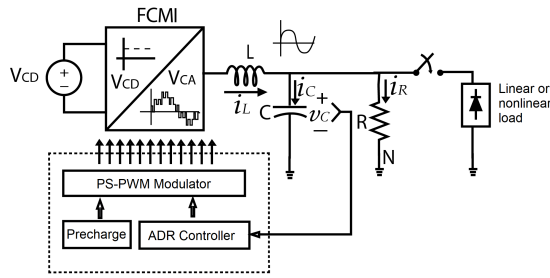


Figure 1. Block diagram of the system.

Figure 1 shows the complete system which is described in the following. From a direct current voltage source,  $V_{CD}$ , the FCMC synthesizes at the output a signal with multiple voltage levels based on PWM. Such output voltage is processed by a low pass LC passive filter, with the purpose of attenuating the high frequency components of the PWM signal and, at last, obtaining a voltage signal purely sinusoidal at the output of the filter. The active disturbance rejection controller feedbacks the voltage signal of the filter and compares it against a sinusoidal reference signal, of frequency 60 Hz and variable amplitude; the reference or modulating signal is employed for the PS-PWM modulator. During the firing of the FCMC the flying capacitors are discharged, and therefore, the correct voltage, or nominal voltage, in each of them is established by means of the precharge process.

Initially, a resistive load with known value is connected in parallel with the capacitor  $C$  of the output filter, and at a given time a linear or nonlinear load is added to the system as an external disturbance.

The FCMC is shown in Figure 2, which consists of multiple power cells connected one after another. Each power cell (except the one connected to the DC bus) contains a pair of power switches and a flying capacitor.

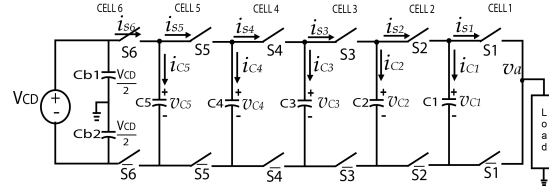


Figure 2. Topology of the flying capacitor multilevel inverter (FCMI).

For example, cell 1 is constituted by switches  $S1$ ,  $\bar{S}1$  and by capacitor  $C1$ . Six cells are required to obtain seven voltage levels, including the level corresponding to 0V. Each flying capacitor of the  $i$ th cell, should be charged and should be maintained at a nominal voltage  $V_{Ci}$ , which may correspond to any of the following values:  $V_{CD}/6$ ,  $2V_{CD}/6$ ,  $3V_{CD}/6$ ,  $4V_{CD}/6$ ,  $5V_{CD}/6$ .

Individually, each switch of the converter may be closed (ON) or open (OFF). For the purpose of avoiding short circuits in the cells, the switches of each cell should operate in a complementary manner, and consequently never should remain closed at the same time; this condition is guaranteed using a delay time between commutations. In the flying capacitors topology, as well as in other multilevel topologies, a particular level of voltage may be obtained with different commutation states, which are called redundant states. In the topology of half-bridge FCMC of seven levels, the following voltage levels may be obtained at the output:  $-3V_{CD}/6$ ,  $-2V_{CD}/6$ ,  $-V_{CD}/6$ ,  $0$ ,  $V_{CD}/6$ ,  $2V_{CD}/6$ ,  $3V_{CD}/6$ .

### 2.1. Average dynamic model

Applying Kirchhoff's current law to the FCMC shown in Figure 2, the following set of equations for the currents in the flying capacitors is obtained:

$$\begin{aligned} C_1 \frac{dv_{C1}}{dt} &= i_L(d_2 - d_1) \\ C_2 \frac{dv_{C2}}{dt} &= i_L(d_3 - d_2) \\ C_3 \frac{dv_{C3}}{dt} &= i_L(d_4 - d_3) \\ C_4 \frac{dv_{C4}}{dt} &= i_L(d_5 - d_4) \\ C_5 \frac{dv_{C5}}{dt} &= i_L(d_6 - d_5) \end{aligned} \quad (1)$$

where  $i_L$  is the current through the inductor of the output filter,  $C_i$  is the capacitance of the capacitors of the FCMC,  $d_i$  represents the duty cycle of the  $S_i$  switch and  $v_{Ci}$  are the voltages in the flying capacitors, with  $i = \{1, 2, 3, 4, 5\}$ .

The output voltage of the FCMC of Figure 2 is measured from node  $v_a$  with respect to ground and is called  $v_{aN}$ , which is determined in the following manner:

$$v_{aN} = v_{C1}(d_1 - d_2) + v_{C2}(d_2 - d_3) + v_{C3}(d_3 - d_4) + v_{C4}(d_4 - d_5) + v_{C5}(d_5 - d_6) + V_{CD}d_6 - \frac{V_{CD}}{2} \quad (2)$$

The PS-PWM modulation generates the PWM signals for each pair of switches of the cells of the FCMC. Figure 3(a) shows some cycles of the carrier signals  $C1$  to  $C6$ , which are triangular signals with amplitudes that take values in the interval  $[-1, 1]$  and frequency  $f_c$ , 60 degrees out of phase. The frequency of the carriers is greater than the frequency  $f_m$  of the modulating signal, and consequently it is common to define a modulating index  $\frac{f_c}{f_m} \geq i_m$ . In this work, a modulating index  $i_m = 40$  was employed. For the case of the modulating signal  $u_{av}$ , its amplitude takes values in the interval  $[-1, 1]$  and has a frequency  $f_m = 60 \text{ Hz}$ .

Each carrier signal is compared with the modulating signal to obtain the PWM signals, as can be seen in Figure 3(b), producing the PWM signals named as  $V_a - V_f$ , which have the same duty cycle  $d$ .

Applying this signal to the FCMC of seven levels, all switches have the same duty cycle, i.e.:

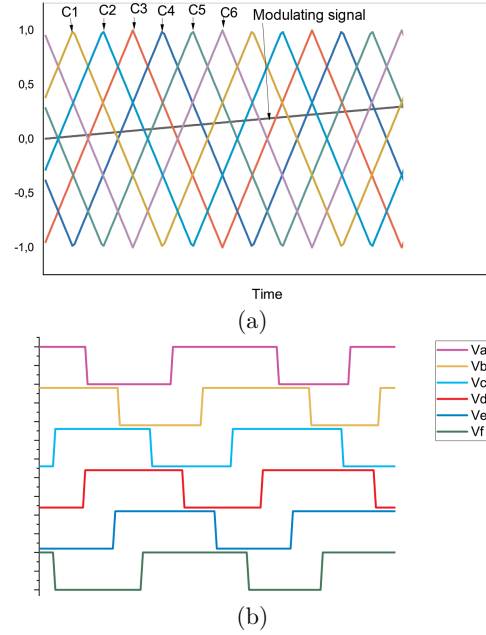
$$d_1 = d_2 = d_3 = d_4 = d_5 = d_6 = d \quad (3)$$

According to equation (1), the variation of the average voltage in each flying capacitor is zero when all duty cycles,  $d_1$  to  $d_6$ , are equal. Therefore, the dynamics of the voltages (1) in the flying capacitors can be considered as constant, and their derivatives equal to zero. This is the reason why the dynamics of the capacitors may not be considered in the average model of the FCMC.

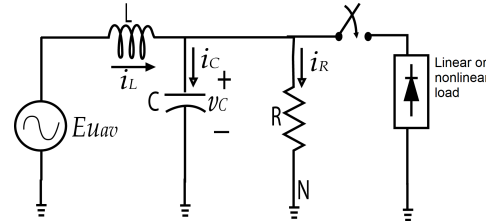
On the other hand, there is a relationship between the duty cycle  $d$  and the modulating signal  $u_{av}$ , which is expressed as  $d = \frac{u_{av}}{2} + 0.5$ . Considering this and substituting (3) in (2), the output voltage  $V_{aN}$  can be expressed as follows:

$$v_{aN} = V_{CD}(d) - \frac{V_{CD}}{2} = \frac{V_{CD}}{2}u_{av} = Eu_{av} \quad (4)$$

where  $E$  is the voltage of each of the capacitors  $Cb1$  and  $Cb2$ , whose value is  $V_{DC}/2$ . Equation (4) enables seeing the FCMC of seven levels in a simplified manner, as a multilevel converter «reducer» with a supply voltage source  $Eu_{av}$  (where  $E = V_{CD}/2$ ), a low pass  $LC$  filter and a varying load, as shown in Figure 4.



**Figure 3.** PS-PWM modulation: (a) Carriers of the modulation; (b) Duty cycle in the generated PWM channels.



**Figure 4.** Simplified model of the flying capacitor multilevel inverter.

Considering the above, the second order average model of the FCMC can be expressed as in (5):

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + Eu_{av} \\ C \frac{dv_C}{dt} &= i_L - \frac{v_C}{R} \end{aligned} \quad (5)$$

The control input  $u_{av}$  represents the PWM modulating signal, which can take values in the continuous interval  $[-1, 1]$ . The term  $v_C$  is the voltage in the filter capacitor. The current that circulates through the switches and through the output inductance is  $i_L$ ,  $L$  and  $C$  are the values of the inductance and capacitance of the filter, respectively.

## 2.2. Exact linearization of the model

The FCMC system previously described is linear, Single Input-Single Output (SISO) and, as it was men-

tioned above, of reducing nature. Regrouping the model shown in equation (5) to be expressed in its nonlinear affine form, yields:

$$\begin{aligned} \dot{x} &= f(x) + g(x)u \\ y &= h(x) \end{aligned} \quad (6)$$

where:

$$f(x) = \begin{pmatrix} -\frac{v_C}{L} \\ \frac{i_L}{C} - \frac{v_C}{RC} \end{pmatrix}, \quad g(x) = \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix}$$

and:

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} = \begin{pmatrix} i_L \\ v_C \end{pmatrix}$$

As it is widely described in [17], the output function that enables exact linearization of the nonlinear system (6) is given as:

$$h(x) = v_C \quad (7)$$

The relative degree  $r$  of the nonlinear system (6) is obtained by means of the successive calculation of the Lie derivatives:

$$L_g L_f^k h(x) = 0 \quad (8)$$

until finding the Lie derivative that satisfies:

$$L_g L_f^{r-1} h(x) \neq 0 \quad (9)$$

where  $k < r - 1, \forall x \in \Omega$ . The calculated Lie derivatives are:

$$\begin{aligned} L_g L_f^0 h(x) &= L_g h(x) = \frac{\partial h(x)}{\partial x} g(x) \\ &= (0 \quad 1) \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = 0 \end{aligned} \quad (10)$$

$$L_g L_f^1 h(x) = \frac{\partial [L_f h(x)]}{\partial x} g(x) = \left( \frac{1}{C} \quad -\frac{1}{RC} \right) \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = \frac{E}{LC} \quad (11)$$

Since (11) is different than 0, the relative degree  $r$  of system (6) is equal to 2. The transformation of coordinates  $\mathbf{x}$  to  $\mathbf{z}$  is carried out by means of:

$$\mathbf{z} = \Phi(\mathbf{x}) = \begin{pmatrix} z_1 \\ z_2 \end{pmatrix} = \begin{pmatrix} L_f^0 h(x) \\ L_f^{r-1} h(x) \end{pmatrix} \quad (12)$$

In order to verify if  $\Phi$  is a diffeomorphism, it is verified the nonsingularity of the Jacobian matrix, given by

$$\mathbf{J}_\Phi = \frac{\partial \Phi(\mathbf{x})}{\partial \mathbf{x}} = \begin{pmatrix} \frac{\partial z_1}{\partial x_1} & \frac{\partial z_1}{\partial x_2} \\ \frac{\partial z_2}{\partial x_1} & \frac{\partial z_2}{\partial x_2} \end{pmatrix} = \begin{pmatrix} 0 & 1 \\ \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \quad (13)$$

It can be shown from (13) that  $\mathbf{J}_\Phi$  is nonsingular for any  $\mathbf{x}$ , and consequently the coordinate transformation is valid. The coordinate system  $\mathbf{z}$  is expressed as:

$$\begin{aligned} z_1 &= v_C \\ z_2 &= \frac{1}{C} i_L - \frac{1}{RC} v_C \end{aligned} \quad (14)$$

The original system (6) is transformed into the linearized system in the Brunovsky normal form, as shown in the following:

$$\begin{aligned} \dot{z}_1 &= z_2 \\ \dot{z}_2 &= \alpha(x) + \beta(x)u = v \end{aligned} \quad (15)$$

where:

$$\alpha(x) = \left( \frac{1}{C^2 R^2} - \frac{1}{LC} \right) v_C - \frac{1}{C^2 R} i_L \quad (16)$$

$$\beta(x) = L_g L_f^1 h(x) = \frac{E}{LC} \quad (17)$$

Variable  $v$  is an auxiliary control law whose expression will be stated later and will define the desired tracking dynamics of the system. The control law is obtained solving (15) for  $u$ , as follows:

$$u = \frac{v - \alpha(x)}{\beta(x)} \quad (18)$$

The model of the FCMC shown in (5) considers a resistive load  $R$  of known value, but since the inverter is subject to loads of varying nature, the load current  $i_L$  will change its value depending of the load, thus causing disturbances in the output voltage of the inverter. As can be seen, the control law of Equation (18) requires the value of  $\alpha(x)$ , which in turn requires the measurement of  $i_L$ . A way to avoid using the current sensor is proposed in the following.

### 2.3. Design of the ADRC controller

Based on the ADRC approach with extended state observer, a Linear Extended State Observer (LESO) [18] is designed, making the following assumptions:

1. It is only measured the flat output  $F = v_C$ .
2. The nominal values of the parameters  $L, C, R, E$  are known.
3. The control input  $u_{av}$  is available.
4. The disturbance function  $\alpha(x)$  is unknown, but it is considered as bounded.
5. The estimated variables of the flat output and its derivative are denoted as  $F_1 = \hat{F}$  and  $F_2 = \hat{\dot{F}}$ .

6. The estimated variables of the disturbance function and its derivative are  $\eta_1 = \alpha(\hat{x})$  and  $\eta_2 = \dot{\alpha}(\hat{x})$ .

The LESO observer is designed from (15) and is defined as follows:

$$\begin{aligned}\dot{F}_1 &= F_2 + \lambda_3(F - F_1) \\ \dot{F}_2 &= \eta_1 + \beta(x)u + \lambda_2(F - F_1) \\ \dot{\eta}_1 &= \eta_2 + \lambda_1(F - F_1) \\ \dot{\eta}_2 &= \lambda_0(F - F_1)\end{aligned}\quad (19)$$

The set of coefficients  $\lambda_0, \lambda_1, \lambda_2, \lambda_3$  are constant values, and are chosen by means of a fourth order Hurwitz polynomial:

$$\begin{aligned}\lambda_0 &= \omega_n^4 \\ \lambda_1 &= 4\zeta\omega_n^3 \\ \lambda_2 &= 2\omega_n^2 + 4\zeta^2\omega_n^2 \\ \lambda_3 &= 4\zeta\omega_n\end{aligned}\quad (20)$$

The ADRC control is designed from (18) and (19), where the estimated values of the LESO observer are adapted to the auxiliary tracking controller:

$$v = \dot{F}_2^* - k_1(F_2^* - z_2) - k_0(F_1^* - z_1) \quad (21)$$

where the tracking signals are:

$$\begin{aligned}F_1^* &= A \sin(\omega_n t) \\ F_2^* &= -A * \omega_n \cos(\omega_n t) \\ \dot{F}_2^* &= A(\omega_n)^2 \sin(\omega_n t)\end{aligned}\quad (22)$$

with  $\omega_n = 2\pi f$  and  $f = 60$  Hz.

The control law based on the ADRC technique is stated as follows:

$$u = \frac{v - \eta_1}{\beta(x)} \quad (23)$$

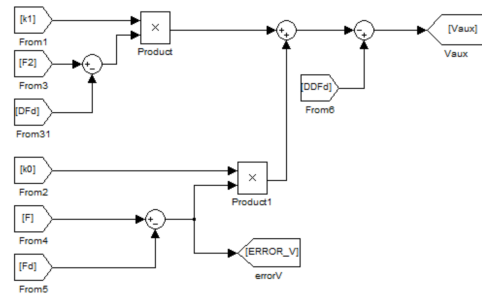
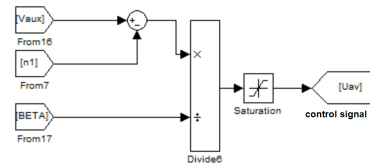
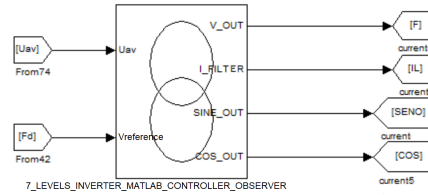
In (22),  $\eta_1$  represents the estimated value of  $\alpha(x)$ , i.e.,  $\eta_1 = \dot{\alpha}(\hat{x})$ . The coefficients  $k_0, k_1$  are constant values, chosen by means of a second order Hurwitz polynomial, as shown in the following:

$$\begin{aligned}k_0 &= w_{nc}^2 \\ k_1 &= 2\zeta_c w_{nc}\end{aligned}\quad (24)$$

### 3. Simulation of the system

The simulation of the system was performed using the SimCoupler module and was carried out

through a cosimulation between PSIM 9.0 and MATLAB/Simulink. The controller is constructed in MATLAB/Simulink, as shown in Figure 5. On the other hand, the precharge circuit and the elements of the multilevel inverter (output filter, PS-PWM modulator and the control for load changes) are constructed in PSIM, as shown in Figure 6. Therefore, the controller processing is carried out in MATLAB/Simulink and is coupled to PSIM through the SimCoupler module; the value of the coupled control signal is called  $u_{av}$ , which is received by the PS-PWM modulator as duty cycle to perform the control action on the FCMC output.



(a)

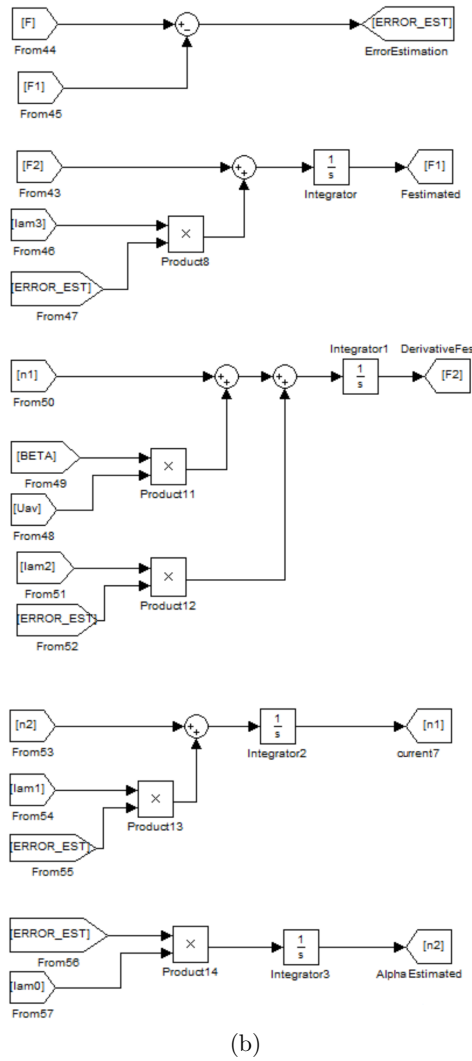


Figure 5. MATLAB/Simulink: (a) ADRC control and (b) LESO Observer.

For all passive components employed, plate nominal values were considered with a tolerance of 20 % for capacitors and of 10 % for resistors and inductors; therefore, for the multilevel converter the following values were used:  $C_{CAP1...CAP5} = 10 \mu F$ ; the DC bus capacitors have a value of  $C_{PC} = 1000 \mu F$ . The values of the elements of the output filter are  $C_F = 4.7 \mu F$ ,  $L_F = 7 mH$  and  $R_L = 100 \Omega$ . The voltage reference signal is equal to  $V_d = A \sin(2\pi f)$ , the tests were conducted for a desired amplitude  $A = 80 V$  and a frequency  $f = 60 Hz$ . On the other hand, the PS-PWM modulation utilizes carriers with frequency  $2.4 kHz$ . The value of the parameters for the LESO observer  $\lambda_0, \lambda_1, \lambda_2, \lambda_3$  are calculated with  $w_n = 30000$  and  $\zeta = 0.707$ . The parameters of the controller  $k_0$  and  $k_1$  are calculated with  $w_{nc} = 3000$  and  $\zeta_c = 0.707$ . In both cases the poles are located in the left side of the

complex plane, in order to guarantee the stability.

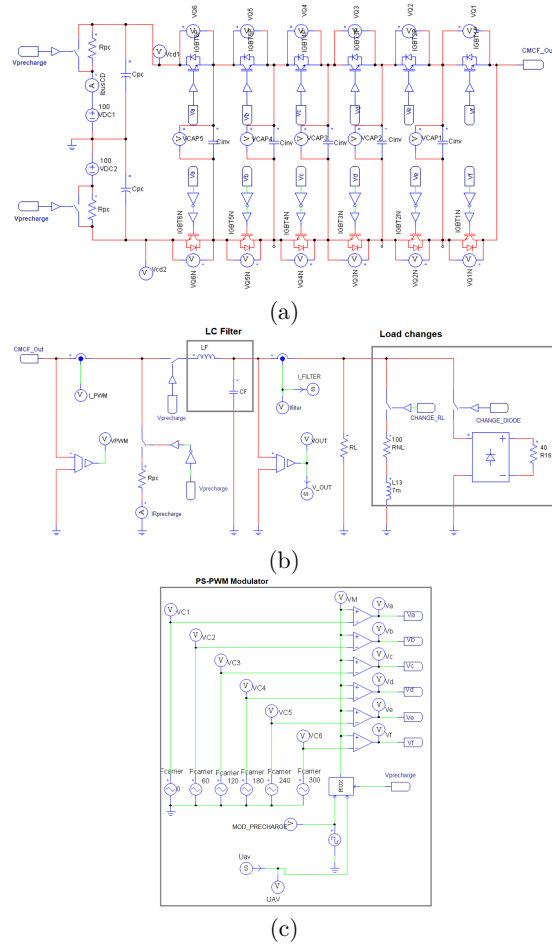
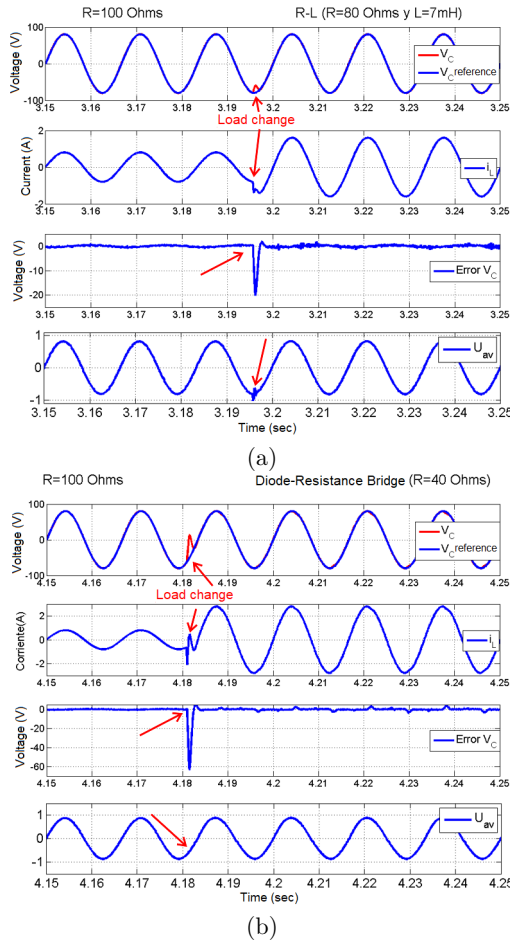


Figure 6. (a) Multilevel inverter, (b) LC filter at the output and load change control, (c) PS-PWM modulator and load changes activation.

In order to verify the robustness of the ADRC controller in the presence of sudden load changes, two types of tests were conducted: for a first test, an additional  $R - L$  load, with nominal values  $R_{NL1} = 80 \Omega$  and  $L_{NL} = 7 mH$ , is added at the output of the inverter, after the filter. The result of the simulation is shown in Figure 7(a), where it can be seen that when the load change occurs, the current  $i_L$  increases its value, and the LESO estimator together with the ADRC controller update the control signal  $u_{av}$ , enabling that the capacitor voltage retakes the reference trajectory again.

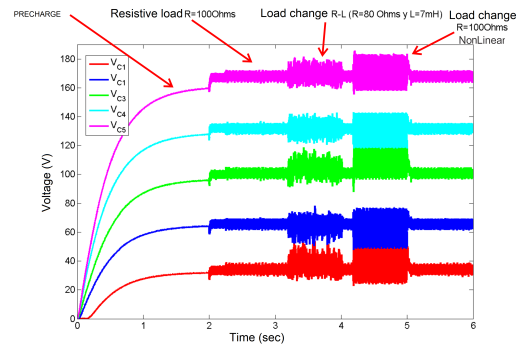


**Figure 7.** Simulation results: (a) With additional R – L load, (b) With additional load constituted by a bridge of diodes and a resistance.

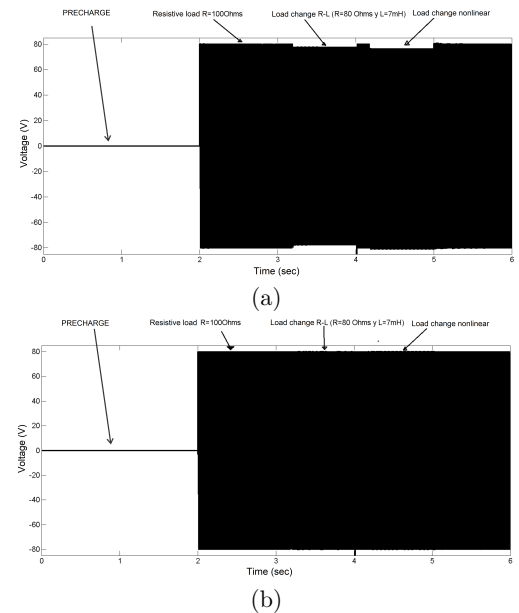
The second test consisted in adding a nonlinear load constituted by a bridge of diodes together with a resistive load of 40 Ω. Figure 7(b) shows the result of the simulation, where it can be seen that adding the nonlinear load produces a significant transient deviation of the capacitor voltage from its sinusoidal reference, which is similarly corrected by the action of the LESO estimator and the ADRC controller.

Figure 8 shows the result of the simulation with the controller, of the behavior of the voltage in the flying capacitors during the load changes implemented in the previous tests. The precharge of the flying capacitors is carried out according to the work presented in [7], where a time interval of  $t = [0 - 2]s$  is proposed. In the presence of load changes, it is seen that the average voltages of the flying capacitors are maintained at their nominal values; the ripple increases, and is larger when the nonlinear load of diode + resistance is connected. To validate the effect of the controller on the output voltage  $v_C$ , two simulation tests were

conducted, the first test without controller, only with the PS-PWM modulator; the result of this test can be seen in Figure 9(a). In the second test the proposed controller is utilized, and the result is shown in Figure 9(b). In this test the voltage  $v_C$  of the capacitor remains without changes or changes hardly perceptible close to the reference. At this point, and analyzing the aforementioned figures, it can be argued that the PS-PWM modulation for itself would not be capable of maintaining the output voltage.



**Figure 8.** Simulation result of the voltages in the flying capacitors during the precharge, normal operation and load changes.



**Figure 9.** Simulation results for the output voltage  $v_C$ : (a) With load changes and only the PS-PWM modulator, (b) With load changes and applying the controller + LESO estimator.

### 4. Experimental results

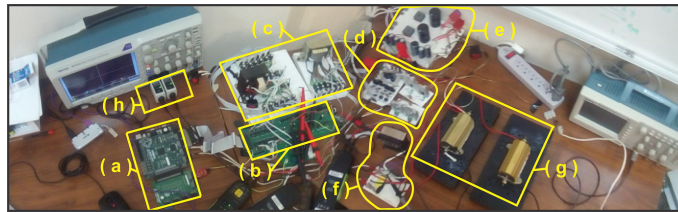
In order to verify the simulation results, the implementation of the system was carried out which consisted of two main parts: the first comprises the construction of the multilevel converter prototype and of the auxiliary systems for its operation; the description of this system is shown in Figure 10.

The second part is the implementation in a FPGA of the algorithms of the ADRC controller and the PS-PWM modulator. In [19] it is recommended to follow the top-down methodology, which is very appropriate to implement algorithms in reconfigurable logic devices, and has been used with excellent performance in [14] [20–22]. In order to carry out the implementation the software Xilinx ISE 14.7 was utilized, and the coding was made in VHDL without using any high level tool based on blocks or code generation, and the internal elements of the FPGA were utilized, such as

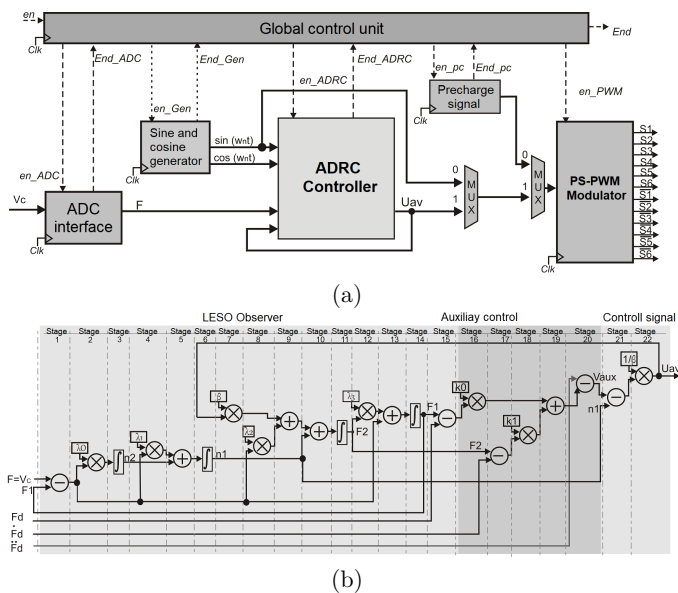
BRAM memories and embedded multipliers, to optimize the use of the device internal resources; the design which was made is shown in Figure 11. It is worth mentioning that the 32-bit simple floating point numerical representation, according to the IEEE-754 standard, was utilized for the necessary arithmetic operations, and a sampling time of 10  $\mu$ s was achieved.

For evaluating the performance of the controller, two types of tests were carried out just like in simulation: open-loop and closed-loop. Linear and nonlinear load changes were made in both cases, to verify the performance of the proposed controller.

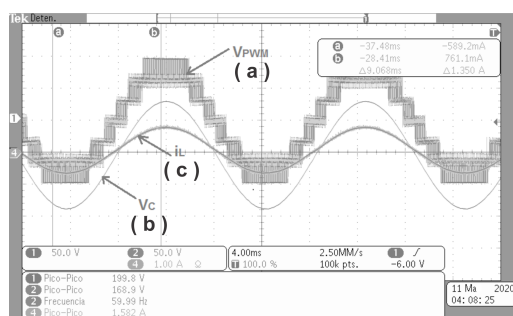
The prototype was initially tested to verify its correct operation, and the result of this test is shown in Figure 12. The output with seven levels taken before the output filter can be seen in Figure 12(a); Figures 12(b) and (c) show the sinusoidal output after the LC filter for the supplied voltage and current, respectively.



**Figure 10.** Developed prototype of the seven levels flying capacitor multilevel inverter: (a) Development board based on FPGA (Nexys-2), (b) Multilevel inverter, (c) Isolated sources for gate drivers and instrumentation, (d) Control of the precharge of capacitors and of the load change at the output, (e) Main DC source, (f) LC filter at the inverter output, (g) Loads at the inverter output (200 W), (h) Isolated measurement probes.

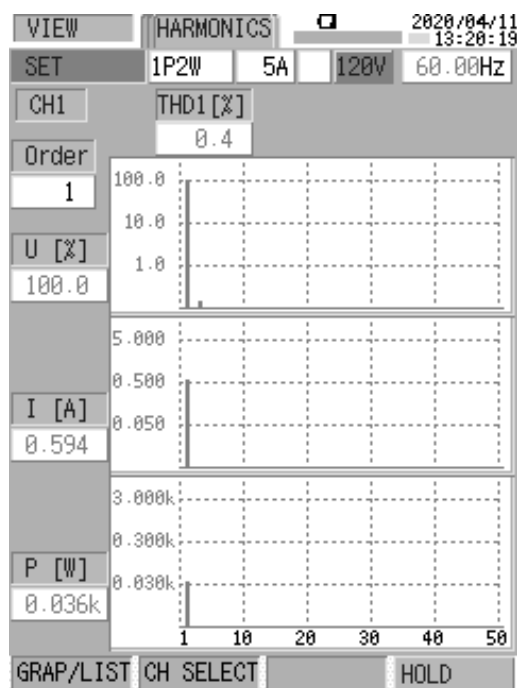


**Figure 11.** Implementation in the FPGA device: (a) Proposed block diagram, (b) Designed architecture for the execution of the control algorithm and LESO.



**Figure 12.** Shapes of the output waves obtained from the experimental prototype: (a) Multilevel output voltage of 7 levels before the LC filter ( $V_{PWM}$ ), (b) Output voltage after the LC filter ( $V_C$ ), (c) Current supplied to the load ( $i_L$ ).

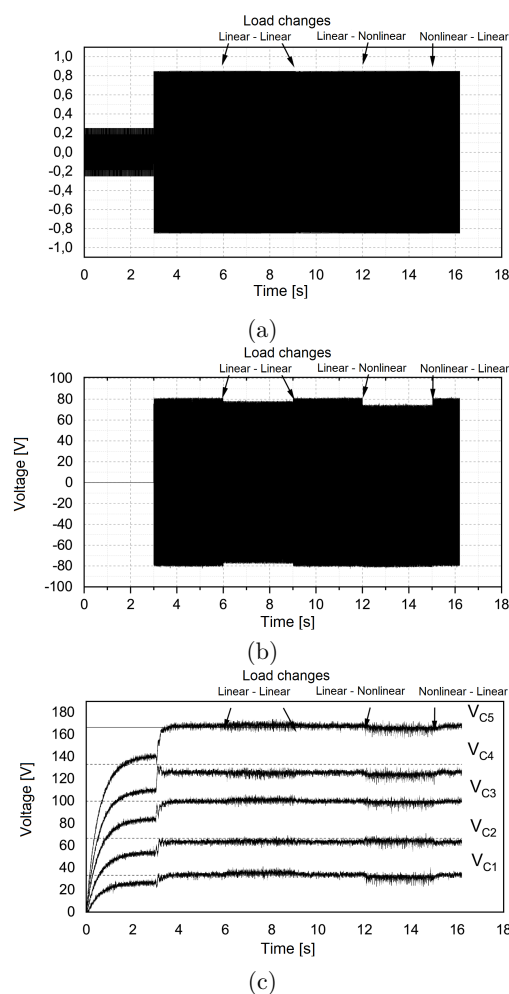
A test with a power quality meter (Hioki 3197) was carried out to validate the harmonic content of the inverter output wave; the result is shown in Figure 13, where it is observed a high quality of the output wave, both in voltage ( $THD_v$ ) and current ( $THD_i$ ).



**Figure 13.** Result of the  $THD_v$  and  $THD_i$  measurement at the output of the multilevel inverter.

As a result of the open-loop test, Figure 14 shows the results of three aspects that are considered important: the control signal ( $u_{av}$ ), the converter output voltage ( $v_C$ ) and the voltage of the capacitors ( $V_{C1...C5}$ ). As it was previously mentioned, linear and nonlinear load changes were carried out. Figure 14(a)

shows the value of the control signal with a fixed amplitude after the precharge with a value  $u_{av} = 0.85$ , which is equivalent to a reference value of the output voltage  $V_C = 85$  V, as can be seen in Figure 14(b) when the system is subject to sudden load changes. It can be clearly observed in this figure that during transients, the voltage amplitude is affected, since it decreases. It is observed in Figure 14(c) that the balance of the capacitors is nominally maintained inside their working zone, but an increase in the ripple of each of them can be seen when load changes occur.

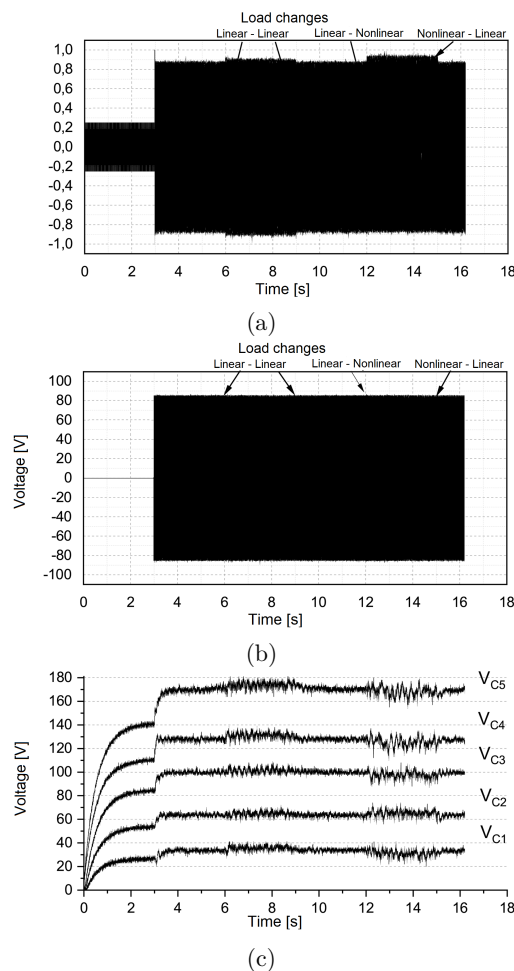


**Figure 14.** Plots of the experimental results obtained in open-loop in the presence of different load changes: (a) Control signal ( $u_{av}$ ), (b) Inverter output voltage after the filter ( $V_C$ ), (c) Voltage in the flying capacitors  $V_{C1...C5}$ .

The closed-loop test was carried out under the same procedure used for the open-loop test. Figure 15(a) shows the result of the control signal; after the precharge period, an initial value  $u_{av} = 0.85$  is established for a reference value of  $V_C = 85$  V, and in



the same figure it can be seen the action of the controller (variable  $u_{av}$ ) during the sudden connection of loads. Figure 15(b) shows that the amplitude of the output voltage does not vary when the load changes are performed. Figure 15(c) shows the voltage of the capacitors, which maintain the balance and only a high frequency increase is observed in each of them.



**Figure 15.** Plots of the experimental results obtained in closed-loop with the  $ADR_C$  controller, in the presence of different load changes: (a) Control signal ( $u_{av}$ ), (b) Inverter output voltage after the filter ( $V_C$ ), (c) Voltage in the flying capacitors  $V_{C1...C5}$ .

## 5. Conclusiones

In general, it is observed that reducing the complexity of the FCMC model considerably helped in other aspects such as the reduction in the computation capability necessary to process the controller, reduction of the processing time and requiring less sensors in the prototype.

On the other hand, it can be stated that it is necessary that the PS-PWM modulation maintains the balance of the 12 voltages of the flying capacitors for the ADRC control to work appropriately, i.e., so that it performs the tracking of the reference voltage, but the PS-PWM modulation is not capable of maintaining the desired output voltage at its nominal value in the presence of disturbances in the load current.

By adding the ADRC controller, the control task is carried out in an effective manner. The ADRC controller and the LESO observer effectively manage the current disturbance, and consequently the controller may be considered as robust in the presence of external disturbances produced by linear and nonlinear load changes. The voltage signal in the filter capacitor effectively tracks the imposed reference, except for transient deviations that are quickly minimized by the controller. It should be considered that in the case of unbalance of the capacitors, the ADRC control is not capable of tracking the reference voltage.

The use of the programmable logic device for implementing the system, as can be observed in experimental tests, contributed to obtaining very good results, especially in terms of speed of execution of the algorithm and attention to disturbances. It was verified that the multilevel inverters have among their main features a high quality in the output wave ( $THD_v < 5\%$ , as required by the IEEE-519 standard), and that the flying capacitor topology is a recommended choice among the other existing multilevel structures, since it requires only one DC source.

## References

- [1] D. Hart, *Electrónica de potencia*. Madrid: Pearson Education, 2001. [Online]. Available: <https://bit.ly/3eJZYXH>
- [2] R. Haider, R. Alam, N. B. Yousuf, and K. M. Salim, "Design and construction of single phase pure sine wave inverter for photovoltaic application," in *2012 International Conference on Informatics, Electronics & Vision (ICIEV)*. IEEE, may 2012. [Online]. Available: <https://doi.org/10.1109/iciev.2012.6317332>
- [3] L. Franquelo, J. Rodríguez, J. Leon, S. Kouro, R. Portillo, and M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, jun 2008. [Online]. Available: <https://doi.org/10.1109/mie.2008.923519>
- [4] S. A. Gonzalez, S. A. Verne, and M. I. Valla, *Multilevel Converters For Industrial Applications*. Taylor & Francis Ltd, 2017. [Online]. Available: <https://bit.ly/3eN3PUc>

- [5] Y. Lei, C. Barth, S. Qin, W.-c. Liu, I. Moon, A. Stillwell, D. Chou, T. Foulkes, Z. Ye, Z. Liao, and R. C. N. Pilawa-Podgurski, "A 2 kW, single-phase, 7-level, GaN inverter with an active energy buffer achieving 216 w/in<sup>3</sup> power density and 97.6% peak efficiency," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, mar 2016. [Online]. Available: <http://doi.org/10.1109/apec.2016.7468068>
- [6] D. Janik, T. Kosan, P. Kamenicky, and Z. Peroutka, "Universal precharging method for dc-link and flying capacitors of four-level flying capacitor converter," in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. IEEE, nov 2013. [Online]. Available: <https://doi.org/10.1109/IECON.2013.6700175>
- [7] S. Thielemans, B. Reznikov, J. Melkebeek, and A. Ruderman, "Self-precharge for single-leg odd-level multilevel converter," in *5th IET International Conference on Power Electronics, Machines and Drives (PEMD 2010)*. Institution of Engineering and Technology, 2010. [Online]. Available: <https://doi.org/10.1049/cp.2010.0142>
- [8] C. Feng, J. Liang, and V. G. Agelidis, "Modified phase-shifted PWM control for flying capacitor multilevel converters," *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 178–185, jan 2007. [Online]. Available: <https://doi.org/10.1109/tpel.2006.886600>
- [9] M. Trabelsi and L. Ben-Brahim, "Experimental photovoltaic power supply based on flying capacitors multilevel inverter," in *2011 International Conference on Clean Electrical Power (ICCEP)*. IEEE, jun 2011. [Online]. Available: <http://doi.org/10.1109/iccep.2011.6036314>
- [10] A. M. Y. M. Ghias, J. Pou, M. Ciobotaru, and V. G. Agelidis, "Voltage balancing method for the multilevel flying capacitor converter using phase-shifted PWM," in *2012 IEEE International Conference on Power and Energy (PECon)*. IEEE, dec 2012. [Online]. Available: <http://doi.org/10.1109/pecon.2012.6450221>
- [11] G. Gateau, M. Fadel, P. Maussion, R. Bensaid, and T. A. Meynard, "Multicell converters: active control and observation of flying-capacitor voltages," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 998–1008, oct 2002. [Online]. Available: <http://doi.org/10.1109/tie.2002.803200>
- [12] R. W. Erickson and D. Maksimović, *Fundamentals of Power Electronics*. Springer US, 2001. [Online]. Available: <http://doi.org/10.1007/b100747>
- [13] H. Miranda, V. Cárdenas, G. Espinosa-Pérez, and D. Noriega-Pineda, "Multilevel cascade inverter with voltage and current output regulated using a passivity - based controller," in *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*. IEEE, oct 2006. [Online]. Available: <https://doi.org/10.1109/IAS.2006.256643>
- [14] J. A. Juárez-Abad, J. Linares-Flores, E. Guzman-Ramírez, and H. Sira-Ramírez, "Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An FPGA implementation," *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, feb 2014. [Online]. Available: <http://doi.org/10.1109/tii.2013.2242085>
- [15] F. J. Chavero Ramírez, H. J. C. López Tapia, and N. V. Nava, "Estrategia de control para inversor multinivel con capacitores flotantes," *Pistas educativas*, vol. 108, no. 35, 2014. [Online]. Available: <https://bit.ly/3eNaVik>
- [16] M. Caris, H. Huisman, J. Duarte, and E. Lomonova, "Nonlinear and vector closed-loop control methods for flying-capacitor power converters," *International Journal of Electronics*, vol. 104, no. 8, pp. 1298–1316, mar 2017. [Online]. Available: <https://doi.org/10.1080/00207217.2017.1293739>
- [17] D. Bhattacharyya, S. Padhee, and K. C. Pati, "Modeling of DC–DC converter using exact feedback linearization method: A discussion," *IETE Journal of Research*, vol. 65, no. 6, pp. 843–854, may 2018. [Online]. Available: <https://doi.org/10.1080/03772063.2018.1454345>
- [18] B.-Z. Guo and Z.-L. Zhao, *Active disturbance rejection control for nonlinear systems: An introduction*. John Wiley & Sons, 2016. [Online]. Available: <https://doi.org/10.1002/9781119239932>
- [19] H. Kaeslin, *Top-down digital VLSI design : from architectures to gate-level circuits and FPGAs*. Waltham, MA: Morgan Kaufmann, 2015. [Online]. Available: <https://bit.ly/36WnwGh>
- [20] E. Monmasson, L. Idkhajine, I. Bahri, M-W-Naouar, and L. Charaabi, "Design methodology and FPGA-based controllers for power electronics and drive applications," in *2010 5th IEEE Conference on Industrial Electronics and Applications*. IEEE, jun 2010. [Online]. Available: <https://doi.org/10.1109/ICIEA.2010.5515585>
- [21] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Banuelos-Sanchez, and M. A. Contreras-Ordaz,

- “FPGA implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, apr 2019. [Online]. Available: <https://doi.org/10.1109/tii.2018.2865445>
- [22] R. M. Lagunes, J. A. Juárez-Abad, B. A. A. López, J. L. B. Avalos, and J. L. Flores, “Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel,” *Ingenius*, no. 23, pp. 97–108, dec 2019. [Online]. Available: <http://doi.org/10.17163/ings.n23.2020.09>



## Apéndice H

# Control aplicado a convertidores en electrónica de potencia

**Resumen:** En este apéndice se anexan dos trabajos sobre algunas técnicas de control aplicadas a convertidores en electrónica de potencia. En el primer trabajo se aplica la técnica de rechazo activo de perturbaciones (**ADRC, Active Disturbance Rejection Control**) para controlar, de manera indirecta la temperatura de la cara fría de un módulo termoeléctrico el cual se alimenta por un convertidor CD-CD de tipo reductor. En este trabajo se demostró que por medio de la técnica ADRC, es posible controlar la temperatura del módulo en la cara fría a un valor constante, para ello se consideró al módulo termoeléctrico como una perturbación de naturaleza desconocida y variante en el tiempo. Los resultados experimentales muestran la efectividad del controlador. En el segundo trabajo se propone una estrategia de control que logra una sinergia entre la técnica de control por modos deslizantes (**SMC, Sliding Mode Control**) y un observador de estado extendido (**LESO, Linear Extended State Observer**). La estrategia de control SMC-LESO se aplica para regular el voltaje de salida de un convertidor CD-CD del tipo reductor-elevador. Con el esquema propuesto, se logran compensar y adaptar las incertidumbre no modeladas, así como las perturbaciones del tipo estáticas o dinámicas aplicadas al convertidor. Se comprueba que con la propuesta de control se minimiza el rizo de la superficie de deslizamiento. Los resultados experimentales muestran la efectividad de la estrategia. Se demuestra la superioridad de la técnica propuesta realizando una comparativa con otras técnicas tales como modo deslizante clásica y un PID.

### H.1. Control de un módulo termoeléctrico

Este es un artículo JCR y lleva por título:

**Control mediante rechazo activo de perturbaciones de la temperatura de un módulo termoeléctrico (2021).**

<https://polipapers.upv.es/index.php/RIAI/article/view/14728>

## H.2. Control de un convertidor CD-CD tipo Buck-Boost

Este es un artículo JCR y lleva por título:

**Sliding Mode Control Based on Linear Extended State Observer for DC-to-DC Buck-Boost Power Converter System With Mismatched Disturbances (2022).**

<https://ieeexplore.ieee.org/document/9625714>



# Revista Iberoamericana de Automática e Informática Industrial

Revista Iberoamericana de Automática e Informática Industrial 19 (2022) 48-60



## Control mediante rechazo activo de perturbaciones de la temperatura de un módulo termoelectrico

Jorge Luis Barahona-Avalos, José Antonio Juárez-Abad \*, G. S. Galván-Cruz, Jesús Linares-Flores

*Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca, C. P. 69000, Huajuapán de León, Oaxaca, México*

**To cite this article:** Barahona, J. L., Juárez, J. A., Galván, G. S., Linares, J. 2022. Active disturbance rejection control of temperature of thermoelectric module. Revista Iberoamericana de Automática e Informática Industrial 19, 48-60. <https://doi.org/10.4995/riai.2021.14728>

### Resumen

Este artículo presenta una aproximación mediante rechazo activo de perturbaciones para controlar, de manera indirecta, la temperatura de la cara fría de un módulo termoelectrico alimentado por un convertidor CD-CD tipo reductor. La dinámica del módulo, es vista como una perturbación de naturaleza desconocida y variante en el tiempo, del voltaje de salida del convertidor. Dicha perturbación es estimada mediante un observador de tipo proporcional integral generalizado, el cual en combinación con el controlador permite regular la temperatura en la cara fría del módulo termoelectrico a un valor constante deseado. El observador diseñado estima de manera simultánea el voltaje de salida del convertidor reductor y la perturbación exógena en un esquema de cancelación en línea, conocido como control mediante rechazo activo de perturbaciones. Para propósitos de comparación, se diseñan un controlador de tipo proporcional integral y un regulador cuadrático lineal, sobre la base de una linealización aproximada del modelo dinámico combinado del convertidor reductor y del módulo. Los resultados experimentales que se obtuvieron mediante un prototipo experimental, permiten mostrar la efectividad de la técnica de control propuesta para este tipo de dispositivos termoelectricos.

**Palabras clave:** Módulo termoelectrico, rechazo activo de perturbaciones, observador GPI.

### Active disturbance rejection control of temperature of thermoelectric module

#### Abstract

This article presents an active disturbance rejection approach for the control of the temperature in the cold face of a thermoelectric module fed by a type buck DC-DC converter. The dynamics of the module is seen as a disturbance of an unknown nature and varying in time, of the output voltage of the converter. Said disturbance is estimated by means of a generalized proportional integral type observer, which in combination with the controller allows to regulate the temperature on the cold face of the thermoelectric module to a desired constant value. The designed observer simultaneously estimates the step-down converter output voltage and the exogenous disturbance in an on-line cancellation scheme, known as active disturbance rejection control. For comparison purposes, a proportional integral type controller and a linear quadratic regulator are designed, based on an approximate linearization of the combined dynamic model of the buck converter and the module. The experimental results were obtained by means of an experimental prototype and allow to show the effectiveness of proposed control technique for this type of thermoelectric devices.

**Keywords:** Thermoelectric module, active disturbance rejection, GPI observer.

\* Autor para correspondencia: abad@mixteco.utm.mx  
 Attribution-NonCommercial-NoDerivatives 4.0 International (CC BY-NC-ND 4.0)

## 1. Introducción

El efecto termoeléctrico es la interacción entre los fenómenos eléctrico y térmico. Consiste en la conversión de una diferencia de temperatura a voltaje eléctrico y viceversa. La termoelectricidad, conocida desde el siglo XIX, se define como la ciencia y la tecnología asociada con la generación termoeléctrica y la refrigeración (Rowe, 2006) y los efectos que la producen fueron descubiertos y estudiados por los físicos: Thomas J. Seebeck, Jean C. Peltier, William Thomson, James P. Joule y Joseph Fourier. Por sus características, los TEM (Thermoelectric Module) pueden ser catalogados dentro del área de la termoelectricidad, los cuales se conocen desde el descubrimiento del efecto Peltier en 1834 (Lineykin and Ben-Yaakov, 2007). Los TEM son bombas de calor de estado sólido que requieren un intercambiador de calor para disiparlo haciendo uso del efecto Peltier. Debido a que son dispositivos de estado sólido, los TEM no poseen partes mecánicas, lo que se traduce en una alta fiabilidad (Lineykin and Ben-Yaakov, 2007).

Los TEM, normalmente están constituidos por materiales semiconductores (tipo p y n), los cuales están unidos térmicamente en paralelo y eléctricamente en serie por medio de plaquetas de cobre; también pueden contar con disipadores de calor unidos a la alúmina cerámica en ambos lados del TEM, como se aprecia en la Figura 1 (Lineykin and Ben-Yaakov, 2005), (Jianzhong et al., 1997).

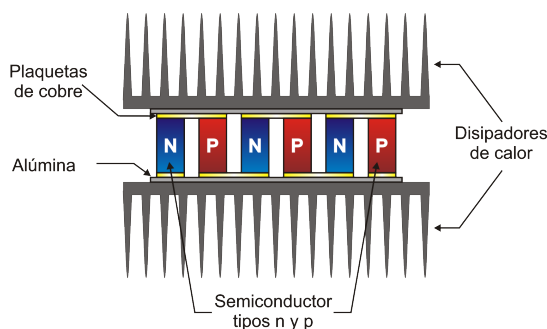


Figura 1: Estructura interna de un módulo termoeléctrico

Un TEM posee la capacidad de funcionar como un enfriador/calentador termoeléctrico. Como enfriador genera una cierta temperatura en la cara fría que depende del voltaje de alimentación, de la temperatura ambiente y de las características intrínsecas del TEM. Comúnmente la demanda de corriente de un TEM es alta, lo que se ve reflejado en la eficiencia energética y en la capacidad de enfriamiento/calentamiento (Mardini-Bovea et al., 2019).

Los TEM tienen una alta eficiencia cuando el volumen a enfriar es pequeño, en comparación con los sistemas de enfriamiento tradicionales. Cuando el volumen que se desea enfriar aumenta, un TEM tiene una eficiencia pobre. Algunas aplicaciones de los TEM, incluyen enfriamiento de fuentes de poder (Casano and Piva, 2016), camisas de enfriamiento (Jahangir et al., 2019), reactores térmicos (Spengler et al., 2011), enfriamiento de procesadores (Li et al., 2014), electrónica de potencia (Martínez A. and P., 2016), pruebas en circuitos impresos (Qi

et al., 2003), fisioterapia (Celil Yavuz and Kaya, 2013), y enfriamiento de paneles fotovoltaicos (Najafi and Woodbury, 2013), entre otras.

Por otro lado, en la literatura existente, pueden encontrarse algunos trabajos donde se emplean diferentes técnicas de control para regular la temperatura de la cara fría de un TEM, tales como: uso de un filtro de Kalman extendido (Mironova et al., 2020), el método de factorización coprime basada en operadores (Deng et al., 2011), controladores de tipo proporcional-integral-derivativo (PID) (Dubreuil and Osintsev, 2019), (Mironova et al., 2018), (Thakor et al., 2015), control por modos deslizantes (Maruša et al., 2015) y control por retroalimentación del estado (Chen et al., 2017). No obstante en los casos anteriores el modelo matemático empleado para el diseño de los controladores es de parámetros distribuidos, además de que no se consideran las perturbaciones externas.

De manera general se puede decir que existen tres paradigmas en la ingeniería de control: el paradigma de la industria, el paradigma del modelo y el paradigma del rechazo de perturbaciones. Aunque el paradigma de la industria es empírico y el paradigma del modelo es riguroso, el paradigma de rechazo de perturbaciones regresa a la esencia de los controladores: rechazar las perturbaciones, es decir, las incertidumbres endógenas y exógenas, ofreciendo una perspectiva refrescante para el control mediante el rechazo activo de perturbaciones, con muchas implicaciones tecnológicas y conceptuales (Gao, 2010).

El así llamado control mediante rechazo activo de perturbaciones (ADRC, por siglas en inglés, Active Disturbance Rejection Control), tiene una larga historia que data desde el primer tercio del siglo XIX, en Francia, con las prescripciones prácticas del ingeniero Jean-Victor Poncelet en el control de enclavamientos industriales mediante, lo que él denominaba el *principio de invarianza*. De acuerdo con Han (Han, 1999) y Parvathy (Parvathy and Daniel, 2013) el ADRC consiste en cancelar en forma activa, mediante la señal de control, los efectos de las perturbaciones en las salidas del sistema, basándose ya sea en mediciones de estos efectos o en sus estimaciones (Guo and Cao, 2014).

Este paradigma establece que es posible eliminar los efectos indeseables sobre la salida antes de aplicar la retroalimentación. Uno de sus máximos exponentes fue el profesor George Vladimirovich Shipanov en Moscú. La aparición del método en América data desde los años 70 del siglo pasado en los trabajos de C.D. Johnson, realizados en forma independiente de lo establecido por G. V. Shipanov. A finales del Siglo XX, la metodología del ADRC fue profundamente desarrollada por el Prof. Jinquing Han quien además de aplicaciones académicas, logró un sinnúmero de desarrollos industriales, patentes y modificaciones al método (Han, 1999).

El esquema tradicional de un control mediante rechazo activo de perturbaciones, recurre al uso del así denominado observador de tipo ESO (Extended State Observer) (Guo and Cao, 2014), (Li et al., 2011), (Castillo et al., 2018), (Chen et al., 2015), para estimar las perturbaciones de tipo exógeno y/o endógeno. Tal tipo de observador es conveniente para proveer un estimado de las perturbaciones a las que está sujeto el sistema que se controla, sin recurrir al uso del modelo del sistema. Sin embargo, el observador ESO está basado en una configuración no lineal lo que puede dificultar su implementación.



Por contraparte en (Sira-Ramirez et al., 2011) y (Sira-Ramirez and Oliver-Salazar, 2012), se recurre al uso del así denominado Observador de tipo Proporcional Integral Generalizado (GPIO, por sus siglas en inglés) el cual también proporciona un adecuado estimado de perturbaciones, pero su implementación es más simple y fácil ya que es de naturaleza lineal. Una de las diferencias fundamentales entre el ESO y el GPIO, es que los observadores GPI incluyen un modelo polinomial en el tiempo, de actualización automática, de las perturbaciones no lineales dependientes del estado y de aquellas perturbaciones exógenas sin estructura especial alguna. El GPIO es en esencia un observador lineal asintótico cuyo error de estimación es forzado a converger, uniformemente, a una pequeña vecindad de cero.

En este trabajo se aborda la aplicación de la técnica ADRC al control de la temperatura de la cara fría de un TEM alimentado por un convertidor CD/CD tipo reductor (buck). La motivación para la realización de este trabajo radica en el hecho de que los trabajos que han sido reportados en la literatura y que versan sobre el control de módulos termoeléctricos, lo hacen considerando la dinámica del TEM como de parámetros distribuidos. En lo que aquí se presenta, aún cuando no se controla de manera directa la temperatura del módulo mediante la técnica ADRC, la dinámica del TEM es considerada como de parámetros concentrados recurriendo al uso para ello de un circuito eléctrico equivalente. Cabe aclarar que el circuito eléctrico equivalente empleado es obtenido con base al trabajo de Lineykin y Ben-Yaakov (Lineykin and Ben-Yaakov, 2005), (Lineykin and Ben-Yaakov, 2007). Debido a la presencia inherente de no linealidades endógenas así como perturbaciones térmicas en la cara fría, de naturaleza desconocida pero absolutamente acotadas, se propone un controlador de temperatura mediante rechazo activo de perturbaciones basado en un observador de tipo GPIO. El controlador propuesto es sintetizado haciendo uso de consideraciones de planitud diferencial del modelo dinámico (Sira-Ramirez et al., 2011) del convertidor tipo reductor. El observador GPIO diseñado permite estimar de manera simultánea tanto las variables de estado de fase, como la perturbación exógena.

El modelo promedio del convertidor reductor acoplado al módulo termoeléctrico, se modela con una linealización parcial del sistema, aproximando al módulo termoeléctrico como una corriente variante con el tiempo que se demanda en el nodo de salida del convertidor. El controlador ADRC se diseña para fijar un voltaje constante a la salida del convertidor no importando la demanda de corriente del TEM y de la resistencia conectada a la salida, de ahí que, el voltaje que alimenta al módulo permite conseguir la temperatura deseada en la cara fría. La linealización parcial o también conocida como parametrización diferencial del sistema facilita el diseño tanto del controlador como del observador. La tarea principal del observador GPIO en combinación con el controlador es reconstruir y al mismo tiempo minimizar los efectos de las perturbaciones internas y externas presentes en el sistema a la hora de regular el voltaje a la salida del convertidor reductor, y así mantener la temperatura en la cara fría del módulo termoeléctrico, a un valor deseado. Con la finalidad de comparar los resultados obtenidos con el control ADRC contra otras técnicas conocidas, se diseñan un controlador de tipo proporcional integral (PI) y un regulador cuadrático lineal integral (LQI, por sus siglas en inglés) sobre la base de una linealización aproximada alrededor de un pun-

to de equilibrio deseado del modelo dinámico combinado del convertidor reductor con el TEM.

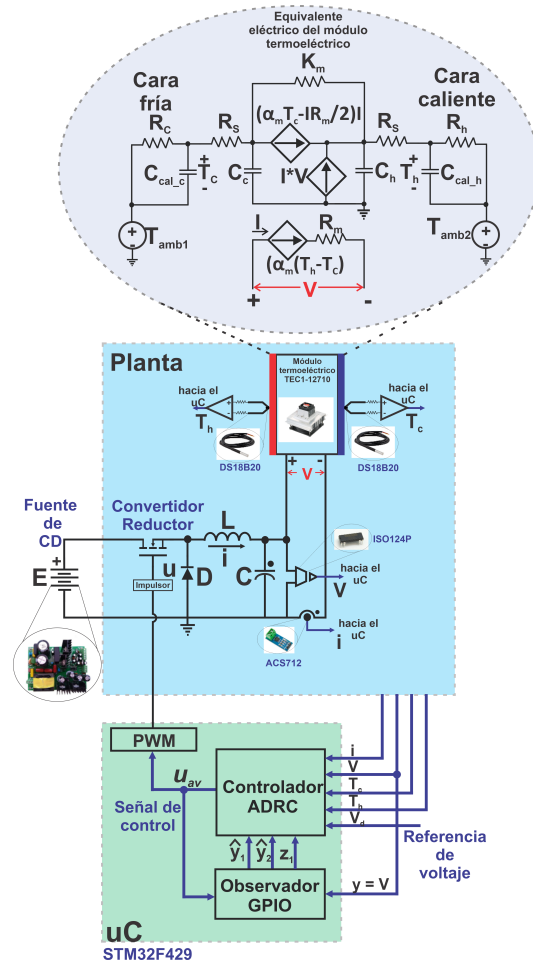


Figura 2: Esquema general del sistema a controlar.

La contribución principal del artículo es el diseño y construcción de un control ADRC indirecto de temperatura de la cara fría de un TEM, el cual es accionado mediante un convertidor CD/CD tipo reductor. Lo anterior es de importancia si se toma en cuenta que en la mayoría de los trabajos reportados sobre control de TEM, el voltaje de alimentación de estos dispositivos es manejado de manera directa comprometiendo la eficiencia energética. Se sabe que el uso de convertidores electrónicos de potencia para alimentar cargas ayuda a mejorar el rendimiento energético de la aplicación completa de la que se trate. Al mejor conocimiento de los autores, es la primera ocasión que se reporta el uso del control ADRC de un convertidor tipo reductor para controlar la temperatura de dispositivos termoeléctricos. Además, el controlador ADRC propuesto muestra una mejor efectividad en el rechazo de perturbaciones que otras técnicas conocidas como controlador de tipo PI o LQI. Otra contribución es que, al mostrar la propiedad de estabilidad de entrada al estado del observador GPI, se establece un princi-

pio de separación que asegura que las ganancias del observador y del controlador se pueden sintonizar por separado.

Este trabajo está organizado de la siguiente manera. La sección 2 presenta el modelado dinámico tanto del TEM como del convertidor CD/CD tipo reductor. En la sección 3 se presentan los resultados principales relacionados con: el diseño de un observador tipo GPIO para estimar la demanda de corriente así como el desarrollo de un controlador de temperatura con base en la técnica ADRC. La sección 4 describe la plataforma experimental utilizada para probar la efectividad del método de control propuesto, así como los resultados experimentales obtenidos. Finalmente, en la sección 5 se presentan las conclusiones del trabajo así como algunos desarrollos futuros.

## 2. Modelo dinámico y generalidades

En la Figura 2 se muestra un esquema general del sistema utilizado con fines de control de un módulo termoelectrico. Como puede apreciarse, mediante el uso de la técnica de control ADRC, que a la vez hace uso de un observador de tipo GPI, se regula el voltaje de salida de un convertidor CD/CD tipo reductor, el cual está sujeto a variaciones en la carga de salida representadas en este caso por la dinámica no lineal del módulo termoelectrico. Es a través de dicho voltaje que se controla de manera indirecta la temperatura en la cara fría del módulo.

### 2.1. Modelo dinámico del convertidor reductor (buck)

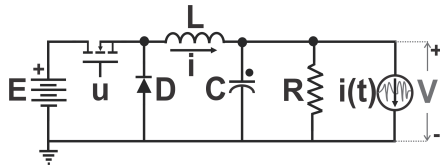


Figura 3: Circuito eléctrico de un convertidor CD/CD tipo reductor.

Considérese el circuito eléctrico mostrado en la Figura 3. Usando las leyes de Kirchhoff, se puede establecer el modelo dinámico del convertidor CD/CD tipo reductor (buck), con una demanda de corriente  $I(t)$ , positiva, ruidosa y variante en el tiempo, como:

$$L \frac{di}{dt} = -v + Eu \quad (1)$$

$$C \frac{dv}{dt} = i - \frac{v}{R} - I(t) \quad (2)$$

donde  $i$  es la corriente en el inductor del convertidor,  $v$  es el voltaje de salida del convertidor y  $R$  es el parámetro de carga. La entrada de control es denotada por la variable  $u$ , la cual representa la posición del interruptor que toma valores en el conjunto discreto  $\{0, 1\}$ . El modelo promedio se representa exactamente por el mismo modelo dado en (1)-(2), con la diferencia de que ahora la entrada  $u_{av}$  denota la entrada de control promedio, la cual toma valores en el intervalo cerrado  $[0, 1]$ . Se utiliza como modelo de las variaciones desconocidas de la carga,  $I(t)$ , la dinámica del TEM dado en (5)-(9). El modelo no perturbado (1)-(2) es diferencialmente plano, con la salida plana siendo

el voltaje de salida,  $v$ , puesto que despejando para  $i$  de (2), se obtiene:

$$i = C \frac{dv}{dt} + \frac{v}{R} = C\dot{v} + \frac{v}{R} \quad (3)$$

sustituyendo (3) en (1) y después de algunas manipulaciones algebraicas, se tiene que:

$$u = \frac{LC}{E} \ddot{v} + \frac{L}{RE} \dot{v} + \frac{v}{E} \quad (4)$$

Como puede verse de (3) y (4),  $i$  e  $u$  se pueden expresar como funciones diferenciales del voltaje de salida  $v$  del convertidor, por lo que dicho sistema (no perturbado) es diferencialmente plano.

### 2.2. La carga (perturbación) del convertidor reductor

Como se aprecia de la Figura 2, la perturbación externa del circuito convertidor reductor está constituida por la dinámica del módulo termoelectrico. Es pertinente aclarar que, aún cuando el modelo del circuito eléctrico equivalente del TEM no es utilizado para el diseño del observador y el controlador ADRC, se presenta aquí con la finalidad de revelar la alta no linealidad de la carga (perturbación) a la que está sujeto el voltaje de salida del convertidor. El modelo completo (1)-(2) y (5)-(9), es utilizado para realizar una linealización del mismo alrededor de un punto de operación deseado, con la finalidad de diseñar controles PI y LQI para propósitos de comparación. El circuito eléctrico equivalente que se utiliza en este artículo (y que fue usado para fines de simulación) fue obtenido con base al trabajo de Lineykin y Ben-Yaakov (Lineykin and Ben-Yaakov, 2005), (Lineykin and Ben-Yaakov, 2007). Las ecuaciones dinámicas no lineales del TEM están representadas por (Chavez et al., 2000):

$$\frac{dT_c}{dt} = -\frac{1}{C_c} \left( \frac{T_c + V_x - T_h}{2R_s + \Theta_m} - \frac{T_{amb1} - T_c}{R_c} \right) \quad (5)$$

$$\frac{dT_h}{dt} = -\frac{1}{C_h} \left( \frac{T_h - T_{amb2}}{R_h} - \frac{T_c + V_x - T_h}{2R_s + \Theta_m} - iV \right) \quad (6)$$

con:

$$\Delta T = T_c - T_h \quad (7)$$

$$I = \frac{V - \alpha_m \Delta T}{R_m} \quad (8)$$

$$V_x = I \left( \alpha_m T_c - \frac{iR_m}{2} \right) \Theta_m \quad (9)$$

donde,  $V$  es el voltaje de alimentación e  $I$  es la corriente de entrada;  $T_c$  es la temperatura de la cara fría del módulo termoelectrico;  $T_h$  es la temperatura de la cara caliente;  $T_{amb1}$  y  $T_{amb2}$  son las temperaturas iniciales de la cara fría y de la cara caliente, respectivamente;  $C_c$  es la capacitancia de la cara fría,  $C_h$  es la capacitancia de la cara caliente;  $R_c$  y  $R_h$  representan las resistencias térmicas de los disipadores de las caras caliente y fría respectivamente;  $R_s$  es la resistencia térmica de la grasa de silicon que une a los disipadores con la celda Peltier;  $\Theta_m$  es la resistencia térmica promedio del TEM;  $\alpha_m$  es el coeficiente de Seebeck promedio y  $R_m$  es la resistencia eléctrica promedio del TEM.

### 2.3. Ajustes previos

Como ya se ha mencionado con anterioridad, la regulación de la temperatura de la cara fría del TEM es llevada a cabo de manera indirecta controlando el voltaje de salida del convertidor reductor perturbado (1)-(2). Así, es necesario realizar una conversión entre la temperatura deseada en la cara fría y el voltaje de salida deseado que genere dicha temperatura. Para esto, se realizaron pruebas a lazo abierto, con diferentes voltajes de salida del convertidor, midiendo las temperaturas en las caras. Los resultados de dichas mediciones se muestran en la Tabla 1.

Tabla 1: Voltajes y temperaturas correspondientes en lazo abierto

Voltaje	Temperatura
2V	14°C
3V	13,2°C
4V	12,1°C
5V	10,1°C

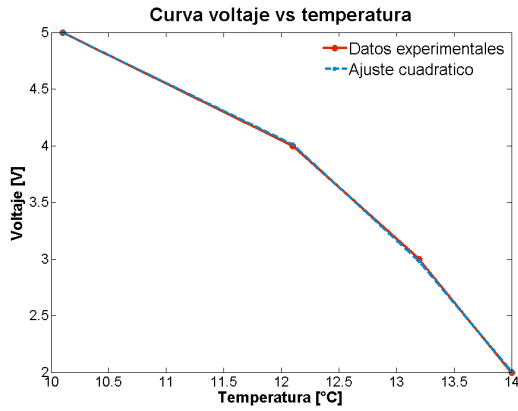


Figura 4: Datos experimentales versus ajuste por mínimos cuadrados.

Con las mediciones mostradas en la Tabla I, se realiza un ajuste por mínimos cuadrados, que conduce a la siguiente expresión que relaciona la temperatura deseada en la cara fría con el voltaje necesario en la salida del convertidor:

$$V_d = -0,1442T_d^2 + 2,7089T_d - 7,6523 \quad (10)$$

Donde  $T_d$  es la temperatura deseada en la cara fría del TEM y  $V_d$  es el voltaje requerido para alcanzar dicha temperatura. En la Figura 4 se muestra una comparación gráfica entre los datos experimentales de la Tabla I y el ajuste mostrado en (10). Las mediciones fueron realizadas en un rango más amplio del mostrado en la Tabla I, sin embargo es pertinente aclarar que la máxima temperatura de enfriamiento se alcanza con un voltaje de alimentación de 5 V.

### 2.4. Suposiciones

- Las únicas variables disponibles para su medición son  $T_c$ ,  $T_h$ ,  $v$  e  $i$ .

- La demanda de corriente  $I(t)$  es variante en el tiempo y se sabe que es uniformemente absolutamente acotada, pero de naturaleza desconocida.
- Los valores nominales de los parámetros del modelo dinámico del convertidor  $\{L, C, R\}$  son conocidos.
- La función de perturbación total  $\varphi(y_1, y_2, \dot{I}(t))$  y sus derivadas, son uniformemente absolutamente acotadas, es decir,  $\sup|\varphi^{(j)}(t)| = \|\varphi^{(j)}(t)\|_\infty \leq \kappa_j$  para toda  $0 \leq j \leq m$ . Dicho de otro modo, la perturbación total es acotada.

### 2.5. Formulación del problema

Dado el modelo del convertidor reductor promedio (1)-(2), donde todas las suposiciones previas son válidas, se desea regular la temperatura de la cara fría del TEM,  $T_c$ , de manera indirecta, desde un valor inicial constante dado,  $T_{ci}$ , hacia un valor final deseado también constante,  $T_{cf}$ , en una cantidad de tiempo finita, irrespectivamente de la magnitud variante en el tiempo de la demanda de corriente de carga  $I(t)$ .

## 3. Resultados principales

### 3.1. Diseño del observador GPI

El convertidor reductor cuyo modelo dinámico está dado en (1) y (2), está sujeto a demandas de corriente,  $I(t)$ , de naturaleza desconocida, variantes en el tiempo pero absolutamente acotadas. Es precisamente a partir de ese modelo dinámico así como de su propiedad de planitud diferencial, que se plantea el siguiente diseño para el observador de tipo GPI, que ayuda a estimar la perturbación total del sistema para su posterior cancelación por medio del controlador ADRC. Haciendo  $\mu_1 = i$ ,  $\mu_2 = v$  y  $y = \mu_2$ , con  $y$  como la salida natural del sistema, entonces el modelo dinámico (1)-(2) puede reescribirse como:

$$\dot{\mu}_1 = -\frac{\mu_2}{L} + \frac{Eu_{av}}{L} \quad (11)$$

$$\dot{\mu}_2 = \frac{\mu_1}{C} - \frac{\mu_2}{RC} - \frac{I(t)}{C} \quad (12)$$

$$y = \mu_2 \quad (13)$$

con base en (11)-(13) se puede establecer el modelo de entrada-salida perturbado del convertidor, mediante la siguiente ecuación diferencial variante en el tiempo:

$$\ddot{y} = \frac{E}{LC}u_{av} - \frac{1}{LC}y - \frac{1}{RC}\dot{y} - \frac{1}{C}\dot{I}(t) \quad (14)$$

ya que se desea que el voltaje de salida  $y$ , alcance una referencia  $y^* = V_d$ , independientemente del valor que tome  $I(t)$ , entonces definiendo a  $y_1 = y$ ,  $y_2 = \dot{y}$  como las variables de fase, el modelo entrada-salida del convertidor dado en (14), puede escribirse como:

$$\dot{y}_1 = y_2 \quad (15)$$

$$\dot{y}_2 = \frac{E}{LC}u_{av} + \varphi \quad (16)$$

donde:

$$\varphi(y_1, y_2, \dot{I}(t)) = -\frac{1}{LC}y_1 - \frac{1}{RC}y_2 - \frac{1}{C}\dot{I}(t) \quad (17)$$

Es importante aclarar que la ecuación anterior no interviene para nada en el diseño tanto del controlador como del observador. No obstante dicha ecuación permite calcular de manera indirecta en forma numérica su magnitud a través de mediciones de voltaje y corriente. La ecuación (17) pone de manifiesto tanto la naturaleza endógena como exógena de la perturbación. Los dos primeros términos dependen de las variables de estado de fase así como de los parámetros del convertidor, por lo que constituyen la parte endógena. El tercer término depende de la derivada de la corriente de carga del convertidor variante en el tiempo así como de la capacitancia del circuito, constituyendo así la parte exógena de la perturbación. Con la finalidad de estimar la perturbación dada en (17), se propone un observador GPI, cuya estructura es la siguiente (Sira-Ramirez et al., 2011):

$$\hat{y}_1 = \hat{y}_2 + \lambda_4(y_1 - \hat{y}_1) \quad (18)$$

$$\hat{y}_2 = \frac{E}{LC}u_{av} + z_1 + \lambda_3(y_1 - \hat{y}_1) \quad (19)$$

$$\dot{z}_1 = z_2 + \lambda_2(y_1 - \hat{y}_1) \quad (20)$$

$$\dot{z}_2 = z_3 + \lambda_1(y_1 - \hat{y}_1) \quad (21)$$

$$\dot{z}_3 = \lambda_0(y_1 - \hat{y}_1) \quad (22)$$

donde  $\hat{y}_1$  es el estimado del voltaje de salida del convertidor,  $\hat{y}_2$  es el estimado de la derivada del voltaje de salida del convertidor y el estado  $z_1$  del observador, produce un estimado próximo a la señal incierta  $\varphi$ . Utilizando (15)-(16) y (18)-(22) puede verse que el error de observación de la salida  $e_1 = y_1 - \hat{y}_1$ , evoluciona de acuerdo a:

$$\dot{e}_1 = e_2 - \lambda_4 e_1 \quad (23)$$

$$\dot{e}_2 = \varphi - z_1 - \lambda_3 e_1 \quad (24)$$

$$\dot{z}_1 = z_2 + \lambda_2 e_1 \quad (25)$$

$$\dot{z}_2 = z_3 + \lambda_1 e_1 \quad (26)$$

$$\dot{z}_3 = \lambda_0 e_1 \quad (27)$$

Es decir que, después de algunas manipulaciones algebraicas, se satisface la siguiente ecuación diferencial:

$$e_1^{(5)} + \lambda_4 e_1^{(4)} + \lambda_3 e_1^{(3)} + \lambda_2 \ddot{e}_1 + \lambda_1 \dot{e}_1 + \lambda_0 e_1 = \varphi \quad (28)$$

Obsérvese que  $\hat{y}_1$  es un estimado redundante del voltaje de salida del convertidor,  $\hat{y}_2$  es un estimado de la razón de cambio de dicho voltaje, y el estado  $z_1$  del observador es una estimación de la señal incierta  $\varphi$  siempre que se escojan  $\{\lambda_0, \lambda_1, \lambda_2, \lambda_3, \lambda_4\}$  de tal forma que las raíces del polinomio característico que gobierna la parte lineal de la dinámica del error de estimación, estén ubicados lo más lejos posible del eje imaginario en el semiplano izquierdo del plano complejo. Utilizando la transformada de Laplace, puede determinarse que el polinomio característico de la parte predominantemente lineal de la ecuación diferencial (28), está dado por:

$$p_o(s) = s^5 + \lambda_4 s^4 + \lambda_3 s^3 + \lambda_2 s^2 + \lambda_1 s + \lambda_0 \quad (29)$$

Se propone el siguiente polinomio Hurwitz de quinto orden, como polinomio característico deseado:

$$p_d(s) = (s^2 + 2\zeta_o \omega_{no} s + \omega_{no}^2)^2 (s + p_0) \quad (30)$$

entonces comparando (29) y (30), las ganancias del observador GPIO pueden ser encontradas mediante las siguientes reglas:

$$\lambda_0 = \omega_{no}^4 p_0 \quad (31)$$

$$\lambda_1 = 4\zeta_o \omega_{no}^3 p_0 + \omega_{no}^4 \quad (32)$$

$$\lambda_2 = 4\zeta_o \omega_{no}^3 + 2\omega_{no}^2 p_0 + 4\zeta_o^2 \omega_{no}^2 p_0 \quad (33)$$

$$\lambda_3 = 2\omega_{no}^2 + 4\zeta_o^2 \omega_{no}^2 + 4\zeta_o \omega_{no} p_0 \quad (34)$$

$$\lambda_4 = 4\zeta_o \omega_{no} + p_0 \quad (35)$$

### 3.2. Análisis de estabilidad del estimador

Haciendo la siguiente selección de variables:

$$x_1 = e_1$$

$$x_2 = \dot{e}_1$$

$$x_3 = \ddot{e}_1$$

$$x_4 = e_1^{(3)}$$

$$x_5 = e_1^{(4)}$$

Se tiene que:

$$\dot{x}_1 = x_2$$

$$\dot{x}_2 = x_3$$

$$\dot{x}_3 = x_4$$

$$\dot{x}_4 = x_5$$

$$\dot{x}_5 = -\lambda_4 x_5 - \lambda_3 x_4 - \lambda_2 x_3 - \lambda_1 x_2 - \lambda_0 x_1 + \varphi^{(3)}$$

Por lo que la ecuación (28) se puede escribir en la forma:

$$\dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}u \quad (36)$$

$$e_1 = \mathbf{C}\mathbf{x} \quad (37)$$

donde:

$$\mathbf{A} = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ -\lambda_0 & -\lambda_1 & -\lambda_2 & -\lambda_3 & -\lambda_4 \end{pmatrix}; \quad \mathbf{B} = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix}; \quad u = \varphi^{(3)}$$

$$\mathbf{C} = (1 \ 0 \ 0 \ 0 \ 0)$$

**Definición 1 ((Sontag and Wang, 1995)).** Una función  $\beta : \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{K}$ , si es continua, estrictamente creciente y  $\beta(0) = 0$ .

**Definición 2 ((Sontag and Wang, 1995)).** Una función  $\beta : \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{K}_\infty$  si es de clase  $\mathcal{K}$  y también  $\beta(s) \rightarrow \infty$  conforme  $s \rightarrow \infty$ .

**Definición 3 ((Sontag and Wang, 1995)).** Una función  $\beta : \mathbb{R}_{\geq 0} \times \mathbb{R}_{\geq 0} \rightarrow \mathbb{R}_{\geq 0}$  es una función de clase  $\mathcal{KL}$  si para cada  $t \geq 0$  la función  $\beta(\cdot, t)$  es de clase  $\mathcal{K}$ , y para cada  $s \geq 0$  fija decrece a cero conforme  $t \rightarrow \infty$ .

**Definición 4 ((Sontag and Wang, 1995), (Marquez, 2003)).** El sistema (36)-(37) se dice localmente estable de entrada al estado (ISS) si existe una función  $\beta$  de clase  $\mathcal{KL}$ , y una función  $\gamma$  de clase  $\mathcal{K}$  y constantes  $K_1, K_2 \in \mathbb{R}_+$ , tal que:

$$e_1(t) \leq \beta(\|\mathbf{x}(0)\|, t) + \gamma(\|u\|_\infty), \quad \forall t$$

para todo  $\mathbf{x}(0) \in D$  y  $u \in D_u$  que satisfacen:  $\|\mathbf{x}(0)\| < K_1$ , y  $\sup_{t>0} \|u\| < K_2$ .

La conocida fórmula de variación de parámetros da la siguiente solución a la ecuación de estado dada en (36)-(37):

$$\mathbf{x}(t) = \exp(\mathbf{A}t) \mathbf{x}(0) + \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B} u d\tau \quad (38)$$

Usando (38) en (37) se tiene que:

$$e_1(t) = \mathbf{C} \exp(\mathbf{A}t) \mathbf{x}(0) + \mathbf{C} \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B} u d\tau \quad (39)$$

Sí el conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  se eligen de manera tal que la matriz  $\mathbf{A}$  es Hurwitz, entonces es posible establecer la siguiente desigualdad:

$$e_1(t) \leq \left\| \mathbf{C} \exp(\mathbf{A}t) \mathbf{x}(0) \right\| + \left\| \mathbf{C} \int_0^t \exp(\mathbf{A}(t-\tau)) \mathbf{B} u d\tau \right\| \quad (40)$$

$$\leq \underbrace{\left\| \exp(\mathbf{A}t) \right\| \left\| \mathbf{x}(0) \right\|}_{\beta(\|\mathbf{x}(0)\|, t) \in \mathcal{KL}} + \underbrace{\left\| \mathbf{B} \right\| \left\| u \right\| \int_0^t \left\| \exp(\mathbf{A}(t-\tau)) \right\| d\tau}_{\gamma(\|u\|_\infty) \in \mathcal{K}_\infty}$$

Ya que existe  $\beta \in \mathcal{KL}$  y  $\gamma \in \mathcal{K}_\infty$ , entonces, de acuerdo con la Definición 4, la dinámica del error de observación es ISS, es decir, las soluciones para la dinámica del error de observación están acotadas por  $\gamma(\|u\|_\infty)$  y el sistema es asintóticamente estable a  $e_1(t) = 0$  para  $u = 0$ . Además sí el conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  se eligen de modo tal que la matriz  $\mathbf{A}$  es Hurwitz, con valores propios en orden creciente  $l_1(\mathbf{A}) < l_2(\mathbf{A}) < l_3(\mathbf{A}) < l_4(\mathbf{A}) < l_5(\mathbf{A})$ , se sabe que,  $\left\| \exp(\mathbf{A}t) \right\| \leq \alpha \exp(-l_1 t)$ , con  $\alpha = \|\mathbf{T}\| \|\mathbf{T}^{-1}\|$ , donde  $\mathbf{T}$  es una matriz tal que  $\mathbf{T}^{-1} \mathbf{A} \mathbf{T}$  es diagonal. Usando el hecho anterior en (40), se obtiene:

$$e_1(t) \leq \exp(-l_1 t) \|\mathbf{x}(0)\| + \alpha \kappa_3 \int_0^t \exp(-l_1(t-\tau)) d\tau \quad (41)$$

$$\leq \exp(-l_1 t) \|\mathbf{x}(0)\| + \frac{\alpha \kappa_3}{l_1} (1 - \exp(-l_1 t))$$

Consecuentemente  $\|e_1(t)\|$  converge exponencialmente a una esfera de radio  $\rho = \frac{\alpha \kappa_3}{l_1}$  conforme  $t \rightarrow \infty$ . Donde  $\kappa_3$  es la cota superior para la tercera derivada de la perturbación total  $\varphi$ , es decir, de acuerdo con la cuarta suposición de la sección 2.4 se cumple que  $\|u\| = \left\| \varphi^{(3)} \right\|_\infty \leq \kappa_3$

**Observación 1.** El hecho de que la dinámica del error de observación tenga la propiedad de estabilidad de entrada al estado (ISS), permite establecer una especie de principio de separación que asegura que las ganancias del observador  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$ , se pueden elegir en forma independiente sin que sus valores afecten la selección de las ganancias del controlador.

**Observación 2.** El primer término en (41) puede dominar para  $t$  pequeño, y esto sirve para cuantificar la magnitud del comportamiento transitorio del observador como una función del tamaño inicial del estado  $\mathbf{x}(0)$  y del valor  $l_1$ . Esta propiedad permite elegir de manera juiciosa al conjunto de coeficientes  $\{\lambda_4, \lambda_3, \lambda_2, \lambda_1, \lambda_0\}$  a fin de tener un término transitorio aceptable.

**Observación 3.** El primer término en (40) se desvanece para un  $t$  suficientemente grande. Así la dinámica del error de observación satisface la propiedad de ganancia asintótica. Es decir, para todo  $t$  suficientemente grande, la trayectoria existe y se acerca arbitrariamente a una esfera cuyo radio es proporcional a la cota de  $u$  e inversamente proporcional a  $l_1$ . En el lenguaje del control robusto, la estimación podría ser denominada una condición de límite final.

### 3.3. Estrategia de control

Considerando el modelo de entrada-salida del convertidor perturbado dado en (14), se propone el uso de un controlador de tipo PD clásico ayudado por un observador GPIO, en un esquema de rechazo activo de perturbaciones (ADRC) como sigue (Sira-Ramirez et al., 2011):

$$u = \frac{LC}{E} [-k_1 \hat{y}_2 - k_0 (\hat{y}_1 - y^*) - z_1] \quad (42)$$

Donde  $\hat{y}_1$  y  $\hat{y}_2$  son los estimados del voltaje de salida del convertidor y de la razón de cambio del mismo, respectivamente. Las ganancias del controlador son  $\{k_0, k_1\}$  y  $z_1$  es un estimado de la perturbación  $\varphi(y_1, y_2, \dot{I}(t))$  dada en (17). Las ganancias  $k_0$  y  $k_1$  se eligen de tal manera que las raíces del polinomio característico del controlador:

$$p_c(s) = s^2 + k_1 s + k_0 \quad (43)$$

Se ubiquen en el semiplano izquierdo del plano complejo. Así, utilizando como polinomio Hurwitz de segundo orden deseado, el siguiente:

$$p_c(s) = s^2 + 2\zeta_c \omega_{nc} s + \omega_{nc}^2 \quad (44)$$

Entonces, comparando (43) y (44) las ganancias del controlador dado en (42) pueden ser obtenidas mediante las siguientes reglas:

$$k_0 = \omega_{nc}^2 \quad (45)$$

$$k_1 = 2\zeta_c \omega_{nc} \quad (46)$$

## 4. Resultados experimentales

### 4.1. Plataforma experimental

La plataforma experimental, mostrada en la Figura 5, está constituida de los siguientes elementos: un módulo termoelectrico construido con base a una celda peltier TEC1-12710 de Hebei I.T.; un convertidor CD/CD tipo reductor diseñado con base a una frecuencia de 50 kHz, una potencia máxima de 60 W, una corriente máxima de 5 A y un voltaje de salida de 12 V para una resistencia de carga promedio de 3.17  $\Omega$ ; dos sensores de temperatura digitales DS18B20, uno para la cara fría del TEM y otro para la cara caliente; un sensor de corriente ACS712, para medir la corriente del inductor del convertidor reductor; un circuito para medir el voltaje de salida del convertidor reductor, construido con base a un amplificador de aislamiento ISO124P; una computadora equipada con la herramienta de software MATLAB/Simulink para implementar el algoritmo de control ADRC; una tarjeta de adquisición de datos basada en el microcontrolador STM32F429, que funciona como un enlace entre la planta y la computadora, empleando para ello el Waijung Blockset de Simulink y la fuente de alimentación de la

plataforma. En la Figura 6 se muestra un diagrama descriptivo de la plataforma experimental con más detalle.

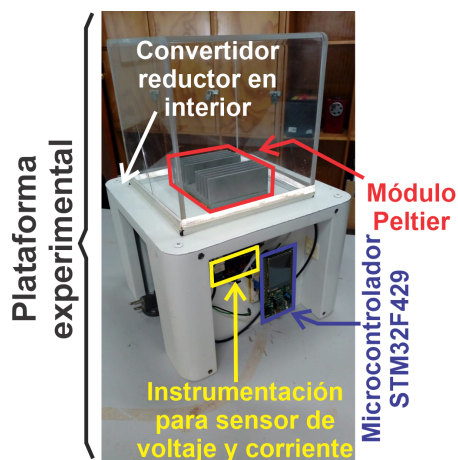


Figura 5: Plataforma Experimental.

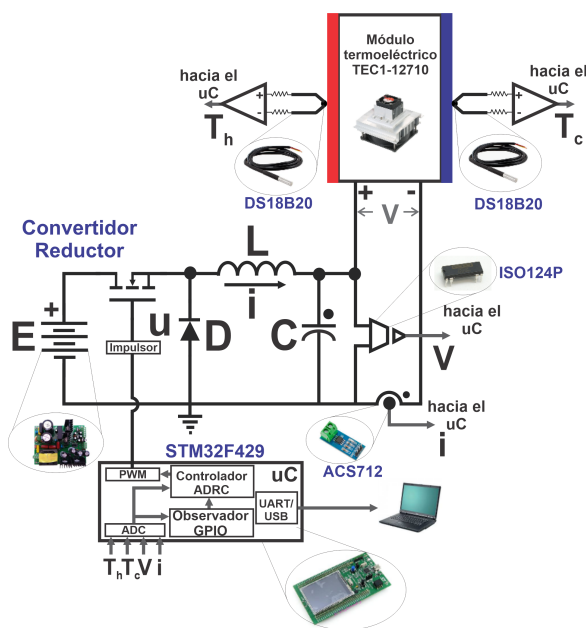


Figura 6: Diagrama descriptivo.

Los parámetros de diseño del convertidor CD/CD tipo reductor mencionados anteriormente, más un rizo deseado para la corriente en el inductor del convertidor  $\Delta i_L = 0,002$  A, dan como resultado una capacitancia  $C = 694,5 \mu\text{F}$  y una inductancia crítica de  $29,06 \mu\text{H}$ . Por razones de índole práctica, los valores empleados en la plataforma fueron de  $C = 940 \mu\text{F}$  y  $66 \mu\text{H}$ , respectivamente. Con la finalidad de verificar en simulación el desempeño de la técnica de control elegida, así como de realizar la linealización aproximada del modelo completo, los parámetros involucrados en el modelo dinámico del módulo dado en

(5)-(9) fueron obtenidos a partir de la hoja de especificaciones del fabricante de la celda Peltier, así como de mediciones experimentales. Los fabricantes de las celdas Peltier utilizan datos tales como:

- $\Delta T_{max}$ , que es la diferencia de temperatura máxima obtenida entre las dos caras de la celda.
- $I_{max}$ , que es la corriente máxima a la cual se produce la máxima diferencia de temperatura  $\Delta T_{max}$ .
- $V_{max}$ , que es el voltaje al cual se produce el  $\Delta T_{max}$  y que produce la corriente  $I_{max}$ .

Con base en datos experimentales se obtiene que  $V_{max} = 12$  V, la corriente máxima en la celda Peltier utilizada es de  $I_{max} = 3,3$  A, lo que produce un  $\Delta T_{max}$  de  $25^\circ\text{C}$ . Con los tres datos anteriores, se calcula el calor máximo absorbido en la cara fría usando la fórmula:

$$Q_c = mc\Delta T_{max} = \rho Vc\Delta T_{max} \quad (47)$$

en donde  $m = 420$  g es la masa del disipador y  $c = 880$  J/(kgK) es el calor específico del aluminio. La masa se puede calcular con base al volumen  $V$  y a la densidad del aluminio  $\rho$ . Utilizando la fórmula (47) el calor que absorbe la cara fría de la celda, tomando en cuenta que está ensamblada con el disipador, es de  $Q_{max} = 9240$  J. También podemos conocer cual es la potencia de la celda al dividir el calor entre el tiempo que llevó alcanzar la diferencia de temperatura máxima (el cual fue de 47 minutos); así, dicha potencia fue de  $3,27$  W.

Para poder calcular los otros parámetros del TEM, como el coeficiente Seebeck,  $\alpha$ , la resistencia térmica,  $\Theta_m$ , y la resistencia interna de la celda,  $R_m$ , se recurre a las siguientes fórmulas:

$$\alpha = \frac{V_{max}}{T_h} \quad (48)$$

$$R_m = \frac{U_{max} T_h - \Delta T_{max}}{I_{max} T_h} \quad (49)$$

$$\Theta_m = \frac{2T_h(\Delta T_{max})}{I_{max} V_{max}(T_h - \Delta T_{max})} \quad (50)$$

Lo cual da como resultado  $\alpha = 0,06$  V/K,  $R_m = 3,20 \Omega$  y  $\Theta_m = 2,64$  W/K.

La capacitancia térmica se determina con base en el calor absorbido por una muestra del material cuando su temperatura se eleva  $1^\circ\text{C}$ . Si una muestra absorbe una cantidad de calor  $Q$  cuando su temperatura aumenta de  $T_1$  a  $T_2$ , la capacitancia térmica de la muestra, expresada en watt-segundos por grado celsius se determina por:

$$C_T = \frac{Q}{T_2 - T_1} \quad (51)$$

A partir del calor  $Q_{max}$  absorbido por la celda en la prueba experimental, al usar la ecuación (51) se obtiene de manera teórica la capacitancia térmica del disipador. Las capacitancias térmicas presentes en la celda peltier  $C_c = 367,45$  J/K y  $C_h = 652,7$  J/K, forman parte del conjunto disipador, grasa térmica y la cara del TEM. En la Tabla II, se muestran los parámetros del conjunto convertidor-TEM. Con el uso de los parámetros obtenidos, se realizaron simulaciones y pruebas experimentales para verificar la validez del modelo empleado. En la Figura 7, se muestra la comparación entre el modelo simulado y su comportamiento

experimental para un voltaje de alimentación de 10 V y en la Figura 8 se muestra dicha comparación para un voltaje de alimentación de 12 V. Como puede apreciarse de ambas gráficas existen diferencias entre lo simulado y lo experimental, lo que es atribuible a la dinámica no modelada en el circuito eléctrico equivalente empleado. No obstante como se verá en la siguiente sección, esa dinámica no modelada al ser considerada como parte de la perturbación total es estimada por el observador GPI y cancelada mediante el control ADRC.

Tabla 2: Parámetros del convertidor y del TEM

Parámetro	Valor	Parámetro	Valor
$E$	12 V	$\Theta_m$	2,647 K/W
$L$	66 $\mu$ H	$\alpha$	0,06 V/K
$C$	$C = 940 \mu$ F	$C_c$	378,4 J/W
$R$	330 $\Omega$	$C_h$	664 J/W
$R_m$	3,2 $\Omega$	$K_s$	0,45 K/W
$K_c$	1 K/W	$K_h$	0,2 K/W
$T_{amb1}$	295 K	$T_{amb2}$	295 K

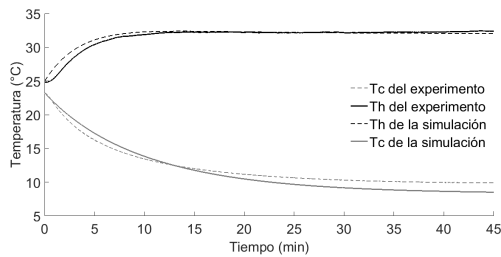


Figura 7: Desempeño del modelo del TEM para un voltaje de alimentación de 10 V.

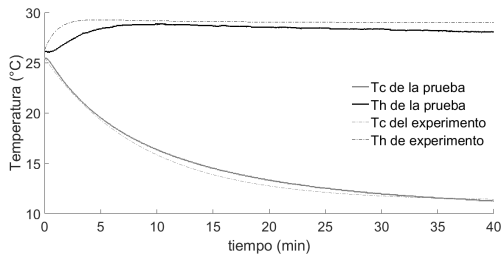


Figura 8: Desempeño del modelo del TEM para un voltaje de alimentación de 12 V.

4.2. Resultados obtenidos

Las ganancias del observador GPI fueron seleccionadas de acuerdo con las expresiones dadas en (31)-(35) y de modo tal que el tiempo de establecimiento para la estimación de las variables de estado de fase fuera de 10 minutos. Los mejores resultados obtenidos fueron con  $\omega_{no} = 200$ ,  $p_0 = 200$  y  $\zeta_o = 2$ . En el caso del controlador ADRC, sus ganancias fueron sintonizadas de acuerdo a (45) y (46), para un tiempo de establecimiento de 30 minutos y los mejores resultados se obtuvieron para  $\omega_{nc} = 20$  y  $\zeta_{nc} = 4$ . La Figura 9, muestra el comportamiento de

las temperaturas tanto en la cara fría como en la cara caliente del módulo termoléctrico bajo la acción del controlador ADRC, cuando la temperatura deseada en la cara fría es de 13,2 °C, lo cual de acuerdo a la Tabla I, corresponde a un voltaje de salida deseado del convertidor de 3 V. Como se aprecia en la Figura 9, el tiempo de establecimiento de la temperatura en la cara fría es de alrededor de 20 minutos, por lo que la especificación de un tiempo de establecimiento de 30 minutos se satisface adecuadamente y así el objetivo de control es alcanzado. En la Figura 10, se muestra la evolución temporal de la perturbación del sistema estimada por el observador GPIO para la temperatura deseada de 13,2 °C.

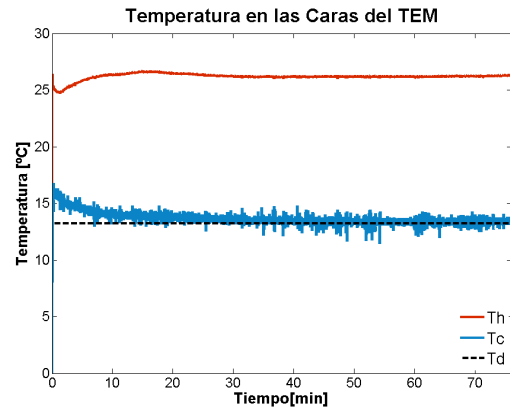


Figura 9: Comportamiento de las temperaturas en ambas caras del TEM para una temperatura deseada  $T_c = 13,2^\circ$ .

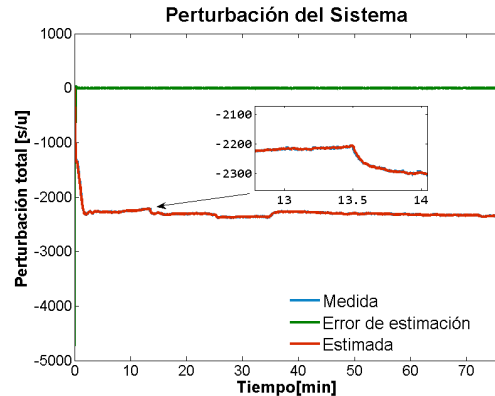


Figura 10: Perturbación del convertidor tipo reductor para una temperatura deseada  $T_c = 13,2^\circ$ .

Es importante aclarar que la perturbación estimada mostrada en la gráfica se obtiene como el estimado  $z_1$  obtenido por el observador cuya estructura es dada en (18)-(22); en cuanto a la perturbación medida, la misma fue calculada de manera indirecta a través de la ecuación (17). Se puede observar que de acuerdo con el análisis de estabilidad realizado, en la práctica,

el error de estimación de la perturbación tiende asintóticamente a un disco pequeño alrededor del origen, como se esperaba. Lo anterior confirma de manera experimental la propiedad ISS del error de estimación. Obsérvese que ya que lo anterior es cierto se confirma el principio de separación ya que las ganancias del observador y controlador fueron seleccionadas de manera independiente sin que esto afecte el desempeño entre uno y otro. La corriente consumida por el módulo termoelectrico para una temperatura deseada de 13,2 °C, se muestra en la Figura 11, en la cual puede apreciarse que una vez que el objetivo de control es alcanzado, dicha corriente se mantiene casi constante.

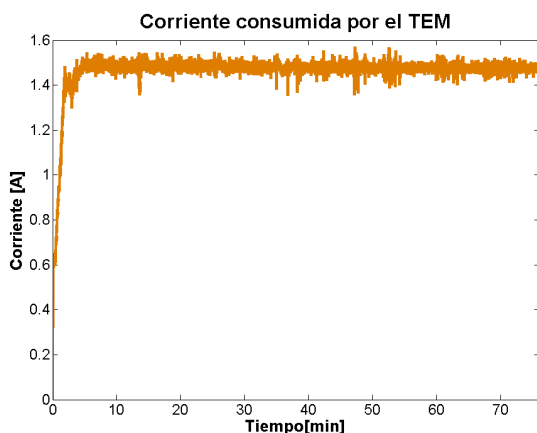


Figura 11: Corriente consumida por el TEM para una temperatura deseada  $T_c = 13,2^\circ$ .

Respecto a la estimación del voltaje de salida del convertidor mediante el observador GPIO, la Figura 12 muestra que en este caso también el error de estimación de dicha variable tiende asintóticamente a una vecindad pequeña del origen. Obsérvese además, que la especificación del tiempo de establecimiento para el estimado de las variables de estado se satisface, ya que de modo experimental dicho tiempo es de alrededor de 10 minutos.

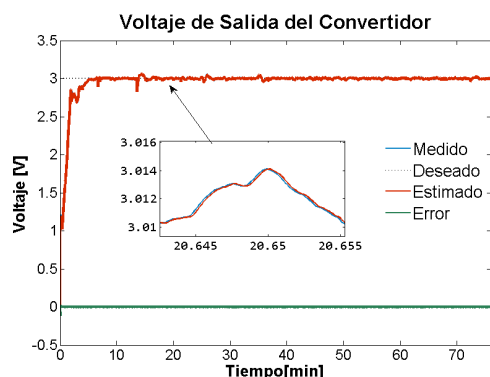


Figura 12: Comportamiento del voltaje de salida del convertidor reductor para una temperatura deseada  $T_c = 13,2^\circ$ .

La entrada de control promedio se muestra en la Figura 13, donde puede apreciarse que en efecto dicha ley de control está dentro del intervalo cerrado [0, 1], como se esperaba.

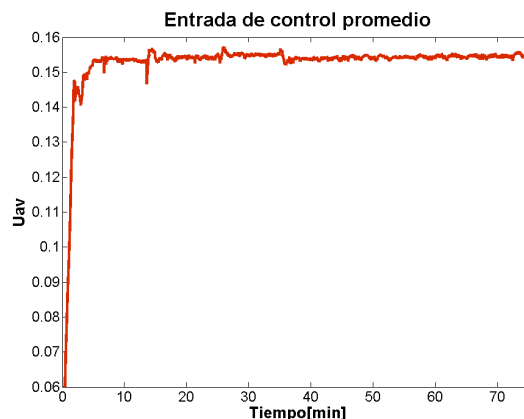


Figura 13: Señal de control del convertidor reductor para una temperatura deseada  $T_c = 13,2^\circ$ .

En la Figura 14 se muestra la evolución temporal de las temperaturas en las caras fría y caliente del TEM bajo la acción de control ADRC, para una temperatura deseada en la cara fría de 10,1 °C, lo cual corresponde, de acuerdo con la Tabla I, a un voltaje de salida deseado del convertidor de 5 V. Nuevamente el tiempo de establecimiento de la temperatura deseada en la cara fría se alcanza en alrededor de 20 minutos, por lo que la especificación de diseño se satisface adecuadamente, y se alcanza el objetivo de control.

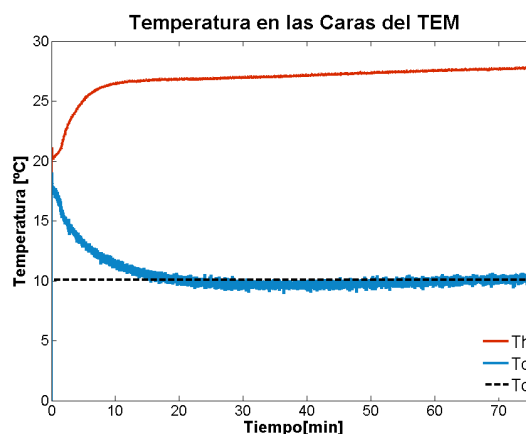


Figura 14: Comportamiento de las temperaturas en ambas caras del TEM para una temperatura deseada  $T_c = 10,1^\circ$ .

La perturbación estimada por el observador GPIO en este caso, se muestra en la Figura 15, la cual revela que nuevamente el error de estimación tiende asintóticamente a cero.



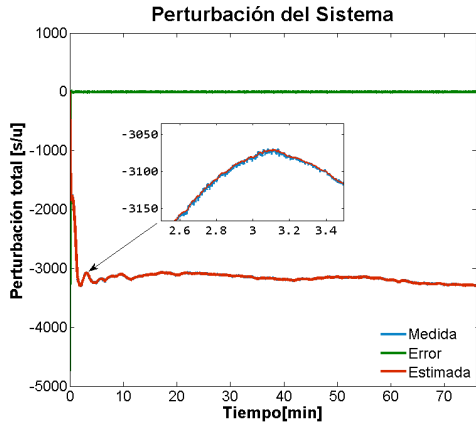


Figura 15: Perturbación del convertidor tipo reductor para una temperatura deseada  $T_c = 10,1^\circ$ .

La corriente consumida por el módulo termoelectrico para una temperatura deseada de  $10,1^\circ\text{C}$ , se muestra en la Figura 16, en la cual también se aprecia que una vez que el objetivo de control es alcanzado, se mantiene casi constante. Respecto a la estimación del voltaje de salida del convertidor mediante el observador GPIO, para una temperatura deseada de  $10,1^\circ\text{C}$ .

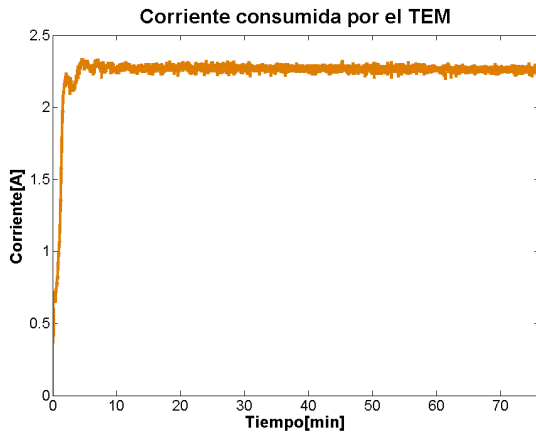


Figura 16: Corriente consumida por el TEM para una temperatura deseada  $T_c = 10,1^\circ$ .

La Figura 17 muestra una vez más que el error de estimación tiende asintóticamente a una vecindad pequeña del origen. La entrada de control promedio se muestra en la Figura 18, donde se aprecia que la ley de control está dentro del intervalo cerrado  $[0, 1]$ , como se esperaba.

#### 4.3. Comparativa experimental con otras técnicas de control

Con la finalidad de mostrar la efectividad de la técnica de control propuesta, se diseñaron un control de tipo PI y uno de tipo LQI con base a una linealización aproximada del modelo combinado del convertidor reductor y del TEM dado en (1)-(2) y (5)-(9) alrededor de una temperatura deseada en la cara fría

de  $12,0^\circ\text{C}$ . El modelo linealizado en forma numérica para la temperatura deseada es de la forma:

$$\frac{d}{dt} \begin{pmatrix} x_{1\delta} \\ x_{2\delta} \\ x_{3\delta} \\ x_{4\delta} \end{pmatrix} = \begin{pmatrix} 0 & -15152 & 0 & 0 \\ 1063,8 & -335,67 & 19,95 & -19,95 \\ 0 & -0,0055 & -0,004 & 0,0011 \\ 0 & 0,0092 & 9,57 \times 10^{-4} & -0,0084 \end{pmatrix} \begin{pmatrix} x_{1\delta} \\ x_{2\delta} \\ x_{3\delta} \\ x_{4\delta} \end{pmatrix} + \begin{pmatrix} 181820 \\ 0 \\ 0 \\ 0 \end{pmatrix} u_\delta \quad (52)$$

$$y_\delta = \begin{pmatrix} 0 & 0 & 1 & 0 \end{pmatrix} \begin{pmatrix} x_{1\delta} \\ x_{2\delta} \\ x_{3\delta} \\ x_{4\delta} \end{pmatrix} \quad (53)$$

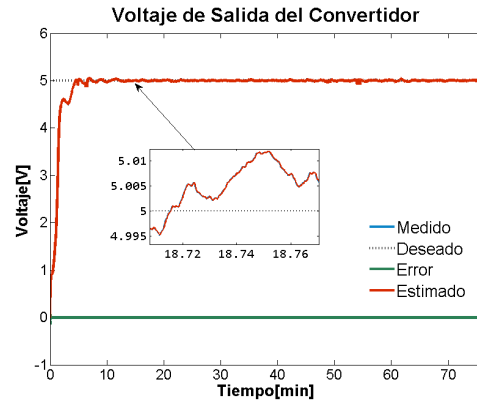


Figura 17: Comportamiento del voltaje de salida del convertidor reductor para una temperatura deseada  $T_c = 10,1^\circ$ .

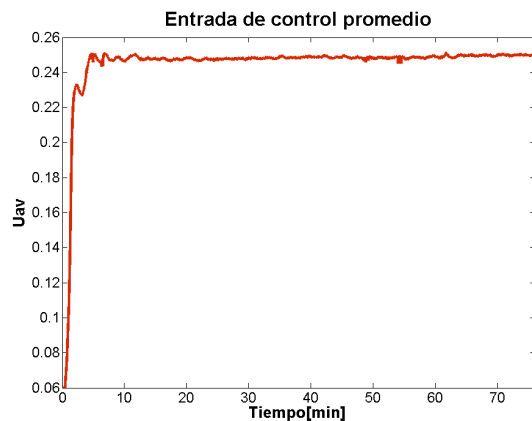


Figura 18: Señal de control del convertidor reductor para una temperatura deseada  $T_c = 10,1^\circ$ .

Con base en (52) y (53) y usando la conocida fórmula  $G(s) = C(sI - A)^{-1}B$ , la función de transferencia del sistema

linealizado está dada por:

$$G(s) = \frac{-1,069 \times 10^6 s - 6939}{s^4 + 335,7s^3 + 1,612 \times 10^7 s^2 + 1,98 \times 10^5 s + 518,3} \quad (54)$$

El controlador de tipo PI empleado es aquel cuya función de transferencia estándar es:

$$G_C(s) = \frac{K_p s + K_i}{s} \quad (55)$$

y el polinomio característico del sistema en lazo cerrado (54)-(55) es:

$$p(s) = s^5 + 335,7s^4 + 1,612 \times 10^7 s^3 + (1,98 \times 10^5 - 1,069 \times 10^6 K_p)s^2 + (518,3 - 6939K_p - 1,069 \times 10^6 K_i)s + 6939K_i \quad (56)$$

Las ganancias del control PI fueron sintonizadas de acuerdo al método de asignación de polos directo y usando el lugar geométrico de la raíces, proponiendo un polinomio característico deseado Hurwitz de quinto orden, lo que permite calcular las ganancias del controlador mediante:

$$K_p = \frac{1,98 \times 10^5 - 2\omega_n^3 - 4\zeta\omega_n^3 - 4\zeta^2\omega_n^3}{1,07 \times 10^6}$$

$$K_i = \frac{\omega_n^5}{6939}$$

Los mejores resultados obtenidos para las ganancias del control PI fueron con  $\omega_n = 3$  y  $\zeta = 0,707$ , lo que da como resultado  $K_p = 0,185$  y  $K_i = -0,035$ . Respecto del controlador LQI, sus ganancias fueron sintonizadas utilizando el comando lqi(A, B, Q, R) de MATLAB con las matrices de ponderación Q y R dadas por:

$$Q = 1 \times 10^{-8} * \begin{pmatrix} 1,0000 & 0,2200 & 0,0100 & 0,0400 & 0,0200 \\ 0,2200 & 0,0484 & 0,0022 & 0,0088 & 0,0044 \\ 0,0100 & 0,0022 & 0,0001 & 0,0004 & 0,0002 \\ 0,0400 & 0,0088 & 0,0004 & 0,0016 & 0,0008 \\ 0,0200 & 0,0044 & 0,0002 & 0,0008 & 0,0004 \end{pmatrix}$$

$$R = 400$$

Las ganancias del controlador LQI calculadas con las matrices de ponderación Q y R anteriores, están dadas por:

$$K = [k_1, k_2, k_3, k_4] = [0,0487, -0,0112, -0,0382, -0,0086]$$

$$k_i = 0,001$$

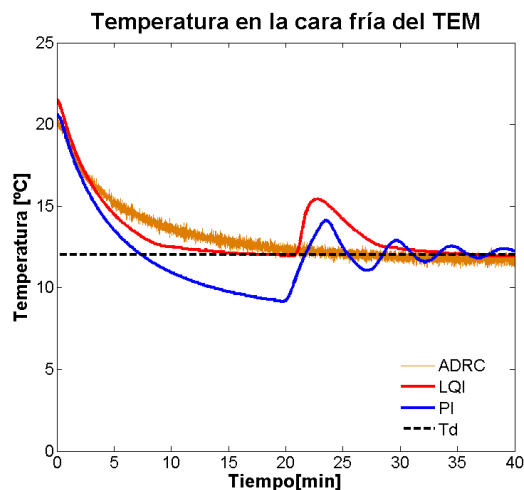


Figura 19: Comparativa experimental del control ADRC contra controladores PI y LQI, para una temperatura deseada de 12,0°.

En la Figura 19, se muestra una comparativa de los resultados experimentales entre la técnica de control propuesta y las técnicas de control PI y LQI. Como se aprecia, para el caso del control ADRC y del control LQI no existe sobre impulso en la respuesta a diferencia del control PI. El tiempo de establecimiento del control LQI es ligeramente más corto que para las otras dos técnicas. Alrededor del minuto 20, se produce una perturbación, la cual en los tres casos es rechazada. No obstante, es importante resaltar que en el caso del control ADRC, la perturbación se rechaza de mejor manera que en los otros dos casos, pues el control LQI presenta una respuesta más lenta y el control PI tiene una respuesta oscilatoria posterior a la perturbación. Sólo en el caso de los controladores ADRC y LQI, el error en estado estacionario es prácticamente igual a cero.

### 5. Conclusiones

En este trabajo se diseñó un esquema de control ADRC para regular en forma indirecta la temperatura en la cara fría de un módulo termoelectrico a través de un convertidor de potencia CD/CD tipo reductor. La dinámica del módulo es vista como una carga de naturaleza desconocida en el tiempo pero acotada para el voltaje de salida del convertidor. Tanto el voltaje de salida del convertidor como la perturbación de naturaleza exógena son estimados mediante un observador de tipo GPI y el estimado de la perturbación es incorporado en un esquema de cancelación en línea que permite regular la temperatura de la cara fría a un valor de temperatura constante deseado. El desempeño del controlador propuesto es comparado contra controladores de tipo PI y LQI. Los resultados experimentales obtenidos en este caso, permiten decir que, además de satisfacer las especificaciones de diseño, el controlador ADRC presenta un mejor rechazo a perturbaciones de naturaleza desconocida por el controlador, para dispositivos TEM. Por otro lado, se muestra que el observador diseñado posee la propiedad de estabilidad de entrada al estado (ISS), lo cual se comprueba con los resultados

experimentales obtenidos. Los trabajos futuros incluyen la mejora de la disipación de calor en la cara caliente del módulo así como el empleo de celdas Peltier multicapa para alcanzar diferencias de temperatura mayores entre las caras caliente y fría del módulo termoeléctrico.

### Agradecimientos

Este trabajo ha sido realizado gracias al apoyo de la Universidad Tecnológica de la Mixteca.

### Referencias

Casano, G., Piva, S., 2016. Peltier cells cooling system for switch mode power supply. In: 2016 22nd International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). IEEE, pp. 279–282.

Castillo, A., García, P., Sanz, R., Albertos, P., 2018. Enhanced extended state observer-based control for systems with mismatched uncertainties and disturbances. *ISA transactions* 73, 1–10.

Celil Yavuz, S. Y., Kaya, M., 2013. The design of computer controlled cold and hot therapy device with thermoelectric module. *American Scientific Publishers* 3, 221–226.  
DOI: 10.1166/jmihi.2013.1159

Chavez, J., Ortega, J., Salazar, J., Turo, A., Garcia, M. J., 2000. Spice model of thermoelectric elements including thermal effects. In: Proceedings of the 17th IEEE Instrumentation and Measurement Technology Conference [Cat. No. 00CH37066]. Vol. 2. IEEE, pp. 1019–1023.

Chen, C., Wang, Y., Li, S., 2017. Generalized proportional integral observer-based composite control method for robotic thermal tactile sensor with disturbances. *International Journal of Advanced Robotic Systems*.  
DOI: 10.1177/1729881417710033

Chen, W.-H., Yang, J., Guo, L., Li, S., 2015. Disturbance-observer-based control and related methods: an overview. *IEEE Transactions on industrial electronics* 63 (2), 1083–1095.

Deng, M., Wen, S., Inoue, A., 2011. Operator-based robust nonlinear control for a peltier actuated process. *Measurement and Control* 44 (4), 116–120.  
DOI: 10.1177/002029401104400404

Dubreuil, V., Osintsev, A. V., 2019. Designing multiple pid controllers based on an fpga for controlling the temperature of tem-cell surfaces. In: 2019 International Multi-Conference on Engineering, Computer and Information Sciences (SIBIRCON). IEEE, pp. 0194–0198.

Gao, Z., 2010. On disturbance rejection paradigm in control engineering. In: Proceedings of the 29th Chinese Control Conference. pp. 6071–6076.

Guo, L., Cao, S., 2014. Anti-disturbance control theory for systems with multiple disturbances: A survey. *ISA transactions* 53 (4), 846–849.  
DOI: 10.1016/j.isatra.2013.10.005

Han, J.-Q., 1999. Nonlinear design methods for control systems. *IFAC Proceedings Volumes* 32 (2), 1531–1536.

Jahangir, M., Rehman, M. A. U., Awan, A. B., Ali, R. H., 2019. Design and testing of cooling jacket using peltier plate. In: 2019 International Conference on Applied and Engineering Mathematics (ICAEM). IEEE, pp. 191–196.

Jianzhong, Z., Hua, Z., Song, W. T., Zhaonan, J., 1997. A method of diode parallel to improve the reliability of the thermoelectric coolers. 16th International Conference on Thermoelectrics, 690–692.

Li, C., Jiao, D., Jia, J., Guo, F., Wang, J., Nov 2014. Thermoelectric cooling for power electronics circuits: Modeling and active temperature control. *IEEE Transactions on Industry Applications* 50 (6), 3995–4005.  
DOI: 10.1109/TIA.2014.2319576

Li, S., Yang, J., Chen, W.-H., Chen, X., 2011. Generalized extended state observer based control for systems with mismatched uncertainties. *IEEE Transactions on Industrial Electronics* 59 (12), 4792–4802.

Lineykin, S., Ben-Yaakov, S., 2005. Analysis of thermoelectric coolers by a spice-compatible equivalent-circuit model. *IEEE Power Electronics Letters* 3 (2), 63–66.  
DOI: 10.1109/LPEL.2005.846822

Lineykin, S., Ben-Yaakov, S., 2007. Modeling and analysis of thermoelectric modules. *IEEE Transactions on Industry Applications* 43, 505–512.  
DOI: 10.1109/TIA.2006.889813

Mardini-Bovea, J., Torres-Díaz, G., Sabau, M., De-la Hoz-Franco, E., Niño-Moreno, J., Pacheco-Torres, P. J., 2019. A review to refrigeration with thermoelectric energy based on the peltier effect. *Dyna* 86 (208), 9–18.  
DOI: 10.15446/dyna.v86n208.72589

Marquez, H. J., 2003. *Nonlinear control systems*. John Wiley & Sons.

Martinez A., A. D., P., A., 2016. Thermoelectric self-cooling for power electronics: Increasing the cooling power. *Energy*. Elsevier 112, 1–7.  
DOI: 10.1016/j.energy.2016.06.007

Maruša, L., Milanović, M., Valderrama-Blavi, H., 2015. Evaluating a switched capacitor-boost converter (sc-bc) for energy harvesting in a peltier-cells thermoelectric system. In: 2015 International Conference on Electrical Drives and Power Electronics (EDPE). IEEE, pp. 227–234.

Mironova, A., Haus, B., Mercorelli, P., 2018. Combination of a reduced order state observer and an extended kalman filter for peltier cells. In: 2018 19th International Carpathian Control Conference (ICCC). IEEE, pp. 211–216.

Mironova, A., Haus, B., Zedler, A., Mercorelli, P., 2020. Extended kalman filter for temperature estimation and control of peltier cells in a novel industrial milling process. *IEEE Transactions on Industry Applications* 56 (2), 1670–1678.  
DOI: 10.1109/TIA.2020.2965058

Najafi, H., Woodbury, K. A., 2013. Optimization of a cooling system based on peltier effect for photovoltaic cells. *Solar Energy* 91, 52 – 160.  
DOI: 10.1016/j.solener.2013.01.026

Parvathy, R., Daniel, A. E., 2013. A survey on active disturbance rejection control. In: 2013 International Multi-Conference on Automation, Computing, Communication, Control and Compressed Sensing (iMac4s). IEEE, pp. 330–335.

Qi, Y., Li, Z., Zhang, J., 2003. Peltier temperature controlled box for test circuit board. In: Proceedings ICT'03. 22nd International Conference on Thermoelectrics (IEEE Cat. No. 03TH8726). IEEE, pp. 644–647.

Rowe, D., 2006. *Thermoelectrics handbook: macro to nano*. CRC Press.

Sira-Ramirez, H., Luviano-Juárez, A., Cortés-Romero, J., 2011. Control lineal robusto de sistemas no lineales diferencialmente planos. *Revista Iberoamericana de Automática e Informática Industrial RIAI* 8 (1), 14–28.

Sira-Ramirez, H., Oliver-Salazar, M. A., 2012. On the robust control of buck-converter dc-motor combinations. *IEEE Transactions on Power Electronics* 28 (8), 3912–3922.

Sontag, E. D., Wang, Y., 1995. On characterizations of the input-to-state stability property. *Systems and Control letters* 24 (5), 351–360.

Spengler, A., Ferreira, E., Siqueira Dias, J. A., 01 2011. A low power, battery operated precision portable thermal chamber with double thermoelectric module. *International Journal of Circuits, Systems and Signal Processing* 5, 627–634.

Thakor, M. D., Hadia, S., Kumar, A., 2015. Precise temperature control through thermoelectric cooler with pid controller. In: 2015 International Conference on Communications and Signal Processing (ICCSP). IEEE, pp. 1118–1122.

# Sliding Mode Control Based on Linear Extended State Observer for DC-to-DC Buck–Boost Power Converter System With Mismatched Disturbances

Jesus Linares-Flores<sup>1</sup>, Senior Member, IEEE, Jose Antonio Juárez-Abad, Arturo Hernandez-Mendez, Omar Castro-Heredia, Jose Fermi Guerrero-Castellanos<sup>2</sup>, Member, IEEE, Ruben Heredia-Barba, and G. Curiel-Olivares

**Abstract**—This article presents a new control strategy merging a sliding mode control (SMC) with a linear extended state observer (LESO) to regulate the output voltage of the buck–boost power converter system affected by matched and mismatched disturbances. The SMC–LESO schema uses the input–output linearization approach and the equivalent control method to determine the boundary layer around the sliding surface. This boundary layer depends on the sliding surface and the equivalent control value, depending on the estimated variables obtained through a LESO. With this schema, the unknown matched, and mismatched disturbances are observed and compensated by an adaptation of the SMC. The proposed approach minimizes the sliding surface chattering and improves the performance against sudden static and dynamic load changes as well as voltage variations on the power supply input. An experimental comparison with traditional sliding mode control and classical proportional–integral–derivative control is performed, confirming the proposal’s effectiveness. The closed-loop stability (observer-controller-plant) is guaranteed in the input-to-state stability framework.

**Index Terms**—Buck–boost power converter with mismatched disturbances, linear extended state observer (LESO), sliding mode control (SMC), SMC based on LESO.

## I. INTRODUCTION

**A**N ESSENTIAL number of industrial applications is performed through dc–dc power converters, such as uninterruptible power supply applications, dc motor drives for

electric traction in public transport, and led lighting systems (see [1]–[4] and references therein). The buck–boost power converter topology has been used for numerous applications, such as: photovoltaic module integrated converter systems [5], photovoltaic and piezoelectric energy harvesting systems [6], supercapacitor and battery power management in hybrid vehicles [7], electric vehicles [8], fuel-cell hybrid systems [9], variable–speed wind generator systems [10], and ON–grid/OFF–grid wind energy battery-storage systems [11]. Consequently, the modeling, control, and estimation of this class of systems remain a challenge.

Sliding mode control (SMC) has received much attention due to its major advantages regarding robustness against parameter variations and simplicity in implementation [12]–[14]. Therefore, it widely applied to the control of nonlinear systems [15], for instance, the dc-to-dc buck–boost converter [16] and the double-switch buck–boost converter [17]. It is worth noting that the buck–boost topology has been the base for the PEM fuel cell [18] and photovoltaic systems applications [19]. However, there are two main disadvantages of the traditional sliding mode control (TSMC). The first is insensitivity to matched disturbance but highly sensitive to mismatched disturbance. The second is the chattering problem, which remains a serious problem to be solved.

Disturbance-observer-based control (DOBC) and SMC approaches have been applied extensively in various industrial sectors in the last four decades [20]. SMC has been combined with disturbance observers (DO) with good results. The combination of both methods perfectly addresses the matched and mismatched uncertainties robustly. However, according to [13]–[21] results imply that the uncertainty attenuation ability is achieved at the cost of sacrificing the performance of the nominal control. The advantage is that the chattering effect problem can be reduced considerably when the SMC is combined with a DO [14].

Regarding the control of dc-to-dc power converters, some exciting works were published in the early years to deal with mismatched disturbances. These mainly address sliding mode controllers with DO. The first one, published by Wang *et al.* [22], introduces an improved discrete-time SMC law with disturbance compensation for dc-to-dc Buck converters with mismatched

Manuscript received January 22, 2021; revised April 28, 2021, July 6, 2021, and September 14, 2021; accepted October 31, 2021. Date of publication November 23, 2021; date of current version January 14, 2022. Paper 2021-IACC-0014.R3, presented at the 2020 IEEE Energy Conversion Congress and Exposition, Detroit, MI USA, Oct. 11–15, and approved for publication in the IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS by the Industrial Automation and Control Committee of the IEEE Industry Applications Society. (Corresponding author: Jesus Linares-Flores.)

Jesus Linares-Flores, Jose Antonio Juárez-Abad, Arturo Hernandez-Mendez, Omar Castro-Heredia, and Ruben Heredia-Barba are with the Universidad Tecnológica de la Mixteca, Huajuapán de León, Oaxaca C.P. 69000, México (e-mail: jlinares@mixteco.utm.mx; abad@mixteco.utm.mx; arturohm54@mixteco.utm.mx; omar94\_9@hotmail.com; rubenflaixs@hotmail.com).

Jose Fermi Guerrero-Castellanos is with the Benemérita Universidad Autónoma de Puebla, Puebla C.P. 72592, México (e-mail: fermi.guerrero@correo.buap.mx).

G. Curiel-Olivares is with the Instituto Tecnológico y de Estudios Superiores de Monterrey, Monterrey, C.P. 64849, México (e-mail: A00832535@itesm.mx).

Color versions of one or more figures in this article are available at <https://doi.org/10.1109/TIA.2021.3130017>.

Digital Object Identifier 10.1109/TIA.2021.3130017

disturbances. Their proposed finite-time sliding mode control (FTSMC) approach is characterized by higher voltage tracking accuracy and better dynamic properties in different operating conditions. The second one, published by Zhang *et al.* [23], proposes an invariant manifold-based output-feedback SMC strategy for systems with mismatched disturbances to achieve asymptotic tracking and disturbance rejection. Unlike the existing output-feedback SMC methods, the invariant manifold is employed to transform the multiple mismatched disturbances into matched ones, providing a complete structure to the controller design. Then, an observer is developed to estimate unknown states in conjunction with an output-feedback sliding mode controller. Moreover, the controller's switching gain adaptively changes with the estimation error, reducing the chattering. Experiments on a buck power converter-driven dc motor system verify the superiority of the proposed method. The third one, published by Pan *et al.* [24], investigates a finite-time disturbance observer (FTDO) based on a nonsingular terminal SMC (NTSMC) approach. The authors use exact feedback linearization (EFL) theory to solve the output voltage regulation problem under the load resistance changes and external input voltage variations. Blending the disturbance estimated through FTDO into the nonlinear dynamic sliding mode surface design, a finite-time NTSMC strategy is developed to reject the effects of mismatched disturbances and achieve finite-time tracking performance.

#### A. Main Contributions

The present paper is in the spirit of [22]–[24]. We aim to improve the performance of the dc-to-dc buck–boost power converter system with matched/mismatched disturbances. To achieve this, we propose a SMC based on the linear extended state observer (SMC-LESO) method to counteract the voltage variations on power supply input and load impedance disturbances, either inductive or resistive. In the same way, as in [1], [4], and [25], we consider the disturbances estimated by LESO, and a dynamic sliding mode surface is introduced by the state variables' estimated values of the EFL model. The nonlinear function obtained through the directional derivative  $L_f^r h(x)$  of higher order and the mismatched disturbances  $d\alpha(x)$  are estimated and attenuated by the SMC based on LESO. As a result, we consider the so-called flat-output of the dc-to-dc buck–boost converter system. This output function transforms the affine nonlinear model to an exact linearization model, thus achieving the output voltage reaching a constant reference signal on the sliding surface for a long time. Furthermore, the stability analysis of the LESO and the sliding mode controller, is guaranteed in the input-to-state stability (ISS) framework.

The article is structured as follows. Input-state linearization of the buck–boost power converter system with mismatched disturbances, TSMC design, and proportional integral derivative control design are presented in Section II. The SMC based on LESO design and the stability analysis of the system is presented in Section III. Section IV explains, in full detail, the experimental setup, and simulation results of the performance between the proposed control versus TSMC and classical PID control. Section V shows the experimental results obtained with different test scenarios. Finally, Section VI concludes this article.

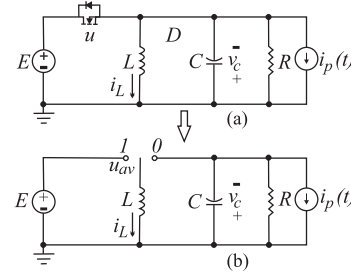


Fig. 1. (a) Buck–boost circuit; (b) Average equivalent circuit.

## II. INPUT-STATE LINEARIZATION OF THE BUCK–BOOST POWER CONVERTER SYSTEM

### A. Generalities About the Buck–Boost Converter Circuit

A simplified, unperturbed, dynamical model of the buck–boost power converter (see Fig. 1) is described by

$$L \frac{di_L}{dt} = (1 - u_{av})v_C + Eu_{av} \quad (1)$$

$$C \frac{dv_C}{dt} = -(1 - u_{av})i_L - \left(\frac{1}{R}\right)v_C - i_p(t) \quad (2)$$

where  $v_C$  is the output capacitor voltage,  $i_L$  is the inductor current,  $E$  is a constant voltage value of the main power supply voltage,  $i_p(t)$  is the disturbance current,  $R$  is the load resistance, while  $L$  and  $C$  are the inductance and capacitance parameters of the power converter, respectively. The average control input  $u_{av}$  is the average value of the binary-valued switch position function  $u \in \{0, 1\}$ , which is defined in the closed-interval value  $u_{av} \in [0, 1]$ . Thus, we obtain a state average model of the buck–boost circuit, described in [2].

The buck–boost converter average model assumes that power switching devices and converter components are lossless. Then, a precise average model is not required, which justifies the use of model-free control methods such as classical PID control, SMC, and active disturbance rejection control (ADRC) such as the one proposed in this present article.

A null disturbance current  $i_p(t) = 0$  is considered. Then, the equilibrium points of the buck–boost power converters system (1)–(2) can be obtained in a parameterized form as a function of the corresponding output voltage equilibrium (constant desired reference),  $\bar{v}_C = V_d < 0$ , that is

$$\bar{u}_{av} = \frac{V_d}{V_d - E}, \quad \bar{i}_L = \frac{V_d(V_d - E)}{RE} \quad (3)$$

with  $\bar{u}_{av} \in [0, 1]$ . Note that if  $\bar{u}_{av} = 0.5$  then  $\bar{v}_C = E$ . For  $\bar{u}_{av} > 0.5$  then  $\bar{v}_C > E$ . Finally, if  $\bar{u}_{av} < 0.5$  then  $\bar{v}_C < E$ . Consequently, the buck–boost power converter circuit has three modes of operation to regulate its output voltage. The zero-dynamics corresponding to the desired output voltage:  $\bar{v}_C = V_d$ , is given by the unstable differential equation for the average inductor current

$$L \frac{di_L}{dt} = \frac{V_d}{LRi_L}(E - V_d) + \frac{E}{L} \quad (4)$$

thus, the output voltage is a nonminimum phase variable (see [12]). The state average buck–boost power converter model is locally differentially flat, i.e., feedback linearizable. The output function (flat output or linearizing output) leading to the state space exact linearization system is the following [26]

$$H(i_L, v_C) = \frac{1}{2}[Li_L^2 + C(E - v_C)^2] \quad (5)$$

we have then the following coordinate transformations:

$$\begin{bmatrix} x_1 \\ x_2 \end{bmatrix} = \Phi(i_L, v_C) = \begin{bmatrix} \frac{1}{2}Li_L^2 + C(E - v_C)^2 \\ Ei_L + v_C \frac{1}{R}(E - v_C) \end{bmatrix}. \quad (6)$$

According to *Proposition 2.1* [27] the Jacobian matrix at  $x(0) = (0, 0)^T$  of the function (6) is nonsingular, hence  $\Phi(x)$  is a local diffeomorphism in an open subset  $x \in R^n$ , including  $x(0)$ . The flat output  $H$  is, as it is easily verified, relative degree  $^{\circ}r = 2$ . According to the coordinate transformation in (6), the original system (1)–(2) can be transformed into the following normal form:

$$\dot{x}_1 = x_2 \quad (7)$$

$$\dot{x}_2 = \alpha(x) + \beta(x)u_{av} + di_p \quad (8)$$

$$y = x_1 \quad (9)$$

where  $x_1$  and  $x_2$  are states,  $u_{av}$  is the average control input,  $di_p = L_{i_p} L_f h(x)$  is the disturbance input, and  $y(t)$  is the Flat output.

*Assumption 1:* The disturbance input (8) is continuous and satisfies the following:

$$\left| \frac{d^k di_p}{dt^k} \right| \leq \alpha^* \text{ for } k = 0, 1, 2, \dots, m \quad (10)$$

where  $\alpha^*$  is a positive number.

The variables  $\alpha(x) := Ev_C/L + (2v_C - E)(\frac{v_C}{R^2C} + \frac{i_L}{RC})$  and  $\beta(x) := E(E - v_C)/L + \frac{i_L}{RC}(E - 2v_C)$  are the nonlinear scalar functions of  $x$ . Equation (7) have been linearized. The last equation, which involves the control variable  $u_{av}$  is nonlinear. We know  $\beta(x) \neq 0$ , considering that the relative degree  $^{\circ}r$  is well defined. The equilibrium of the average total stored energy, corresponding to an operating point  $(\bar{v}_L, \bar{v}_C)$ , is given, in terms of the voltage equilibrium value,  $\bar{v}_C$ , by

$$\bar{H}(\bar{v}_L, \bar{v}_C) = \frac{1}{2}[L\bar{v}_L^2 + C(E - \bar{v}_C)^2] = \bar{x}_{1d} \quad (11)$$

where  $\bar{x}_{1d}$  is the constant desired reference of the flat-output, which has a direct dependency of the desired output voltage  $V_d$ . Thus, we have

$$\bar{x}_{1d} = \frac{1}{2} \left[ \frac{LV_d^2 (V_d - E)^2}{(RE)^2} + C(E - \bar{v}_d)^2 \right]. \quad (12)$$

### B. Traditional SMC (TSMC) [28]

The sliding mode surface and control input law of the TSMC are designed as follows:

$$\sigma = c(x_1 - \bar{x}_{1d}) + x_2 \quad (13)$$

$$u_{av} = -\beta^{-1}(x)[\alpha(x) + cx_2 + \lambda \text{sign}(\sigma)] \quad (14)$$

with  $c, \lambda > 0$ . Substituting (14) in (8), we have

$$\dot{\sigma} = -\lambda \text{sign}(\sigma) + di_p. \quad (15)$$

The time-derivative of the surface shows that the state of system (8) initially on the exterior of the sliding surface is going to reach the ideal sliding surface  $\sigma = 0$  in infinite time as long as the switching gain in the control law (14) is designed such that  $\lambda > \alpha^*$ .

*Remark 1:* Expression (15) implies that the states cannot be driven to the desired equilibrium point even when the control law (14) can force the system states to reach the sliding surface in infinite time. This is the essential reason why the traditional SMC is only insensitive to matched disturbance but sensitive to mismatched disturbance.

### C. Proportional–Integral–Derivative (PID) Control [29]

From (7) and (8), we designed a PID control law as follows:

$$v = \dot{x}_2 = -\gamma_2 x_2(t) - \gamma_1 [x_1(t) - \bar{x}_{1d}(t)] - \gamma_0 \int_0^t [x_1(\tau) - \bar{x}_{1d}(\tau)] d\tau \quad (16)$$

whose time-derivative of the error is replaced by the variable  $x_2$ , which was calculated through the  $L_f h(x) = x_2$ . We define the regulation error as:  $e = x_1 - \bar{x}_{1d}$ , thus, substituting (16) in (8) yields the error dynamics as follows:

$$\ddot{e} + \gamma_2 \dot{e} + \gamma_1 e + \gamma_0 \int_0^t [e(\tau)] d\tau + di_p = 0. \quad (17)$$

Taking the time-derivative of  $\ddot{e}$  in (17), gives

$$\ddot{\ddot{e}} + \gamma_2 \ddot{e} + \gamma_1 \dot{e} + \gamma_0 e = 0. \quad (18)$$

The coefficients  $\gamma_2, \gamma_1$ , and  $\gamma_0$  correspond with a Hurwitz polynomial of third order of the form  $p(s) = s^3 + (2\zeta\omega_n + \varphi)s^2 + (\omega_n^2 + 2\zeta\omega_n\varphi)s + \omega_n^2\varphi$  to guarantee that the poles are in the left half of the complex plane with  $\zeta, \omega_n$ , and  $\varphi > 0$ .

## III. SMC METHOD BASED ON A LESO

### A. Equivalent Control Method and Ideal Sliding Dynamics

From (8), we consider the buck–boost power converter model as follows:

$$\frac{\dot{x}_2 - (\alpha(x) + di_p)}{\beta(x)} = u_{av} \quad (19)$$

and the *average control input* is expressed in terms of the inner loop control or *auxiliary control* law  $v$ , and the estimation of  $\eta_1 := \alpha + di_p$ , which is given by

$$u_{av} = \frac{v - \eta_1}{\beta(x)}. \quad (20)$$

Substituting (20) in (19) yields the following:

$$\begin{aligned} \dot{x}_2 &= v + \underbrace{(\alpha(x) + di_p) - \eta_1}_{:=\Delta\alpha(x)} \\ &= v + \Delta\alpha(x) \end{aligned} \quad (21)$$

where  $\Delta\alpha$  is the error of estimation with a magnitude bound, i.e.,  $|\Delta\alpha| < \kappa_1$ . For simplicity, we suppose  $\bar{x}_{1d}$  is constant and define the sliding surface as

$$\begin{aligned}\sigma &= c(x_1 - \bar{x}_{1d}) + x_2 \\ c &> 0.\end{aligned}\quad (22)$$

Then  $\dot{\sigma}$  is given by

$$\begin{aligned}\dot{\sigma} &= cx_2 + \dot{x}_2 \\ &= [c\sigma - c^2(x_1 - \bar{x}_{1d})] + v + \Delta\alpha(x).\end{aligned}\quad (23)$$

Making the surface, and its time derivative equal to zero in (23), we calculate the equivalent control,  $v_{\text{eq}}$ , as follows:

$$v_{\text{eq}} = c^2(x_1 - \bar{x}_{1d}) - \Delta\alpha(x).\quad (24)$$

We suppose that the nonlinear scalar function error,  $\Delta\alpha(x)$ , is enclosed by a constant value near to  $\kappa_1$ . With this value, we have the equivalent control as follows:

$$|v_{\text{eq}}| \leq 2c^2|x_1 - \bar{x}_{1d}| + \kappa_1\quad (25)$$

where

$$-2c^2|x_1 - \bar{x}_{1d}| - \kappa_1 \leq v_{\text{eq}} \leq 2c^2|x_1 - \bar{x}_{1d}| + \kappa_1$$

Therefore, we choose to  $|v_{\text{eq}}|$  as

$$|v_{\text{eq}}| = 2c^2|x_1 - \bar{x}_{1d}| + \kappa_1$$

$\kappa_1$  is calculated via the condition (46), i.e.,  $\kappa_1 = \frac{M+c}{\lambda_1}$ . Thus, we have the following:

$$v = -\lambda|v_{\text{eq}}|\text{sign}(\sigma).\quad (26)$$

Thus, we have the SMC law as

$$u_{\text{av}} = \frac{-\lambda|v_{\text{eq}}|\text{sign}(\sigma) - (\alpha(x) + di_p)}{\beta(x)}.\quad (27)$$

The value of  $\kappa_1$  in (25) is calculated through the nominal values of the set of gains of the LESO. The nonlinear scalar function  $\alpha(x)$  together with the perturbation input  $di_p$  are estimated by means of the LESO. The estimated variables  $y_1(t) = \hat{x}_1$  and  $y_2(t) = \hat{x}_2$  are adapted to the sliding surface,  $\sigma$ , and the equivalent control variable,  $v_{\text{eq}}$ . The LESO design is described in the next subsection.

### B. SMC Based on LESO

The objective of the LESO is fundamentally based on the possibility of online estimating through suitable linear observers unknown disturbance inputs affecting the buck–boost converter behavior and proceed to cancel them via an appropriate feedback control law using the gathered disturbance estimate. To design the proposed LESO, first, we consider the following assumptions:

- 1) The scalar control input  $u_{\text{av}}$  is assumed to take values on the finite closed interval  $[-1, 1]$  and the amplitude  $v_{\text{eq}}$  of the switching part of the control input  $u_{\text{av}}$  satisfies  $v_{\text{eq}} < 1$ .
- 2) The only variable available for measurement is  $y = x_1$ .
- 3) The directional derivative plus the mismatched disturbance input  $L_f h(x) + di_p := \alpha(x) + di_p$  and a finite

number of its time–derivatives, say  $(\alpha(x) + di_p)^k$ ,  $k = 0, 1, 2, \dots, m$ , for a sufficient large  $m$ , are assumed to be uniformly absolutely bounded for any feedback control input stabilizing the sliding surface coordinate dynamics.

- 4)  $L_g h(x) := \beta(x)$  is perfectly known and locally strictly positive.

From (7) and (8), we have the observer dynamics as follows:

$$\begin{aligned}\dot{y}_1 &= y_2 + l_4(x_1 - y_1) \\ \dot{y}_2 &= \eta_1 + \beta(x)u_{\text{av}} + l_3(x_1 - y_1) \\ \dot{\eta}_1 &= \eta_2 + l_2(x_1 - y_1) \\ \dot{\eta}_2 &= l_1(x_1 - y_1)\end{aligned}\quad (28)$$

where  $y_1$  is the estimated value of the flat output.  $y_2$  is the time–derivative of the estimated value of the flat output.  $\eta_1$  is the estimate of the  $\alpha + di_p$  function acting as a perturbation, and  $\eta_2$  is the estimate of the time–derivative of  $d(\alpha + d(di_p))/dt$  function, and finally,  $e_{\text{obs}} = (x_1 - y_1)$  is the observation error of the flat output. The set of gains  $\{l_4, l_3, l_2, l_1\}$  are tuned through a fourth order Hurwitz polynomial

$$p(s) = (s^2 + 2\zeta\omega_n s + \omega_n^2)^2$$

with,  $\zeta = 0.707$  and  $\omega_n > 0$ . The LESO improves the robustness of the SMC due to the estimation of the matched and mismatched disturbances of the system through  $\eta_1$ . Then, we adapt the estimated values  $y_1$ ,  $y_2$ , and  $\eta_1$  to the SMC law (27), which gives us the SMC based on LESO (SMC-LESO):

$$u_{\text{av}} = \frac{-\lambda\hat{v}_{\text{eq}}\text{sign}(\sigma) - \eta_1}{\beta(x)}\quad (29)$$

$$\hat{v}_{\text{eq}} = 2c^2|y_1 - \bar{x}_{1d}| + \kappa_1\quad (30)$$

$$\sigma = c(y_1 - \bar{x}_{1d}) + y_2.\quad (31)$$

Note that the SMC uses the estimates values,  $y_1$ ,  $y_2$ , and  $\eta_1$  (calculated by LESO). Then, the sliding surface boundary layer is adjusted to overcome endogenous and exogenous disturbances present in the buck–boost power system. Additionally, the control gain  $\lambda\hat{v}_{\text{eq}}$  in (29) is adjusted according to the disturbance and parametric uncertainty inherent in the buck–boost power converter to restrict the boundary layer around the sliding surface. It helps to reduce the chattering effect on the sliding surface. The next section deals with the stability analysis of the buck–boost power converter system.

### C. Stability Analysis of the LESO

First, we present in this section the proof of the stability of the LESO. Defining the observation error as follows:

$$e_{\text{obs}} = (x_1 - y_1).$$

From (7), (8), (9), and (28), we calculate the first time–derivative of  $e_{\text{obs}}$ , as follows:

$$\dot{e}_{\text{obs}} = \dot{x}_1 - y_2 - l_3 e_{\text{obs}}.\quad (32)$$

Finding the time–derivative of (32)

$$\ddot{e}_{\text{obs}} + l_3 \dot{e}_{\text{obs}} = \alpha(x) - \eta_1 - l_2 e_{\text{obs}}.\quad (33)$$

The third time-derivative of  $e_{\text{obs}}$  is obtained by means of (33) or

$$\ddot{e}_{\text{obs}} + l_3 \dot{e}_{\text{obs}} + l_2 e_{\text{obs}} = \dot{\alpha}(x) - \eta_2 - l_1 e_{\text{obs}}. \quad (34)$$

Finally, the observation error dynamics is given by

$$\overset{(4)}{e}_{\text{obs}} + l_4 \overset{(3)}{e}_{\text{obs}} + l_3 \ddot{e}_{\text{obs}} + l_2 \dot{e}_{\text{obs}} + l_1 e_{\text{obs}} = \ddot{\alpha}(x). \quad (35)$$

Equation (35) can be rewritten as a linear time-invariant system

$$\begin{aligned} \dot{z}(t) &= Az(t) + Bu(t), z(0) = z_0 \\ h(t) &= C^T z(t) \end{aligned} \quad (36)$$

where  $z(t) = (e_{\text{obs}}, \dot{e}_{\text{obs}}, \ddot{e}_{\text{obs}}, \overset{(4)}{e}_{\text{obs}})^T = (z_1, z_2, z_3, z_4)^T \in \mathbf{R}^4$ ,  $u(t) = \ddot{\alpha}(x) \in \mathbf{R}$ ,  $A \in \mathbf{R}^{4 \times 4}$ ,  $B \in \mathbf{R}^{4 \times 1}$

$$A = \begin{pmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ -l_1 & -l_2 & -l_3 & -l_4 \end{pmatrix}, B = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 1 \end{pmatrix}$$

$$C^T = \begin{pmatrix} 1 & 0 & 0 & 0 \end{pmatrix}$$

with unique solution  $z(t) : [0, \infty) \rightarrow \mathbf{R}^4$  given by

$$z(t) = e^{At} z_0 + \int_0^t e^{A(t-\tau)} B u(\tau) d\tau, t \geq 0.$$

Furthermore, if the set of coefficients of the matrix  $\{l_4, l_3, l_2, l_1\}$  are selected such that the matrix  $A$  is Hurwitz, then one has the following bound:

$$\|e^{At}\| \leq e^{-\lambda_1 t}, \forall t \in \mathbb{R}_{\geq 0}$$

where  $\lambda_1 = \lambda_{\max}(\text{Sym}(A))$  is the maximum eigenvalue of  $\text{Sym}(A)$  with  $\text{Sym}(A) = (1/2)(A + A^T)$ . Therefore

$$\begin{aligned} \|z(t)\| &\leq M e^{-\lambda_1 t} \|z_0\| + \\ &M \|B\| \sup_{\tau \in [0, t]} \|u(\tau)\| \int_0^t e^{-\lambda_1(t-\tau)} d\tau, t \geq 0 \end{aligned}$$

and hence, with  $\gamma := \frac{M\|B\|}{\lambda_1}$ , thus, we have that

$$\|z(t)\| \leq M e^{-\lambda_1 t} \|z_0\| + \gamma \sup_{\tau \in [0, t]} \|u(\tau)\|, t \geq 0 \quad (37)$$

and as  $h(t) = C^T z(t)$ , then we have the following:

$$\|h(t)\| = \|C^T z(t)\| \leq M e^{-\lambda_1 t} \|z_0\| + \gamma \sup_{\tau \in [0, t]} \|u(\tau)\|, t \geq 0. \quad (38)$$

Thus, for the linear system (36), the Hurwitz condition on  $A$  leads to the estimate (37) and (38), which, in turn, implies both the bounded-input bounded-state property and the convergent-input convergent-state property.

**Definition 1:** [30] System (36) is ISS if there exist  $\gamma_1 \in \mathcal{KL}$  and  $\gamma_2 \in \mathcal{K}$  such that, for all  $(x_0, u) \in \mathbf{R}^4 \times L_{loc}^\infty[0, \infty)$ , the unique solution  $x: [0, \infty) \rightarrow \mathbf{R}^4$  is such that

$$\|z(t)\| \leq \gamma_1(t, \|z_0\|) + \gamma_2 \left( \sup_{\tau \in [0, t]} \|u(\tau)\| \right), t \geq 0 \quad (39)$$

$$\|h(t)\| \leq \gamma_1(t, \|z_0\|) + \gamma_2 \left( \sup_{\tau \in [0, t]} \|u(\tau)\| \right), t \geq 0. \quad (40)$$

The solutions for the error dynamics are ultimately bounded by  $\gamma_2(\|\ddot{\alpha}(\tau)\|_\infty)$  and the system exhibits asymptotic stability to  $e_{\text{obs}} = h(t) = 0$  for  $\ddot{\alpha}(\tau) = u(\tau) = 0$ . Consequently  $\|e_{\text{obs}}\|$  converges exponentially to a sphere with radius  $\gamma_2 = \frac{M}{\lambda_1}$  when  $t \rightarrow \infty$ .

**Remark 2:** The first term in (40) vanishes for a  $t$  sufficiently large. Thus, the dynamics of observation error satisfies the asymptotic gain (AG) property. That is, for all large enough  $t$ , the trajectory exists, and it gets arbitrarily close to a sphere whose radius is proportional to the bound of  $u(\tau) = \ddot{\alpha}(\tau)$  and inversely proportional to  $\lambda_1$ . In the language of robust control, the estimate (AG) would be called an *ultimate boundedness* condition.

#### D. Stability Analysis of the SMC Based on LESO

**Lemma 2** [31]: Suppose that Assumption 1 is satisfied (7)–(9). Assuming that the observer gain vector  $l_i = \{l_4, l_3, l_2, l_1\}$  in (28) is chosen such that  $A$  is a Hurwitz matrix, then the observer error,  $e_{\text{obs}}$ , for the LESO is bounded for any bounded  $d\alpha$ . From the analysis of the previous subsection, we find by means of ISS that  $\|e_{\text{obs}}\| \leq \gamma_2$ .

**Assumption 2:** The disturbance estimation error in (35) is bounded, according to Definition 1 we have that  $\frac{M}{\lambda_1} = \sup_{t>0} \|e_{\text{obs}}\|$ .

**Lemma 2** [30]: Consider a nonlinear system  $\dot{x} = G(x, u)$  which is input-to-state stable (ISS). If the input satisfies  $\lim_{t \rightarrow \infty} u(t) = 0$  then the state  $\lim_{t \rightarrow \infty} x(t) = 0$ .

**Theorem 1:** Suppose that Assumptions 1 and 2 are satisfied for the system (7)–(9). We consider system (7)–(9) under the SMC based on LESO (29), the closed-loop system is asymptotically stable if the switching gain in the control law (29) is designed such that  $\lambda|v_{\text{eq}}| > \frac{M+c}{\lambda_1}$  and the LESO gains  $\{l_4, l_3, l_2, l_1\}$  are chosen such that  $\lambda_1(A) > \lambda_2(A) > \lambda_3(A) > \lambda_4(A) > 0$  holds.

**Proof:** Finding the derivative of the sliding surface  $s$  defined in (22) along system (7)–(8), yields

$$\dot{s} = cx_2 + \alpha(x) + \beta(x)u_{\text{av}} + di_p. \quad (41)$$

Substituting the control law (29) into (41), yields

$$\begin{aligned} \dot{s} &= -\underbrace{\lambda|v_{\text{eq}}|}_{:=W} \text{sign}(\sigma) + \underbrace{c(x_2 - \hat{x}_2)}_{:=\dot{e}_{\text{obs}}} \\ &+ \underbrace{\alpha(x) + di_p - (\widehat{\alpha(x) + di_p})}_{:=\Delta\alpha(x)} \\ &= -W \text{sign}(\sigma) + c\dot{e}_{\text{obs}} + \Delta\alpha(x). \end{aligned} \quad (42)$$

It can be derived from (33) that

$$\ddot{e}_{\text{obs}} + l_4 \dot{e}_{\text{obs}} + l_3 e_{\text{obs}} = \Delta\alpha(x). \quad (43)$$



Substituting (43) into (42) gets

$$\dot{\sigma} = -W \text{sign}(\sigma) + \ddot{e}_{\text{obs}} + (c + l_4) \dot{e}_{\text{obs}} + l_3 e_{\text{obs}}. \quad (44)$$

Now, we consider a candidate Lyapunov function as

$$V(\sigma) = \frac{1}{2} \sigma^2 > 0. \quad (45)$$

Taking the time-derivative of  $V(\sigma)$  in (45) along of (44), gives

$$\begin{aligned} \dot{V}(\sigma) &= \sigma \dot{\sigma} \\ &= -W |\sigma| + [\ddot{e}_{\text{obs}} + (c + l_4) \dot{e}_{\text{obs}} + l_3 e_{\text{obs}}] \sigma \\ &\leq -W |\sigma| + [e_{\text{obs}}^{(4)} + (c + l_4) e_{\text{obs}}^{(3)} + l_2 \dot{e}_{\text{obs}} + l_1 e_{\text{obs}}] \sigma \\ &\leq - \left[ W - \left( \frac{M + c}{\lambda_1} \right) \right] |\sigma| \\ &= -\sqrt{2} \left[ W - \left( \frac{M + c}{\lambda_1} \right) \right] V^{\frac{1}{2}}. \end{aligned} \quad (46)$$

Given the condition  $W > \frac{M+c}{\lambda_1}$ , it can be derived from (46) that the system states will reach the defined sliding surface  $\sigma = 0$  in a sufficiently long time. The condition  $\sigma = 0$  implies that (31) is

$$\begin{aligned} 0 &= c(y_1 - \bar{x}_{1d}) + y_2 \\ &= c \left( \underbrace{x_1 - \bar{x}_{1d}}_{:=e} - e_{\text{obs}} \right) + \dot{y}_1 - l_4 e_{\text{obs}} \\ &= ce - ce_{\text{obs}} + \dot{x}_1 - \dot{e}_{\text{obs}} - l_4 e_{\text{obs}}. \end{aligned} \quad (47)$$

Therefore, (47) yields the regulation error dynamics in terms of the observation error

$$\dot{e} = -ce + c \left( 1 + \frac{l_4}{c} \right) e_{\text{obs}} + \dot{e}_{\text{obs}}. \quad (48)$$

We know that the regulation and observation error are linear, thus we apply the Laplace transform to (48)

$$e(s) = \left( \frac{s + c \left( 1 + \frac{l_4}{c} \right)}{s + c} \right) e_{\text{obs}}. \quad (49)$$

From (49), we obtain the inverse Laplace transform of  $e(s)$  for  $e_{\text{obs}} = \left( \frac{M}{\lambda_1} \right) \frac{1}{s}$ .

$$e(t) = \frac{M}{c\lambda_1} (c + l_4) + e^{-ct} \left( \frac{M}{\lambda_1} - \frac{M(c + l_4)}{\lambda_1 c} \right) \quad (50)$$

Based on the condition given in Assumption 2, it can be derived from Lemma 2 that the regulation error (50) satisfies  $\lim_{t \rightarrow \infty} e(t) = \frac{M}{c\lambda_1} (c + l_4) \simeq 0$  and  $\lim_{t \rightarrow \infty} \dot{e}_{\text{obs}}(t) = \frac{M}{\lambda_1} \simeq 0$ , thus the buck-boost power converter system in closed-loop is ISS. Therefore, we deduce that the system states are going to slide to the desired equilibrium point asymptotically under the SMC based on LESO (29).

*Remark 4:* The disturbance estimation  $\hat{\eta}_2$  of the LESO (28) tracks the disturbance  $\ddot{\alpha}(\tau)$  of the system (7)–(9) asymptotically

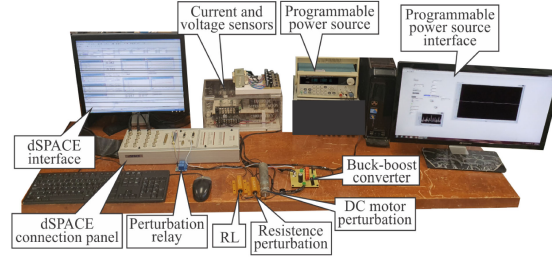


Fig. 2. Buck-boost power converter experimental setup.

TABLE I  
PART NUMBER OR NOMINAL PARAMETERS FOR EXPERIMENTAL SETUP

Type	Component	Part number or nominal value
Passive components	Inductor (L)	$L = 500 \mu H$
	Capacitor (C)	$C = 470 \mu F$
	Resistor (R)	$R = 100 \Omega$
	Resistor ( $R_p$ )*	$R_p = 100 \Omega$
Semiconductors	Diode	mur1520 (200V, 15A)
	MOSFET	irfp260 (200V, 46A)
Dynamic load	DC-motor	$R_a = 6.14 \Omega$
	GR32 by	$L_a = 8.9 \mu H$
	Dunkermotoren®	$J = 7.95 \mu kgm^2$
		$B = 41 \mu Nm$
		$K_m = 0.04913 (N - m)/A$
Processing unit	dSPACE®	$V_n = 24V$
		CP1104,
		Sampling rate: $T_s = 100 \mu s$

\*Suddenly applied disturbance resistance.

if the observer gains  $\{l_4, l_3, l_2, l_1\}$  are chosen through a Hurwitz polynomial, which implies that

$$e_{\text{obs}}^{(4)} + l_4 e_{\text{obs}}^{(3)} + l_3 \ddot{e}_{\text{obs}} + l_2 \dot{e}_{\text{obs}} + l_1 e_{\text{obs}} = \ddot{\alpha}(x) \quad (51)$$

such that the estimation errors are uniformly asymptotically convergent to a small neighborhood of the origin of the phase space of the estimation error dynamics. The faster the estimation error dynamics, the smaller the convergence neighborhood of the origin. The value of the gain parameters is customarily chosen (51) with those of a desired, nominal, dominating, fourth-degree characteristic polynomial  $p_{d-\text{obs}}(s) = (s^2 + 2\zeta\omega_n s + \omega_n^2)^2$ . Therefore,  $l_1 = \omega_n^4$ ,  $l_2 = 4\zeta\omega_n^3$ ,  $l_3 = 2\omega_n^2 + 4\zeta^2\omega_n^2$ , and  $l_4 = 4\zeta\omega_n$ .

## IV. EXPERIMENTAL SETUP AND SIMULATION RESULTS

### A. Setup

The experimental Setup of the buck-boost power converter system is depicted in Fig. 2. Table I shows the components description, their part number, and where applicable, the nominal values of the passive elements and semiconductors used in the Setup. The buck-boost converter was designed to operate in the continuous conduction mode with a switching frequency of  $f_{sw} = 45$  kHz, constrained by output inductor specification.

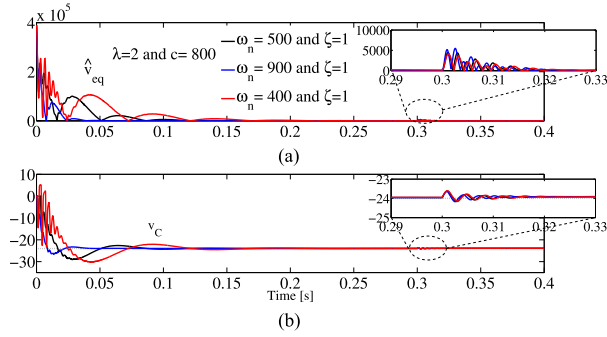


Fig. 3. Simulation results: (a) equivalent control responses with LESO gain variations; (b) Output voltage responses with LESO gain variations.

The proposed control scheme is implemented in the real-time platform dSPACE CP1104 using a sampling time of  $T_s = 100\mu s$ .

We propose two scenarios to analyze the control schemes' performance—the first consists of sudden static and dynamic load changes. For this purpose, two types of load disturbance are used: a resistor with  $R_p = 100\Omega$  and a dc motor GR32 by Dunkermotoren. The dc motor is used as a dynamic load and its nominal parameters are depicted in Table I. In the second scenario, voltage variations on power supply input are performed through a programable power source. This scenario validates the robustness toward voltage variations on power supply input. These results are discussed in detail in Section V.

**B. Simulation Results**

The simulation was performed using Simnon simulator version 3.0, with the following parameters: 1 s of simulation time,  $100e - 6s$  of step-time, four-order Runge–Kutta numerical method and dc motor nominal values (see Table I).

Fig. 3 shows the equivalent control ( $\widehat{v}_{eq}$ ) responses and buck–boost converter output voltage ( $v_C$ ) responses under sudden static and dynamic resistor changes. Note that the adjustment of  $\lambda \widehat{v}_{eq}$  influences the output voltage in steady-state. However, this disturbance is also due to the LESO observer gains  $\{l_1, l_2, l_3, l_4\}$ . For this reason, we performed some simulations to demonstrate this claim. First, we conducted variations of the LESO gains setting the term  $\lambda \widehat{v}_{eq}$  with  $\lambda = 2$  and  $c = 800$ . When  $\omega_n$  is changed from 400 to 900, we observe that the waveform of  $\widehat{v}_{eq}$  is narrower. However, if we handle the variation of  $\omega_n$  from 900 to 400, the waveform of  $\widehat{v}_{eq}$  is more enlarged. Thus, these effects produce the buck–boost output voltage to be more or less reactive [see Fig. 3(b)]. For this scenario, a load disturbance was applied by means of a resistance change equal to 50%, which results from connecting  $R = 100\Omega$  in parallel with  $R_p = 100\Omega$ , that is  $\frac{R \cdot R_p}{R + R_p} = 50\Omega$ . Fig. 4 shows the behavior of the  $x_2, y_2 = \widehat{x}_2$ , and  $\widehat{v}_{eq}$  versus the sliding surface. We observe that the trajectories drawn by the  $x_2, \widehat{x}_2$ , and  $\widehat{v}_{eq}$  reach the sliding surface trajectory in a sufficiently long time. Furthermore, the equivalent control response adapts the estimated variables obtained by the LESO observer to minimize the matched and mismatched disturbances

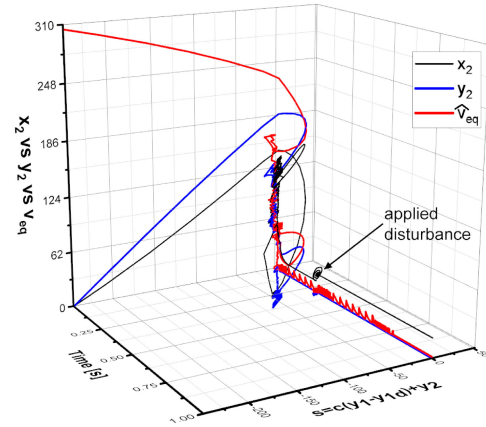


Fig. 4. Simulation results for  $x_2, y_2$  and  $\widehat{v}_{eq}$ . Output response under sudden load resistance changes of 50% with  $R_p = 100\Omega$ . Note the convergence towards the proposed sliding surface.

TABLE II  
CONTROL PARAMETERS

Controllers	Parameters
PID	$\gamma_2 = 660, \gamma_1 = 1.45 \times 10^5, \gamma_0 = 1 \times 10^7$
TSMC	$c = 1850, \lambda = 1.5$
SMC-LESO	$c = 800, \lambda = 2, \kappa_1 = 2 \times 10^{-11}$ $l_1 = 1.29 \times 10^{11}, l_2 = 1.29 \times 10^9,$ $l_3 = 3.96 \times 10^6, l_4 = 3600.$
	Sample rate for controllers $T_s = 100\mu s$

present in the system. This feature makes the trajectories of the estimated and real variables rest on the sliding surface. The controller and observer gains used in this scenario were  $\lambda = 2, c = 800, \omega_n = 900$  and  $\zeta = 1$ .

**V. EXPERIMENTAL RESULTS**

Experimental results were obtained through the three control laws design for the buck–boost power converter system with matched and mismatched disturbances. For the closed-loop, we use the control parameters shown in Table II.

*A. Scenario 1–Sudden Static and Dynamic Load Changes*

This test consisted of establishing a desired reference for the three control laws. When each of the control laws is operating in closed-loop, a sudden load resistance change is applied in the closed intervals [5.3 s 6.5s] and [14.3 s 15.5s], i.e., a load resistance is connected in parallel to the buck–boost power converter, changing from 100 to 50  $\Omega$ . Fig. 5(a) shows the output voltage responses for the three controllers. The output voltage response of the SMC-LESO has a better performance than the TSMC and PID classic controllers because the SMC-LESO absorbs the matched and mismatched disturbances through the LESO and the control law.

Fig. 5(b) shows the output voltage responses corresponding to the three controllers in closed-loop under sudden dynamic load changes. For this test, we made sudden dynamic changes

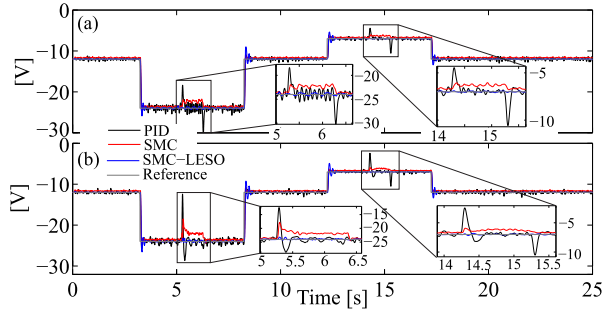


Fig. 5. Experimental results: (a) output voltage response under sudden load resistance changes (changes of 50% with  $R_p = 100\Omega$ ); (b) Output voltage response under sudden dynamic load (dc Motor) changes.

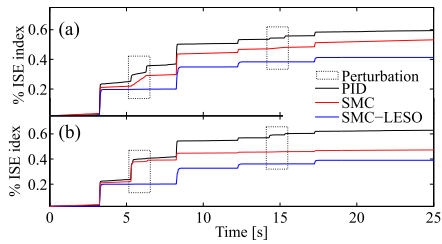


Fig. 6. Integral Square Error (ISE) Index: (a) ISE of the output voltage error under sudden load resistance changes; (b) ISE of the output voltage error under sudden dynamic load (dc Motor) changes.

by means of a dc motor, i.e., we connected the dc motor in parallel to the output load resistance of the buck–boost converter in the closed intervals [5.3 s 6.5s] and [14.3 s 15.5s]. We can see that the output voltage response of the SMC-LESO presents a better performance with regard to recovering the constant desired reference, than the TSCM and classical PID controllers. The main key of the proposed control scheme resides in the incorporation of the estimated values of state variables ( $z_1, z_2$ ) and the nonlinear function  $\alpha + di_p$  (calculated by the LESO) into the sliding surface and the SMC law, in order to attenuate all the matched and mismatched disturbances online present in the buck–boost power converter system.

The classical PID controller adequately compensates both types of disturbances [see Fig. 5(a) and Fig. 5(b)], however, the output voltage response exhibits the highest overshoots ( $\pm 5V$  approximately). In TSMC, it does not present an overshoot but maintains an error of approximately 2 V when disturbances are presented. The proposed control scheme (SMC-LESO) solves the two previous problems: the output voltage response does not present overshoots, keeping the constant desired reference.

Fig. 6(a) and Fig. 6(b) shows the ISE performance indexes of the three controllers when a sudden static load (resistance) and sudden dynamic load (dc Motor) are connected to the output of the buck–boost converter. The graphs in the blue color of SMC-LESO show an amplitude more minor than the graphs in black and red, corresponding to the classical PID controller and TSMC. Thus, the ISE performance indexes of the SMC-LESO

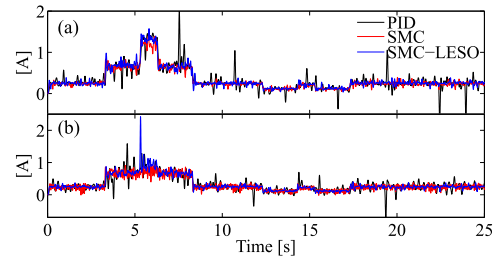


Fig. 7. Experimental results: Fig. 7(a) inductor current responses under sudden load resistance changes (changes of 50% with  $R_p = 100\Omega$ ); Fig. 7(b) inductor current responses under sudden dynamic load (dc Motor) changes.

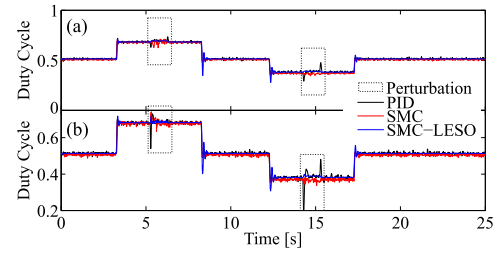


Fig. 8. Experimental results: (a) average control input responses under sudden load resistance changes; (b) average control input responses under sudden dynamic load (dc Motor) changes.

for the output voltage regulation of the buck–boost converter under mismatched disturbances have a better performance than the classical PID controller and TSMC. Fig. 7(a) and Fig. 7(b) shows the inductor current responses of the three controllers under sudden static and dynamic load changes. The inductor current response presents high contents of overshoots when the classical PID controller is used. In contrast, the SMC-LESO produces a lesser ripple in the inductor current response than the PID and SMC controllers.

Fig. 8(a) and Fig. 8(b) shows the average control input responses of each of the controllers designed under sudden static and dynamic load changes. When the mismatched disturbances are produced by the static load (resistive load), SMC-LESO absorbs the disturbances very well and prevents the overshoots before and after the sudden resistive load changes in the output node buck–boost power converter.

In contrast, the classical PID and SMC controllers present overshoots during the sudden resistive load changes (see Fig. 8 a)]. The average control input responses of the classical PID and SMC controllers present higher overshoots when sudden dynamic load changes occur than when sudden static load changes [see Fig. 8(b)].

Fig. 9 shows the sliding surface responses for sudden static and dynamic load changes. Notice the reduction of the chattering effects in the sliding surface variable when the SMC incorporates the LESO. The graphs in red color of Fig. 9(a) and Fig. 9(b) shows this improvement. We can see the overshoot attenuation in the sliding surface when the sudden static and dynamic load changes are produced.

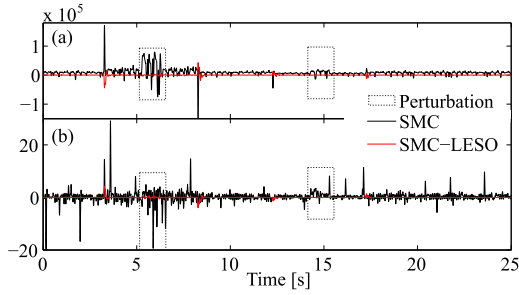


Fig. 9. Experimental results: (a) sliding surface responses under sudden load resistance changes; (b) sliding surface responses under sudden dynamic load (dc Motor) changes.

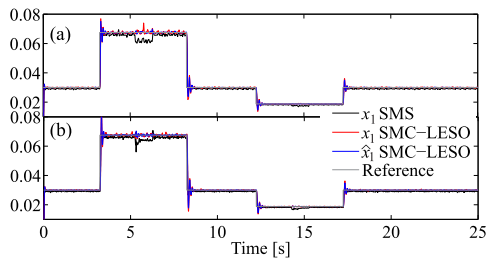


Fig. 10. Experimental results: (a) flat output responses under sudden load resistance changes; (b) flat output responses under sudden dynamic load (dc motor) changes.

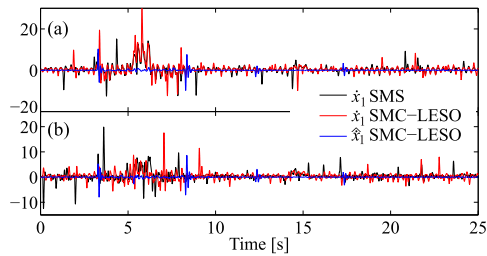


Fig. 11. Experimental results: (a) time-varying of the flat output responses under sudden load resistance changes; (b) time-varying of the flat output responses under sudden dynamic load (dc motor) changes.

Fig. 10(a) and Fig. 10(b) show the state variable responses  $x_1$ , also known as Flat output, under sudden static and dynamic load changes. The Flat output responses of SMC-LESO present significantly more robustness than the Flat output responses of the classical PID and TSMC controllers. The main contribution of the LESO into the SMC-LESO is the active disturbance rejection online of the matched and mismatched disturbances present in the system. These results can be seen in the blue–red colored graphs.

Fig. 11(a) and Fig. 11(b) shows the state variable responses  $\dot{x}_1 = x_2$ , which is the time-derivative of the flat output. The rapidity of the SMC-LESO for active disturbance rejection is due to the estimated value of  $y_2 = \dot{x}_2$ , the same value that was adapted to SMC-LESO through the sliding surface in (31).

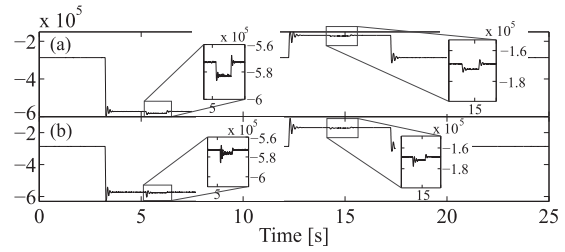


Fig. 12. Experimental results: (a) estimated value of the mismatched disturbances  $\eta_1$  under sudden load resistance changes; (b) estimated value of the mismatched disturbances  $\eta_1$  under sudden dynamic load (dc motor) changes.

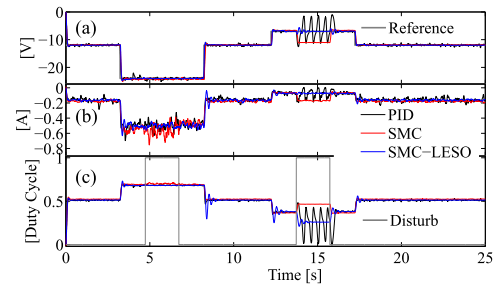


Fig. 13. Experimental results: (a) output voltage responses; (b) inductor current responses; (c) average control input responses under sudden inductor value changes from 500 to 250  $\mu\text{H}$ .

Fig. 12 shows the estimated values of the matched and mismatched disturbances denoted by  $\eta_1 := \alpha + \widehat{di}_p$ . The estimated value  $\eta_1$  under sudden static load changes are showed by Fig. 12(a), and under sudden dynamic load changes are showed by Fig. 12(b).

### B. Scenario 2- Under Parametric Uncertainty of the Inductor Nominal Value

Fig. 13 shows the output voltage responses, inductor current responses, and average control input responses under sudden inductor value changes from 500 to 250  $\mu\text{H}$  at the closed intervals [4.7 6.7] and [13.7 15.7]. In this figure, we compare the three controllers. We observe that the SMC-LESO controller presents better performance than the other two controllers, mainly by keeping the constant voltage reference when the nominal value of the inductor changes suddenly.

### C. Scenario 3- Under Input Voltage Power Supply Variations

For this test, a power supply was programmed with the following parameters :  $E = 12 + 4\sin(\omega_p t)$ ,  $\omega_p = 2\pi f$ ,  $f = 0.3$  Hz, in the closed interval [2.38 s 20.54 s]. Fig. 14 shows the output voltage responses of the buck–boost power converter under voltage variations on power supply input. The SMC output voltage based on LESO presents better performance under voltage variations on power supply input than the classical PID and TSMC controllers. Figs. 15 and 16 show the error of the output voltage responses and their performance indexes (ISE).

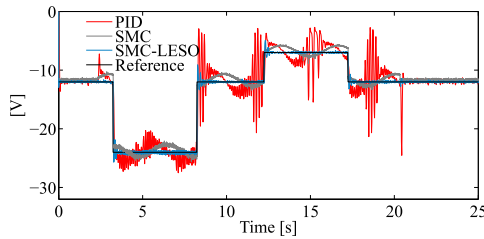


Fig. 14. Experimental results: output voltage responses under input voltage power supply variations.

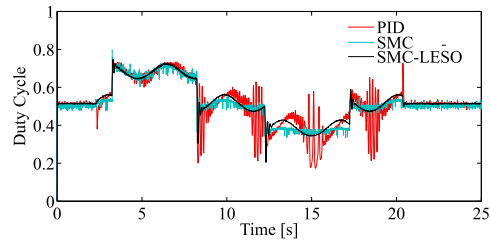


Fig. 18. Experimental results: average control input responses under input voltage power supply variations.

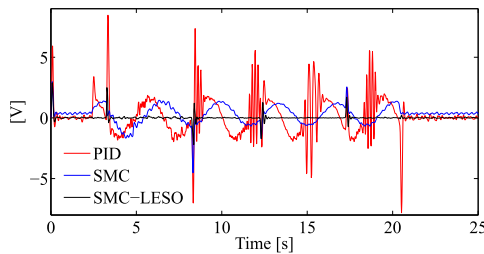


Fig. 15. Experimental results: errors of the output voltages under input voltage power supply variations.

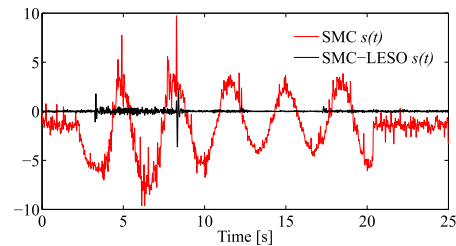


Fig. 19. Experimental results: sliding surface responses under input voltage power supply variations.

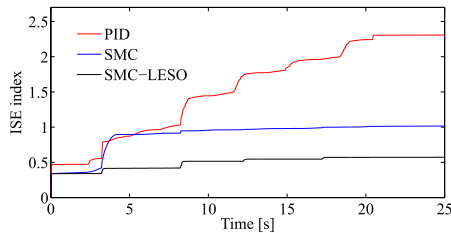


Fig. 16. Performance Indexes of the error of the output voltage under input voltage power supply variations.

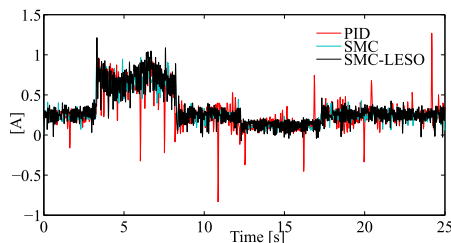


Fig. 17. Experimental results: inductor current responses under input voltage power supply variations.

Fig. 17 shows the inductor current responses of the three controllers under voltage variations on power supply input. The inductor current response of the classical PID controller presents major overshoots and a high ripple level than the SMC-LESO and TSMC controllers. Fig. 18 shows the average control input responses under voltage variations on power supply input. The

matched disturbances, as is the input voltage power supply of the buck–boost power converter, are reduced by the SMC-LESO since the LESO at the same time that estimates the disturbances mitigate these through SMC. It is important to highlight this difference between the SMC-LESO and the TSMC. The favorable effects that can produce the LESO incorporation to SMC shown in the sliding surface responses shown by Fig. 19. The level chattering of the sliding surface response of the SMC-LESO is smaller than the sliding surface response of the TSMC.

## VI. CONCLUSION

This article presented a novel control strategy fusing the SMC and LESO to regulate the output in buck–boost power converters. Simulation and experimental results were performed, showing an excellent behavior and exhibiting an overshoot reduction, as compared to the classical controllers, under two realistic scenarios: 1) sudden static and dynamic load changes and 2) voltage variations on power supply input. The superiority of the SMC-LESO over the classical PID control and TSMC is due to the estimation of the matched and mismatched disturbances via the LESO and the online cancellation of these disturbances employing the proposed control law. On the other hand, the concept of ISS helps to set the ultimate boundedness condition in the estimation error of the LESO. Therefore, we establish that the regulation error in the closed-loop of the buck–boost power converter control system with matched and mismatched disturbances is ISS.

## REFERENCES

- [1] J. Linares-Flores, R. Heredia-Barba, O. Castro-Heredia, G. Curiel-Olivares, and J. A. Juárez-Abad, "Adaptive sliding mode control based on a hyperbolic tangent function for DC-to-DC buck-boost power converter," in *Proc. IEEE Energy Convers. Congr. Expo.*, 2020, pp. 2612–2618.
- [2] I. Batareah and A. Harb, *Power Electronics Circuits Analysis and Design*, 2nd ed. Berlin, Germany: Springer, 2018.
- [3] R. A. Pinto *et al.*, "A bidirectional buck-boost converter to supply LEDs from batteries during peak load time," in *Proc. 37th Annu. Conf. IEEE Ind. Electron. Soc.*, 2011, pp. 2848–2853.
- [4] J. Linares-Flores, J. L. Barahona-Avalos, H. Sira-Ramirez, and M. A. Contreras-Ordaz, "Robust passivity-based control of a buck-boost-converter/DC-motor system: An active disturbance rejection approach," *IEEE Trans. Ind. Appl.*, vol. 48, no. 6, pp. 2362–2371, Nov./Dec. 2012.
- [5] L. Callegaro, M. Ciobotaru, D. J. Pagano, and J. E. Fletcher, "Feedback linearization control in photovoltaic module integrated converters," *IEEE Trans. Power Electron.*, vol. 34, no. 7, pp. 6876–6889, Jul. 2019.
- [6] I.-C. Chen, C.-W. Liang, and T.-H. Tsai, "A single-inductor dual-input dual-output DC-DC converter for photovoltaic and piezoelectric energy harvesting systems," *IEEE Trans. Circuits Syst., II, Exp. Briefs*, vol. 66, no. 10, pp. 1763–1767, Oct. 2019.
- [7] M. B. Camara, H. Gualous, F. Gustin, A. Berthon, and B. Dakyo, "DC/DC converter design for supercapacitor and battery power management in hybrid vehicle applications—Polynomial control strategy," *IEEE Trans. Ind. Electron.*, vol. 57, no. 2, pp. 587–597, Feb. 2010.
- [8] M. A. Khan, A. Ahmed, I. Husain, Y. Sozer, and M. Badawy, "Performance analysis of bidirectional DC-DC converters for electric vehicles," *IEEE Trans. Ind. Appl.*, vol. 51, no. 4, pp. 3442–3452, Jul./Aug. 2015.
- [9] H. Ramírez-Murillo *et al.*, "An efficiency comparison of fuel-cell hybrid systems based on the versatile buck-boost converter," *IEEE Trans. Power Electron.*, vol. 33, no. 2, pp. 1237–1246, Feb. 2018.
- [10] S. M. Mueen, R. Takahashi, T. Murata, and J. Tamura, "Integration of an energy capacitor system with a variable-speed wind generator," *IEEE Trans. Energy Convers.*, vol. 24, no. 3, pp. 740–749, Sep. 2009.
- [11] B. Housseini, A. F. Okou, and R. Beguenane, "Robust nonlinear controller design for on-grid/off-grid wind energy battery-storage system," *IEEE Trans. Smart Grid*, vol. 9, no. 6, pp. 5588–5598, Nov. 2018.
- [12] H. Sira-Ramirez, *Sliding Mode Control: The Delta-Sigma Modulation Approach*. Cham, Switzerland: Springer, 2015.
- [13] J. Yang, S. Li, and X. Yu, "Sliding-mode control for systems with mismatched uncertainties via a disturbance observer," *IEEE Trans. Ind. Electron.*, vol. 60, no. 1, pp. 160–169, Jan. 2013.
- [14] S.-L. Shi, J.-X. Li, and Y.-M. Fang, "Extended-state-observer-based chattering free sliding mode control for nonlinear systems with mismatched disturbance," *IEEE Access*, vol. 6, no. 1, pp. 22952–22957, May. 2018.
- [15] M. P. Aghababa, "Sliding-mode control composite with disturbance observer for tracking control of mismatched uncertain nDoF nonlinear systems," *IEEE/ASME Trans. Mechatronics*, vol. 23, no. 1, pp. 482–490, Feb. 2018.
- [16] C. Dong, W. Jiang, Q. Xiao, X. Li, Y. Jin, and T. Dragičević, "Modeling, analysis, and adaptive sliding-mode control of a high-order buck/boost DC-DC converter," in *Proc. 45th Annu. Conf. IEEE Ind. Electron. Soc.*, 2019, pp. 1844–1849.
- [17] L. Wang, F. Meng, Z. Sun, S. Yang, and W. Yang, "An adaptive hysteresis sliding mode control method for double-switch buck-boost converter," in *Proc. IEEE Transp. Electrific. Conf. Expo Asia-Pacific*, 2017, pp. 1–6.
- [18] Y. Huangfu, Y. Wu, R. Ma, and D. Zhao, "A buck-boost converter based on robust avoidance chattering sliding mode control for pem fuel cell," in *Proc. IEEE Conf. Expo Transp. Electrific. Asia-Pacific*, 2014, pp. 1–4.
- [19] F. Mendez-Diaz, H. Ramirez-Murillo, J. Calvente, B. Pico, and R. Giral, "Input voltage sliding mode control of the versatile buck-boost converter for photovoltaic applications," in *Proc. IEEE Int. Conf. Ind. Technol.*, 2015, pp. 1053–1058.
- [20] W.-H. Chen, J. Yan, L. Guo, and S. Li, "Disturbance-observer-based control and related methods—An overview," *IEEE Trans. Ind. Electron.*, vol. 63, no. 2, pp. 1083–1095, Feb. 2016.
- [21] S. Li, J. Yang, W.-H. Chen, and X. Chen, *Disturbance Observer-Based Control, Methods and Applications*. Boca Raton, FL, USA: CRC Press Taylor and Francis Group, 2014.
- [22] Z. Wang, S. Li, and Q. Li, "Discrete-time fast terminal sliding mode control design for DC-DC buck converters with mismatched disturbances," *IEEE Trans. Ind. Informat.*, vol. 16, no. 2, pp. 1204–1213, Feb. 2020.
- [23] L. Zhang, J. Yang, S. Li, and X. Yu, "Invariant manifold based output-feedback sliding mode control for systems with mismatched disturbances," *IEEE Trans. Circuits Syst., II, Exp. Briefs*, vol. 68, no. 3, pp. 933–937, Mar. 2021.
- [24] J. Pan, H. Cui, Z. Wang, S. Li, and Q. Li, "Finite-time control for DC-DC boost converter using nonsingular terminal sliding modes via exact feedback linearization," in *Proc. 36th Chin. Control Conf.*, 2017, pp. 9302–9307.
- [25] A. Hernández-Méndez, J. Linares-Flores, H. Sira-Ramirez, J. F. Guerrero-Castellanos, and G. Mino-Aguilar, "A backstepping approach to decentralized active disturbance rejection control of interacting boost converters," *IEEE Trans. Ind. Appl.*, vol. 53, no. 4, pp. 4063–4072, Jul./Aug. 2017.
- [26] J. Linares-Flores, H. Sira-Ramirez, J. Reger, and R. Silva-Ortigoza, "An exact tracking error dynamics passive output feedback controller for a buck-boost-converter driven DC motor," in *Proc. IEEE Int. Power Electron. Congr.*, 2006, pp. 1–5.
- [27] Q. Lu, Y. Sun, and S. Mei, *Nonlinear Control Systems and Power System Dynamics*. Norwell, MA, USA: Kluwer Academic Publishers, 2010.
- [28] S. Sastry, *Nonlinear Systems: Analysis, Stability, and Control*, vol. 10. Berlin, Germany: Springer, 2013.
- [29] E. W. Zurita-Bustamante, J. Linares-Flores, E. Guzman-Ramirez, and H. Sira-Ramirez, "A comparison between the GPI and PID controllers for the stabilization of a DC-DC 'buck' converter: A field programmable gate array implementation," *IEEE Trans. Ind. Electron.*, vol. 58, no. 11, pp. 5251–5262, Nov. 2011.
- [30] B. Jayawardhana, H. Logemann, and E. P. Ryan, "The circle criterion and input-to-state stability, new perspectives on a classical result," *IEEE Control Syst. Mag.*, vol. 31, no. 4, pp. 32–67, Aug. 2011.
- [31] Z. Gao, "Active disturbance rejection control: A paradigm shift in feedback control system design," in *Proc. Amer. Control Conf.*, 2006, pp. 2399–2405.

# Apéndice I

## PCB

### I.1. Diseño del PCB para el sistema IMCAT

Tabla I.1. Lista de partes del sistema IMCAT

Componente	Número de parte
(1)	Pispistrello, Spartan-6 LX45 de Xilinx y ADC ADS7041 (diseño propio)
	<b>Inversor multinivel:</b>
	IRFP450, Dispostivo de potencia
(2)	PC923, Driver de compuerta
	HXS-15np, Sensor de corriente
	ISO124P, Sensor de voltaje
	<b>Filtro LCL:</b>
(3)	L1, Inductor toroidal
	L2, Inductor toroidal
	C Capacitor de poliéster
(4)	PC para interfaz gráfica
(5)	Fuentes aisladas de CD

#### I.1.1. PCB del inversor

#### I.1.2. PCB del filtro LCL

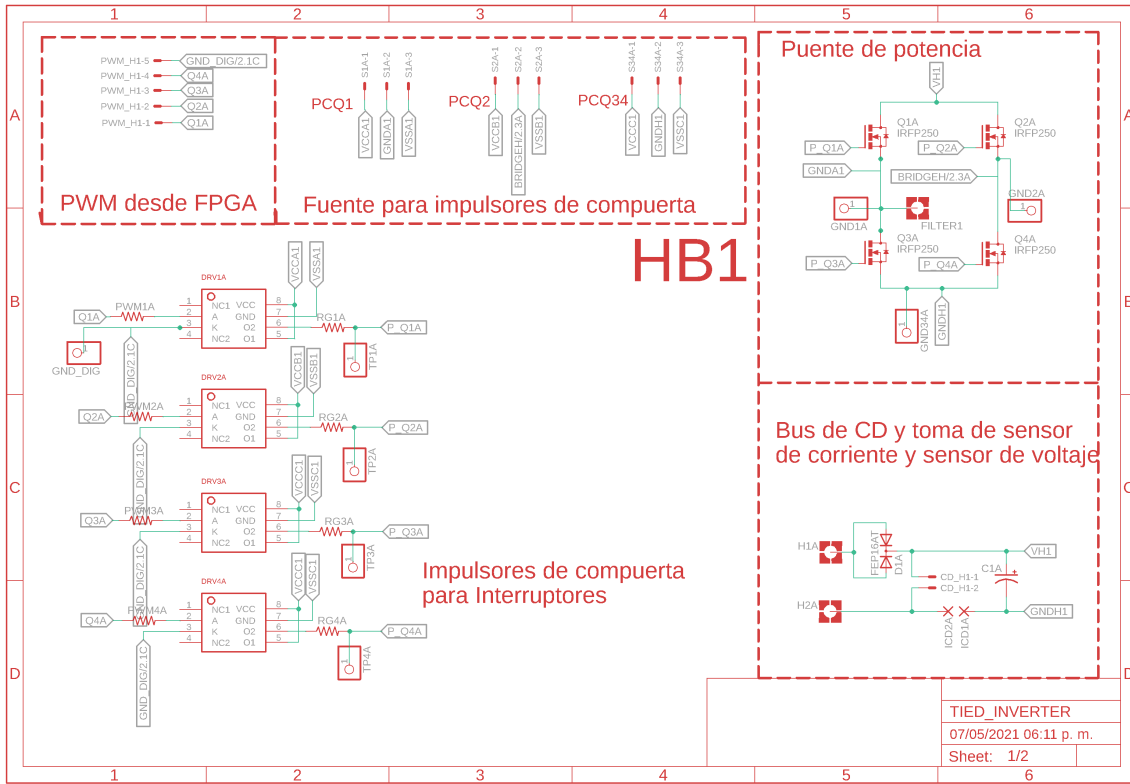


Figura I.1. Esquemático del HB1 del sistema IMCAT.

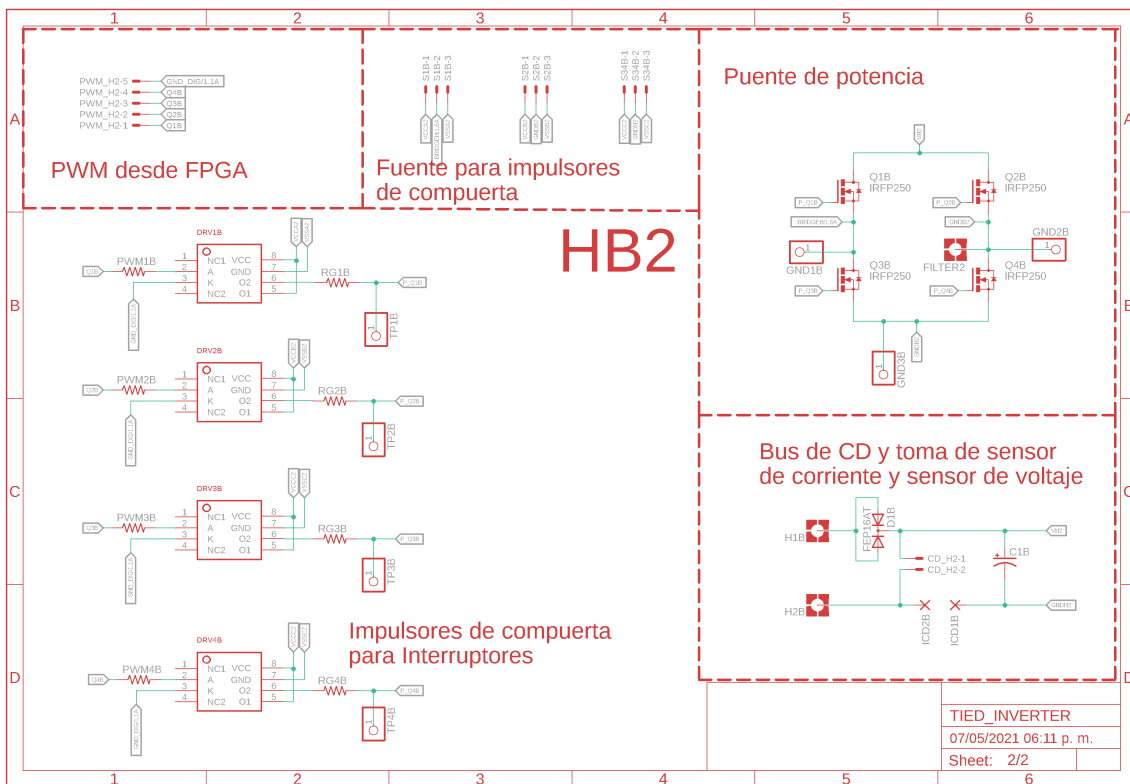


Figura I.2. Esquemático del HB2 del sistema IMCAT.



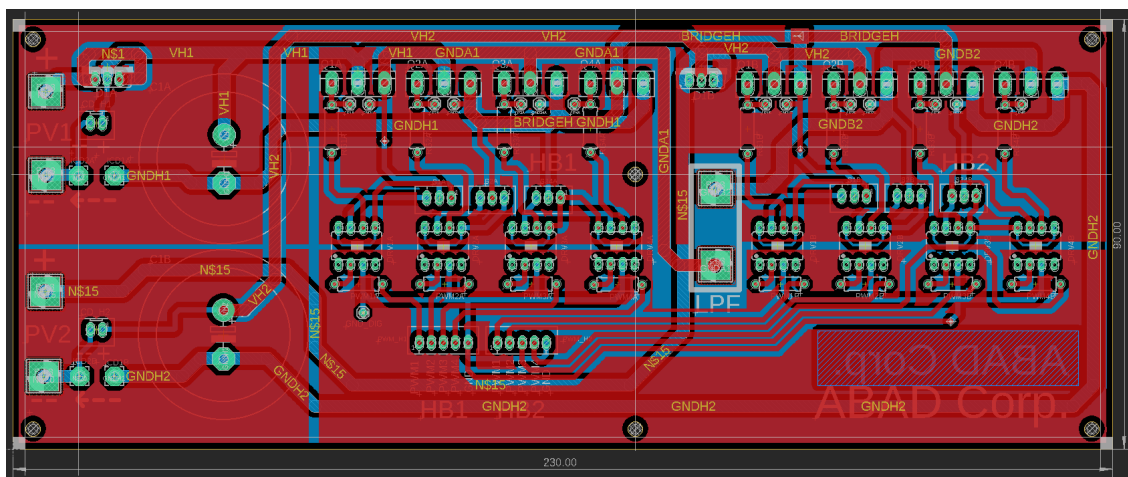


Figura I.3. Vista de PCB obtenido de EAGLE CAD.

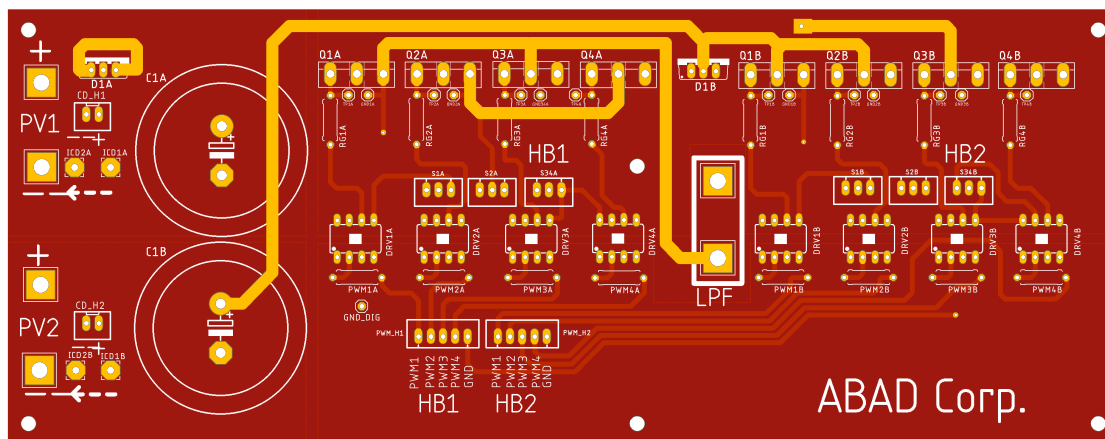


Figura I.4. Vista previa del PCB en la capa superior antes de fabricar.

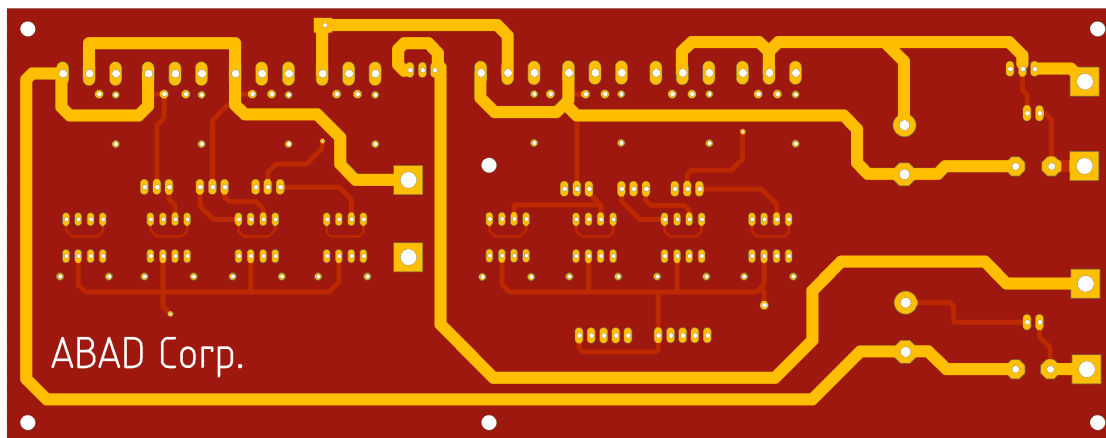


Figura I.5. Vista previa del PCB en la capa inferior antes de fabricar.

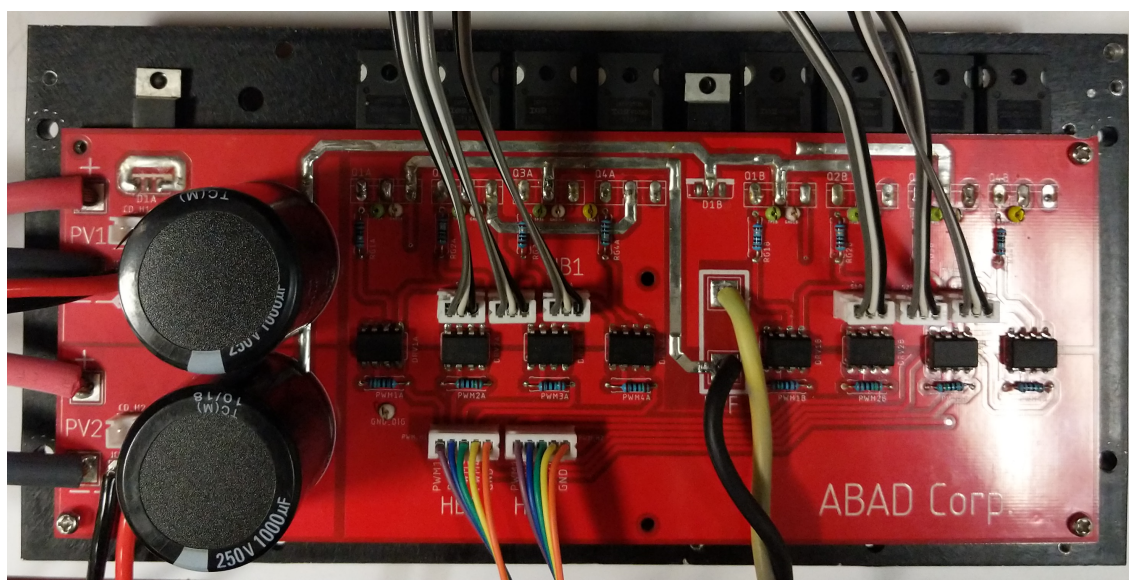


Figura I.6. PCB fabricado ya ensamblado.

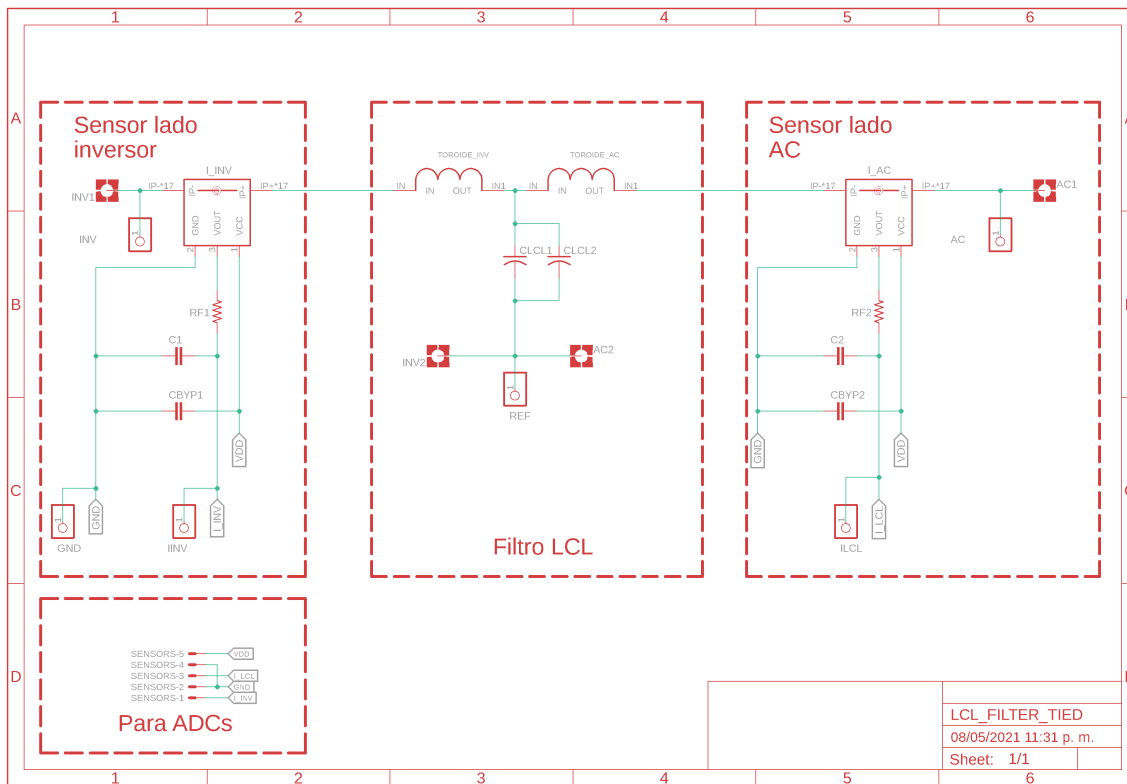


Figura I.7. Esquemático del filtro del sistema IMCAT.

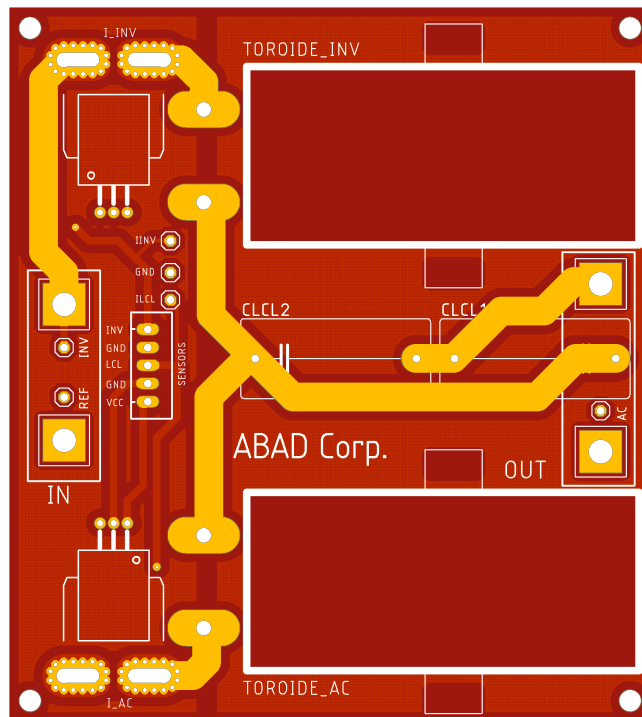


Figura I.8. Vista previa del PCB en la capa superior antes de fabricar.

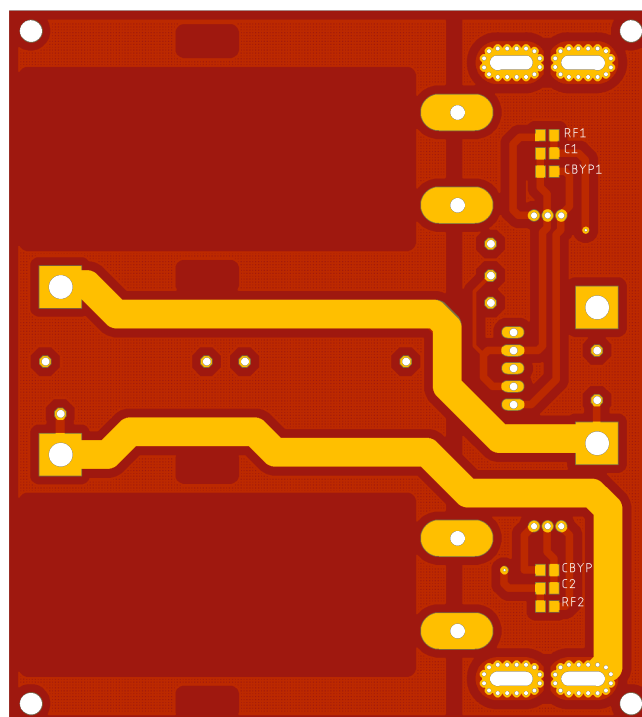


Figura I.9. Vista previa del PCB en la capa inferior antes de fabricar.

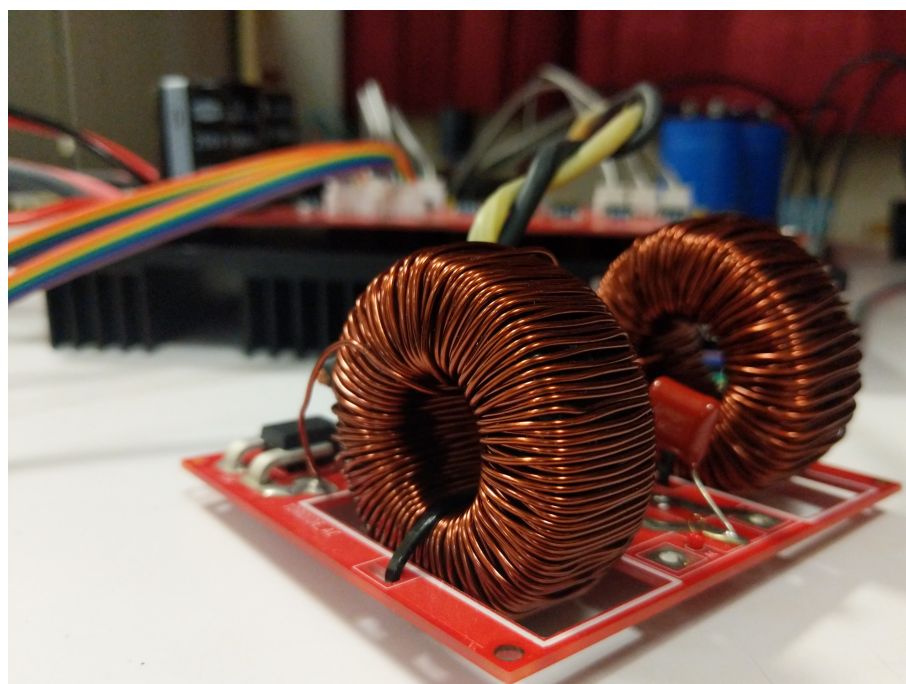


Figura I.10. PCB del filtro LCL fabricado ya ensamblado.

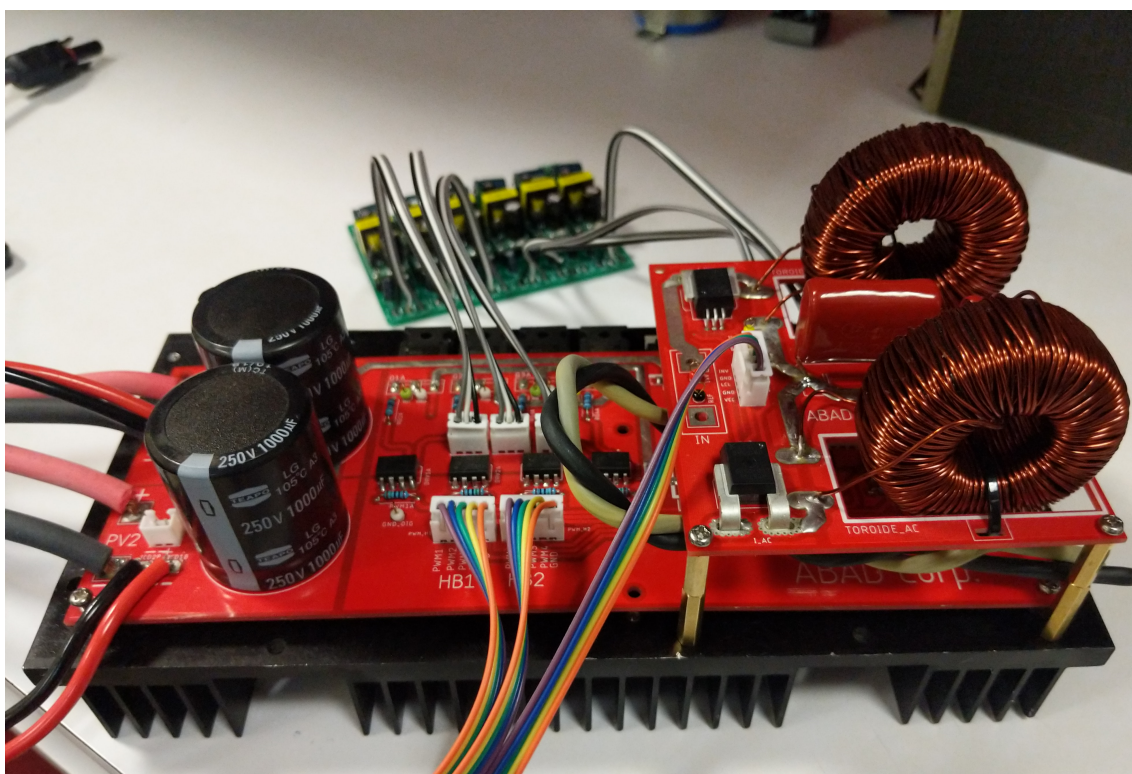


Figura I.11. Sistema IMCAT ensamblado.



# Referencias

- [1] F. R. Spellman, "Environmental Impacts of Renewable Energy", Taylor and Francis, CRC Press, New York: CRC, 2014, pp. 3.
- [2] J. M. Carrasco, L. G. Franquelo, J. T. Bialasiewicz, E. Galvan, R. C. P. Guisado, Ma. A. M. Prats, J. I. Leon, N. Moreno-Alfonso, "Power-Electronic Systems for the Grid Integration of Renewable Energy Sources: A Survey", IEEE Transactions on Industrial Electronics, vol.53, no. 4, pp. 1002-1016, June 2006.
- [3] A. J. Morrison, "Global Demand Projections for Renewable Energy Resources", IEEE Canada Electrical Power Conference, 25-26 Oct.2007, pp 537-542.
- [4] Negroni Vera, Juan José, "Análisis y Diseño de Controladores para Inversores Multinivel en Sistemas Fotovoltaicos Conectados a Red," Tesis doctoral, Universitat Politècnica de Catalunya, Barcelona, España, 2007.
- [5] Hassaine, Linda, "Implementación de un Control Digital de Potencia Activa y Reactiva para Inversores. Aplicación a Sistemas Fotovoltaicos Conectados a Red," Tesis doctoral, Departamento De Tecnología Electrónica, Universidad Carlos III De Madrid, Leganés, España, 2010.
- [6] Alberto Gonzalez, Sergio; Andres Verne, Santiago; Ines Valla, Maria, "Multilevel Converters for Industrial Applications," Taylor and Francis Group, CRC Press, New York: CRC, 2014, pp. 2-3.
- [7] Villanueva, E.; Correa, P.; Rodriguez, J.; Pacas, M., "Control of a Single-Phase Cascaded H-Bridge Multilevel Inverter for Grid-Connected Photovoltaic Systems," Industrial Electronics, IEEE Transactions on , vol.56, no.11, pp.4399,4406, Nov. 2009.
- [8] S. Kjaer, J. Pedersen, and F. Blaabjerg, "A review of single-phase grid connected inverters for photovoltaic modules," IEEE Trans. Ind. Appl., vol. 41, no. 5, pp. 1292-1306, Sep./Oct. 2005.
- [9] S. Busquets-Monge, J. Rocabert, P. Rodriguez, S. Alepuz, and J. Bordonau, "Multilevel diode-clamped converter for photovoltaic generators with independent voltage control of each solar array," IEEE Trans. Ind. Electron., vol. 55, no. 7, pp. 2713-2723, Jul. 2008.
- [10] S. Daher, J. Schmid, and F. Antunes, "Multilevel inverter topologies for stand-alone PV systems," IEEE Trans. Ind. Electron., vol. 55, no. 7, pp. 2703-2712, Jul. 2008.
- [11] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt and S. Kouro, "Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives", IEEE Transactions on Industrial Electronics, Vol.54, No. 6, pp. 2930-2945, December 2007.
- [12] Alberto Gonzalez, Sergio; Andres Verne, Santiago; Ines Valla, Maria, "Multilevel Converters for Industrial Applications," Taylor and Francis Group, CRC Press, New York: CRC, 2014, pp. 135-136.

- [13] Rech, C.; Pinheiro, H.; Grundling, H.A.; Hey, H.L.; Pinheiro, J.R., "Analysis and comparison of hybrid multilevel voltage source inverters," Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual , vol.2, no., pp.491-496 vol.2, 2002.
- [14] Juarez Abad, J.A.; Linares Flores, J.; Guzman Ramirez, E.; Sira Ramirez, H., "Generalized Proportional Integral Tracking Controller for a Single-Phase Multilevel Cascade Inverter: An FPGA Implementation," Industrial Informatics, IEEE Transactions on , vol.10, no.1, pp.256,266, Feb. 2014.
- [15] Wengenmayr, R. y Buhrke, T., "Renewable Energy: Sustainable Energy Concepts for the Energy Change", Wiley-VCH, 2 edition, 2013, pp. 5-10.
- [16] Lee, S.J.; Bae, H.S.; Cho, B. -H; "Modeling and control of the single-phase photovoltaic grid-connected cascaded H-bridge multilevel inverter", Energy Conversion Congress and Exposition, ECCE, IEEE, vol., no., pp.43,47, 20-24 Sept. 2009.
- [17] Franquelo, L.G.; Rodriguez, J.; Leon, J.I.; Kouro, S.; Portillo, R.; Prats, M.A.M.; "The age of multilevel converters arrives ", Industrial Electronics Magazine, IEEE , vol.2, no.2, pp.28-39, June 2008.
- [18] Christopher, E.; Sumner, M.; "An Interface for Renewable Energy Sources using a Multilevel Rectifier with Enhanced DC Link Control" , Power Electronics, Machines and Drives, 2006. The 3rd IET International Conference on, vol., no., pp.383-387, Mar. 2006.
- [19] Khomfoi, S.; Praisuwanna, N.; "A hybrid cascaded multilevel inverter for interfacing with renewable energy resources" , Power Electronics Conference (IPEC), 2010 International , vol., no., pp.2912-2917, 21-24 June 2010.
- [20] Diario oficial de la federación; "Secretaría de Energía" SENER, 2009, [http://dof.gob.mx/nota\\_detalle.php?codigo=5101826&fecha=06/08/2009](http://dof.gob.mx/nota_detalle.php?codigo=5101826&fecha=06/08/2009), México.
- [21] Secretaría de Energía; "Prospectivas de Energías Renovables 2014 – 2028 " SENER, <http://www.energia.gob.mx/res/Prospectiva%20PER%202014%20-%202028.pdf>, México, 2014.
- [22] Rodriguez, J.; Jih-Sheng Lai; Fang Zheng Peng; "Multilevel inverters: a survey of topologies, controls, and applications" , Industrial Electronics, IEEE Transactions on , vol.49, no.4, pp. 724- 738, Aug 2002.
- [23] Wengenmayr, R. y Buhrke, T., "Renewable Energy: Sustainable Energy Concepts for the Energy Change", Wiley-VCH, 2 edition, 2013, pp. 36-37.
- [24] Manjrekar, M.D.; Steimer, P.K.; Lipo, T.A., "Hybrid multilevel power conversion system: a competitive solution for high-power applications", Industry Applications, IEEE Transactions on , vol.36, no.3, pp.834,841, May/Jun 2000.
- [25] T. Podlesak, D. Katsis, P. Wheeler, J. Clare, L. Empringham, and M. Bland, "A 150 kVA vector controlled matrix converter induction motor drive," IEEE Transactions on Industrial Applications, Vol. 41, No. 3, pp. 841 – 847, May-June 2005.
- [26] L. M. Tolbert, F. Z. Peng, "Multilevel Converters as a Utility Interface for Renewable Energy Systems," IEEE Power Engineering Society Summer Meeting, Seattle, Washington, July 15-20, 2000, pp. 1271-1274.
- [27] S. Khomfoi, L. M. Tolbert, "Multilevel Power Converters," Power Electronics Handbook, 2nd Edition Elsevier, 2007, ISBN 978-0-12-088479-7, Chapter 17, pp. 451-482.
- [28] Nabae, Akira; Takahashi, Isao; Akagi, Hirofumi; "A New Neutral-Point-Clamped PWM Inverter" , Industry Applications, IEEE Transactions on , vol.IA-17, no.5, pp.518-523, Sept. 1981.



- [29] Nabae, A., Takahashi, I., and Akagi, H.; "A neutral-point clamped PWM inverter". Proc. IEEE APEC 80 Conf., pp. 761 – 766.
- [30] Nabae, A., Takahashi, I., and Akagi, H. 1981. "A neutral-point clamped PWM inverter." IEEE Trans. Ind. Applicat., pp. 518 – 523.
- [30] Konstantinou, G.S.; Ciobotaru, M.; Agelidis, V.G., "Operation of a modular multilevel converter with selective harmonic elimination PWM," Power Electronics and ECCE Asia (ICPE and ECCE), 2011 IEEE 8th International Conference on , vol., no., pp.999,1004, May 30 2011-June 3 2011.
- [31] Fang Lin Luo, Hong Ye; "Advanced DC-AC Inverters: Applications in Renewable Energy", CRC Press,322 pages, 2013.
- [32] Mohan, N., Undeland, T. M., and Robbins, W. P. "Power Electronics: Converters, Applications and Design. New York: John Wiley & Sons.", 2003.
- [33] Panagis, P.; Stergiopoulos, F.; Marabeas, P.; Manias, S.; "Comparison of state of the art multilevel inverters", Power Electronics Specialists Conference, 2008. PESC 2008. IEEE , vol., no., pp.4296-4301, 15-19 June 2008.
- [34] Pharne, I.D.; Bhosale, Y.N., "A review on multilevel inverter topology," Power, Energy and Control (ICPEC), 2013 International Conference on , vol., no., pp.700,703, 6-8 Feb. 2013.
- [35] M. Carpita, S. Teconi, "A Novel Multilevel Structure for voltage source inverter" , in Proc. EPE 1991, pp. 90-9.
- [36] Meynard, T.A.; Foch, H.; , "Multilevel conversion: high voltage choppers and voltage-source inverters" , Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE, vol., no., pp.397-403 vol.1, 29 Jun-3 Jul 1992.
- [37] Fang Zheng Peng; Jih-Sheng Lai; McKeever, J.; VanCoeving, J.; "A multilevel voltage-source inverter with separate DC sources for static VAR generation" , Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE, vol.3, no., pp.2541-2548 vol.3, 8-12 Oct 1995.
- [38] Ceglia, G.; Guzman, V.; Sanchez, C.; Ibanez, F.; Walter, J.; Gimenez, M.I.; "A New Simplified Multilevel Inverter Topology for DC/AC Conversion" , Power Electronics, IEEE Transactions on , vol.21, no.5, pp.1311-1319, Sept. 2006.
- [39] Fang Zhang; Peng, F.Z.; Zhaoming Qian; , "Study of the multilevel converters in DC-DC applications" , Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual, vol.2, no., pp. 1702- 1706 Vol.2, 20-25 June 2004.
- [40] Wei Qian; Peng, F.Z.; Miaosen Shen; Tolbert, L.M.; , "3X DC-DC Multiplier/Divider for HEV Systems", Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE, vol., no., pp.1109-1114, 15-19 Feb. 2009.
- [41] A. K. Verma, P. R. Thakura, K.C.Jana y G.Buja, Fellow "Cascaded Multilevel Inverter for Hybrid Electric Vehicles" , IEEE Power Electronics (IICPE), 2010 India International, ISBN: 978-1-4244-7883-5, Mar. 2011.
- [42] LIEBHERR-ELEKTRONIK. "Onboard Power." dSPACE Magazine Vol. 3 (2010): 32-35.
- [43] Coronado, Ixtláhuatl , Pável Zúñiga y Juan M. Ramírez. "FACTS: Soluciones Modernas para la Industria Eléctrica." Avance y Perspectiva, UNAM 20 (2002): 235-244.
- [44] Peng, F.Z.; Jin Wang; "A universal STATCOM with delta-connected cascade multilevel inverter" , Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual , vol.5, no., pp. 3529- 3533 Vol.5, 20-25 June 2004.

- [45] Jin Wang; Peng, F.Z.; “Unified power flow controller using the cascade multilevel inverter”, *Power Electronics, IEEE Transactions on* , vol.19, no.4, pp. 1077- 1084, July 2004.
- [46] Gupta, R.; Ghosh, A.; Joshi, A.; “Multiband Hysteresis Modulation and Switching Characterization for Sliding-Mode-Controlled Cascaded Multilevel Inverter”, *Industrial Electronics, IEEE Transactions on* , vol.57, no.7, pp.2344-2353, July 2010.
- [47] Dixon, J.; Moran, L.; Rodriguez, J.; Domke, R.; “Reactive Power Compensation Technologies: State-of-the-Art Review”, *Proceedings of the IEEE* , vol.93, no.12, pp.2144-2164, Dec. 2005 “Recent advances in multilevel converter/inverter topologies and applications”, *Power Electronics Conference (IPEC), 2010 International* , vol., no., pp.492-501, 21-24 June 2010.
- [48] A. Rufer, M. Veenstra, and K. Gopakumar, “Asymmetric multilevel converter for high resolution voltage phasor generation,” in *Proc. Eur. Power Electron. Appl. Conf.*, 1999, Paper 152.
- [49] J. Song-Manguelle, S. Mariéthoz, M. Veenstra, and A. Rufer, “A generalized design principle of a uniform step asymmetrical multilevel converter for high power conversion,” in *Proc. Eur. Power Electron. Appl. Conf.*, 2001, CD-ROM.
- [50] S. Mariéthoz and A. Rufer, “Design and control of asymmetrical multi-level inverters,” in *Proc. IEEE Ind. Electron. Soc. Conf.*, 2002, CD-ROM.
- [51] Liu, Y., Luo, F. L., “Trinary hybrid 81 level multilevel inverter for motor drive with zero common mode voltage”, *IEEE Trans. Ind. Electron.*, pp. 1014,1021, 2008.
- [52] Hammond, P. W., “New approach to enhance power quality for medium voltage ac drives.”, *IEEE Trans. Ind. Applicat.*, pp.202,208,1997.
- [53] Baker, R. H. and Bannister, L. H. “Electric power converter.”, U.S. Patent 3867643, 1975.
- [54] Cengelci, E.; Sulistijo, S. U.; Woo, B. O.; Enjeti, P.; Teoderescu, R.; and Blaabjerg, F., “A new medium voltage PWM inverter topology for adjustable speed drives.”, *IEEE Trans. Ind. Applicat.*, pp. 628,637, 1999.
- [55] Manjrekar, M.D.; Steimer, P.K.; Lipo, T.A., “Hybrid multilevel power conversion system: a competitive solution for high-power applications”, *Industry Applications, IEEE Transactions on* , vol.36, no.3, pp.834,841, May/June 2000.
- [56] Wen-Hong Zhu, “FPGA Logic Devices for Precision Control: An Application to Large Friction Actuators with Payloads”, *Control Systems, IEEE* , vol.34, no.3, pp.54-75, June 2014.
- [57] Chu, Pong P. *FPGA prototyping by VHDL examples Xilinx Spartan-3 Version*. United States of America: John Wiley & Sons, 2008.
- [58] R. Wilson, Peter. *Design Recipes for FPGAs*. Great Britain: MPG Books Ltd, 2007.
- [59] Kilts, Steve. *Advanced FPGA Design Architecture, Implementation and Optimization*. United States of America: John Wiley & Sons, 2007.
- [60] Liqiao Wang; Weiyang Wu; ”FPGA Based Multichannel PWM Pulse Generator for Multimodular Converters or Multilevel Converters”, *Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International* , vol.1, no., pp.1-5, 14-16 Aug. 2006.
- [61] Eunsoo Jung; Seung-Ki Sul; “Implementation of Grid-connected Single-phase Inverter Based on FPGA”, *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE* , vol., no., pp.889-893, 15-19 Feb. 2009.

- [62] Zhang Yang; Yin Zhong-dong; Shan Ren-zhong; Huang Tao; “Research on Cascade Multilevel Inverter Based on FPGA Control”, *Energy and Environment Technology*, 2009. ICEET '09. International Conference on , vol.2, no., pp.225-227, 16-18 Oct. 2009.
- [63] Azli, N.A.; Teng, L.Y.; Lim, P.Y.; “Implementation of a Single-carrier Multilevel PWM Technique Using Field Programmable Gate Array (FPGA)”, *Power Electronics and Drive Systems*, 2007. PEDS '07. 7th International Conference on , vol., no., pp.836-841, 27-30 Nov. 2007.
- [64] Grout, Ian . *Digital Systems Design with FPGAs and CPLDs*. United States of America:Elsevier Ltd, 2008.
- [65] Design Automation Standards Subcommittee of the Design Automation Technical Committee of the IEEE Computer Society. “IEEE Std 1076-1987. IEEE Standard VHDL Language Reference Manual”. Institute of Electrical and Electronics Engineers. 1988.
- [66] Design Automation Standards Committee of the IEEE Computer Society. “IEEE Std 1364-1995. IEEE Standard Hardware Description Language Based on the Verilog Hardware Description Language”. Institute of Electrical and Electronics Engineers. 1995.
- [67] Faa-Jeng Lin; Li Tao Teng; Chih-Kai Chang; “Adaptive Backstepping Control for Linear Induction Motor Drive Using FPGA”, *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on* , vol., no., pp.1269-1274, 6-10 Nov. 2006.
- [68] J. J. Rodríguez-Andina, M. D. Valdés-Peña and M. J. Moure, “Advanced Features and Industrial Applications of FPGAs-A Review”, in *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853-864, Aug. 2015.
- [69] Romero-Cadaval, E.; Spagnuolo, G.; Garcia Franquelo, L.; Ramos-Paja, C.A.; Suntio, T.; Xiao, W.M.; “Grid-Connected Photovoltaic Generation Plants: Components and Operation”, *Industrial Electronics Magazine, IEEE* , vol.7, no.3, pp.6,20, Sept. 2013.
- [70] F. Blaabjerg, F. Iov, T. Terekes, R. Teodorescu, and K. Ma; “Power electronics-Key technology for renewable energy systems”, in *Proc. 2nd Power Electronics, Drive Systems and Technologies Conf. (PEDSTC) 2011*, pp.445-466,16-17 Feb.2011.
- [71] Karimi-Ghartemani M; *Enhanced Phase-Locked Loop Structures for Power and Energy Applications*, United States of America: John Wiley & Sons, 2014.
- [72] F. Iov, M. Ciobotaru, D. Sera, R. Teodorescu, and F. Blaabjerg; “Power electronics and control of renewable energy systems”, in *Proc. 7th Int. Conf. Power Electronics and Drive Systems, PEDS, Bangkok, Thailand, 2007*, pp. P6-P28, 2007.
- [73] C. Rodriguez and G. A. J. Amaratunga; “Long lifetime power inverter for photovoltaic AC modules”, *IEEE Trans. Ind. Electron.*, vol. 55, no.7, pp. 2593-2601, 2008.
- [74] S. Rivera, S. Kouro, B. Wu, J. I. Leon, J. Rodriguez, and L. G. Franquelo; “Cascaded H-bridge multilevel converter multistring topology for large scale photovoltaic systems”, in *Proc. 2011 IEEE Int. Symp. Industrial Electronics (ISIE)*, 27-30 June 2011, pp. 1837-1844, 2011.
- [75] G. Grandi, C. Rossi, D. Ostojic, and D. Casadei; “A new multilevel conversion structure for grid-connected PV applications”, *IEEE Trans. Ind. Electron.*, vol. 56, no. 11, pp. 4416-4426, 2009.
- [76] N. A. Rahim and J. Selvaraj; “Multistring five level inverter with novel PWM control scheme for PV application”, *IEEE Trans. Ind. Electron.*, vol. 57, no. 6, pp. 2111-2123, 2010.
- [77] B. Yang, W. Li, Y. Zhao, and X. He; “Design and analysis of a grid-connected photovoltaic power system”, *IEEE Trans. Power Electron.*, vol. 25, no. 4, pp. 992-1000, 2010.

- [78] N. A. Rahim, K. Chaniago, and J. Selvaraj; "Single phase seven-level grid-connected inverter for photovoltaic system", *IEEE Trans. Ind. Electron.*, vol. 58, no. 6, pp. 2435-2443, 2011.
- [79] S. V. Araujo, P. Zacharias, and R. Mallwitz; "Highly efficient single-phase transformerless inverters for grid-connected photovoltaic systems", *IEEE Trans. Ind. Electron.*, vol. 57, no. 9, pp. 3118-3128, 2010.
- [80] E. Villanueva, P. Correa, J. Rodriguez, and M. Pacas; "Control of a single-phase cascaded Hbridge multilevel inverter for grid-connected photovoltaic systems", *IEEE Trans. Ind. Electron.*, vol. 56, no. 11, pp. 4399-4406, 2009.
- [81] C. Cecati, F. Ciancetta, and P. Siano; "A multilevel inverter for photovoltaic systems with fuzzy logic control", *IEEE Trans. Ind. Electron.*, vol. 57, no. 12, pp. 4115-4125, 2010.
- [82] Y. Fang and X. Ma; "A novel PV microinverter with coupled inductors and double-boost topology", *IEEE Trans. Power Electron.*, vol. 25, no. 12, pp. 3139-3147, 2010.
- [83] F. Bradaschia, M. C. Cavalcanti, P. E. P. Ferraz, F. A. S. Neves, E. C. dos Santos, and J. H. G. M. da Silva; "Modulation for three-phase transformerless Z-source inverter to reduce leakage currents in photovoltaic systems", *IEEE Trans. Ind. Electron.*, vol. 58, no. 12, pp. 5385-5395, 2011.
- [84] E. Romero, M. I. Milanés, E. González, and F. Barrero; "Power injection system for grid connected photovoltaic generation systems based on two collaborative voltage source inverters", *IEEE Trans. Ind. Electron.*, vol. 56, no. 11, pp. 4389-4398, 2009.
- [85] P. P. Dash and M. Kazerani; "Dynamic modeling and performance analysis of a grid-connected current-source inverter-based photovoltaic system", *IEEE Trans. Sustainable Energy*, vol. 2, no. 4, pp. 443-450, 2011.
- [86] E. Ozdemir, S. Ozdemir, L. M. Tolbert, B. Ozturk, "Fundamental Frequency Modulated Multilevel Inverter for Three-phase Stand alone Photovoltaic Application," *IEEE Applied Power Electronics Conference and Exposition*, Feb. 24-28, 2008, pp. 148-153.
- [87] S. Busquets-Monge, J. Rocabert, P. Rodriguez, S. Alepuz, J. Bordonau, "Multilevel Diode-clamped Converter for Photovoltaic Generators with Independent Voltage Control of Each Solar Array," *IEEE Transactions on Industrial Electronics*, vol. 55, July 2008, pp. 2713-2723.
- [88] M. Boyra and J.-L. Thomas; "A review on synchronization methods for grid-connected three-phase VSC under unbalanced and distorted conditions", in *Proc. 2011-14th European Conf. Power Electronics and Applications (EPE)*, Birmingham, United Kingdom, pp. 1-10, 2011.
- [89] Svensson, J.; "Synchronisation methods for grid-connected voltage source converters", *IEEE Proceedings Generation, Transmission and Distribution*, 148(3), pp. 229-235, 2001.
- [90] Timbus A, Teodorescu R, Blaabjerg F and Liserre M.; "Synchronization methods for three phase distributed power generation systems: An overview and evaluation", in *Proceedings of IEEE Annual Power Electronics Specialists Conference (PESC)*, pp. 2474-2481, 2005.
- [91] Barrena J, Marroyo L, Vidal M and Apraiz J.; "Individual voltage balancing strategy for PWM cascaded H-Bridge converter-based STATCOM", *IEEE Transactions on Industrial Electronics*, 55(1), 21-29, 2008.
- [92] Freijedo F, Doval-Gandoy J, Lopez O, Fernandez-Comesana P and Martinez-Penalver C.; "A signal-processing adaptive algorithm for selective current harmonic cancellation in active power filters", *IEEE Transactions on Industrial Electronics* 56(8), 2829-2840, 2009.

- [93] Santos Filho R, Seixas P, Cortizo P, Torres L and Souza A; "Comparison of three single-phase PLL algorithms for UPS applications", *IEEE Transactions on Industrial Electronics* 55(8), 2923-2932, 2008.
- [94] Shen B, Mwinyiwiwa B, Zhang Y and Ooi BT.; "Sensorless maximum power point tracking of wind by DFIG using rotor position phase lock loop (PLL)", *IEEE Transactions on Power Electronics* 24(4), 942-951, 2009.
- [95] Singh B, Saha R, Chandra A and Al-Haddad K.; "Static synchronous compensators (STATCOM): A review", *IET Proceedings on Power Electronics* 2(4), 297-324, 2009.
- [96] Teodorescu R and Blaabjerg F.; "Flexible control of small wind turbines with grid failure detection operating in stand-alone and grid-connected mode", *IEEE Transactions on Power Electronics* 19(5), 1323-1332, 2004.
- [97] Kesler M and Ozdemir E .; "Synchronous-reference-frame-based control method for UPQC under unbalanced and distorted load conditions", *IEEE Transactions on Industrial Electronics* 58(9), 3967-3975, 2011.
- [98] Lascu C, Asiminoaei L, Boldea I and Blaabjerg F.; "Frequency response analysis of current controllers for selective harmonic compensation in active power filters", *IEEE Transactions on Industrial Electronics* 56(2), 337-347, 2009.
- [99] McGrath B, Holmes D and Galloway J.; "Power converter line synchronization using a discrete Fourier transform (DFT) based on a variable sample rate", *IEEE Transactions on Power Electronics* 20(4), 877-884, 2005.
- [100] Neves F, de Souza H, Bradaschia F, Cavalcanti M, Rizo M and Rodriguez F.; "A space-vector discrete Fourier transform for unbalanced and distorted three-phase signals", *IEEE Transactions on Industrial Electronics* 57(8), 2858-2867, 2010.
- [101] Neves F, Souza H, Cavalcanti M, Bradaschia F and Bueno E .; "Digital filters for fast harmonic sequence components separation of unbalanced and distorted three-phase signals", *IEEE Transactions on Industrial Electronics* 59(10), 3847-3859, 2012.
- [101] Wang Y and Li Y.; "Three-phase cascaded delayed signal cancellation PLL for fast selective harmonic detection", *IEEE Transactions on Industrial Electronics* PP(99), 1, 2011.
- [102] Valiviita S.; "Zero-crossing detection of distorted line voltages using 1-b measurements", *IEEE Transactions on Industrial Electronics* 46(5), 917-922, 1999.
- [103] Weidenbrug R, Dawson F and Bonert R.; "New synchronization method for thyristor power converters to weak ac-systems", *IEEE Transactions on Industrial Electronics* 40(5), 505-511, 1993.
- [104] Wang Y and Li Y.; "Grid synchronization PLL based on cascaded delayed signal cancellation", *IEEE Transactions on Power Electronics* 26(7), 1987-1997, 2011.
- [105] Ziarani AK and Konrad A.; "A method of extraction of nonstationary sinusoids", *Signal Processing* 84(8), 1323-1346, 2004.
- [106] Karimi-Ghartemani M and Iravani M.; "A new phase-locked loop (PLL) system", in *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 421-424, 2001.
- [107] Karimi-Ghartemani M and Iravani M.; "A nonlinear adaptive filter for online signal analysis in power systems: Applications", *IEEE Transactions on Power Delivery* 17(2), 617-622, 2002.
- [108] Karimi-Ghartemani M and Ziarani A.; "Periodic orbit analysis of two dynamical systems for electrical engineering applications", *Journal of Engineering Mathematics* 45, 135-154, 2003.

- [109] Giordano AA and Hsu FM.; Least Square Estimation with Applications to Digital Signal Processing, John Wiley & Sons, New York, 1995.
- [110] G. Petrone, G. Spagnuolo, R. Teodorescu, M. Veerachary, and M. Vitelli; "Reliability issues in photovoltaic power processing systems", *IEEE Trans. Ind. Electron.*, vol. 55, no. 7, pp. 2569-2580, 2008.
- [111] W. Y. Teoh and C. W. Tan; "An overview of islanding detection methods in photovoltaic systems", *World Acad. Sci., Eng. Technol.*, no. 58, pp. 674-682, 2011.
- [112] D. Velasco, C. L. Trujillo, G. Garcerá, and E. Figueres; "Review of anti-islanding techniques in distributed generators", *Renewable Sustainable Energy Rev.*, vol. 14, no. 6, pp. 1608-1614, 2010.
- [113] T. Ebrahim and P. L. Chapman; "Comparison of photovoltaic array maximum power point tracking techniques", *IEEE Trans. Energy Convers.*, vol. 22, no. 2, pp. 439-449, 2007.
- [114] N. Femia, G. Petrone, G. Spagnuolo, and M. Vitelli; "Power Electronics and Control Techniques for Maximum Energy Harvesting in Photovoltaic Systems", 1st ed. Boca Raton, FL: CRC Press, 2012.
- [115] Naouar, M-W.; Monmasson, E.; Naassani, A.A.; Slama-Belkhodja, I.; Patin, N.; "FPGA-Based Current Controllers for AC Machine Drives—A Review", *Industrial Electronics, IEEE Transactions on* , vol.54, no.4, pp.1907-1925, Aug. 2007.
- [116] Monmasson, E.; Cirstea, M.N.; "FPGA Design Methodology for Industrial Control Systems—A Review", *Industrial Electronics, IEEE Transactions on* , vol.54, no.4, pp.1824-1842, Aug. 2007.
- [117] Monmasson, E.; Idkhajine, L.; Naouar, M.W.; "FPGA-based Controllers", *Industrial Electronics Magazine, IEEE* , vol.5, no.1, pp.14-26, March 2011.
- [118] E. Monmasson and M. Cirstea; "FPGA design methodology for industrial control systems-A review", *IEEE Trans. Ind. Electron.*, vol. 54, no. 4, pp. 1824-1842, Aug. 2007.
- [119] Monmasson, E.; Idkhajine, L.; Naouar, M.W.; "FPGA-based Controllers", *Industrial Electronics Magazine, IEEE* , vol.5, no.1, pp.14-26, March 2011.
- [120] G. Shen, D. Xu, L. Cao and X. Zhu, "An Improved Control Strategy for Grid-Connected Voltage Source Inverters With an LCL Filter," in *IEEE Transactions on Power Electronics*, vol. 23, no. 4, pp. 1899-1906, July 2008.
- [121] J. M. Sosa, P. R. Martinez-Rodriguez, G. Escobar, G. Vazquez, A. A. Valdez-Fernandez and J. F. Martinez-Garcia, "Analysis and Validation for an Inverter-side Current Controller in LCL Grid-connected Power Systems," in *Journal of Modern Power Systems and Clean Energy*, vol. 8, no. 2, pp. 387-398, March 2020.
- [122] M.Fliess, J. Lévine, P. Martin, and P. Rouchon, Flatness and defect of non-linear systems: introductory theory and examples, *International journal of control*, vol. 61, no. 6, pp. 1327-1361, 1995.
- [123] Sira-Ramírez, H. and Agrawal, S. *Differentially Flat Systems*, 1st ed. Marcel Dekker, 2004.
- [124] E. D. Sontag and Yuan Wang, "New characterizations of input-to-state stability," in *IEEE Transactions on Automatic Control*, vol. 41, no. 9, pp. 1283-1294, Sept. 1996.
- [125] Marquez, Horacio J. *Nonlinear control systems*, John Wiley & Sons., 2003.
- [126] Liserre, M., Blaabjerg, F., Hansen, S.: Design and control of an LCL-filter-based three-phase active rectifier. *IEEE Trans. Ind. Appl.* 41(5), 1674-1689, 2005.

- 
- [127] Holmes, D.G.: A general analytical method for determining the theoretical harmonic components of carrier based PWM strategies. In: Proceeding of Annual Conference of IEEE Industry Applications Society, pp. 1207-1214, 1998.
- [128] Jalili, K., Bernet, S.: Design of LCL filters of active-front-end two-level voltage-source converters. IEEE Trans. Ind. Electron. 56(5), 1674-1689, 2009.